



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2008 025 708 A1** 2008.12.11

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2008 025 708.7**

(22) Anmeldetag: **29.05.2008**

(43) Offenlegungstag: **11.12.2008**

(51) Int Cl.⁸: **H01L 29/423** (2006.01)
H01L 29/78 (2006.01)

(30) Unionspriorität:
11/755,507 **30.05.2007** **US**

(71) Anmelder:
Infineon Technologies AG, 85579 Neubiberg, DE

(74) Vertreter:
**Patent- und Rechtsanwälte Kraus & Weisert,
80539 München**

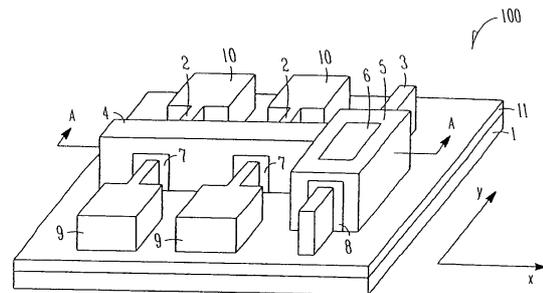
(72) Erfinder:
**Dobler, Bernhard, 85435 Erding, DE; Georgakos,
Georg, 85435 Erding, DE**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Kontaktstruktur für FinFET-Bauelement**

(57) Zusammenfassung: Bei einem Ausführungsbeispiel umfasst ein FinFET-Bauelement (100) ein oder mehrere Finnen (2), eine Dummy-Finne (3), eine Gateleitung (4), ein Gatekontaktpad (5) und ein Gatekontaktelement (6). Jede der Finnen (2) erstreckt sich in eine erste Richtung über einem Substrat (1). Die Dummy-Finne (3) erstreckt sich parallel mit den Finnen (2) in der ersten Richtung über dem Substrat. Die Gateleitung (4) erstreckt sich in einer zweiten Richtung über dem Substrat (1) und wickelt die Finnen (2) teilweise ein. Das Gatekontaktpad (5) ist benachbart zu oder über der Dummy-Finne (3) angeordnet und elektrisch mit der Gateleitung (4) gekoppelt. Das Gatekontaktelement (6) ist elektrisch mit dem Gatekontaktpad (5) gekoppelt und auf der oberen Oberfläche hiervon angeordnet.



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich allgemein auf Halbleiterbauelemente und insbesondere auf FinFET-Bauelemente.

[0002] In den letzten Jahren wurden FinFETs (Fin Field Effect Transistor, Feldeffekttransistor mit Rippe bzw. Finne) entwickelt. Integrierte Schaltkreise, welche FinFETs benutzen, weisen geringere Größen, schneller Schaltzeiten und höhere Stromdichten auf als integrierte Schaltkreise, welche herkömmliche MOSFETs (Metal Oxide Semiconductor Field Effect Transistor) benutzen. Es gibt ein allgemeines Bedürfnis nach weiter Größenreduzierten integrierten Schaltkreisen, welche FinFETs benutzen, und kosteneffizientere Verfahren, um integrierte Schaltkreise mit FinFETs herzustellen.

[0003] Ein Ausführungsbeispiel der vorliegenden Erfindung ist ein FinFET-Bauelement wie in Anspruch 1 definiert, ein Herstellungsverfahren wie in Anspruch 6 oder 11 definiert und ein FinFET-Bauelement wie in Anspruch 16 definiert. Die abhängigen Ansprüche definieren weitere Ausführungsbeispiele.

[0004] Die Erfindung wird nachfolgend anhand von beispielhaften Ausführungsbeispielen unter Bezugnahme auf die beigefügte Zeichnung näher erläutert. Es zeigen:

[0005] [Fig. 1](#) eine perspektivische Ansicht eines FinFET-Bauelements mit einer Dummy-Finne gemäß einem Ausführungsbeispiel der vorliegenden Erfindung,

[0006] [Fig. 2](#) eine modifizierte Querschnittsansicht des in [Fig. 1](#) gezeigten FinFET-Bauelements entlang einer Linie A-A gemäß einem Ausführungsbeispiel der Erfindung,

[0007] [Fig. 3A](#) eine planare Draufsicht eines FinFET-Bauelements gemäß einem Ausführungsbeispiel,

[0008] [Fig. 3B](#), [Fig. 3C](#) und [Fig. 3D](#) planare Draufsichten alternativer Gatekontaktpads gemäß Ausführungsbeispielen der vorliegenden Erfindung,

[0009] [Fig. 4](#) ein Flussdiagramm, welches ein Verfahren zur Herstellung eines FinFET-Bauelements mit einer Dummy-Finne gemäß einem Ausführungsbeispiel der Erfindung veranschaulicht, und

[0010] [Fig. 5](#) ein Flussdiagramm, welches ein Verfahren zur Herstellung eines FinFET-Bauelements mit einer Dummy-Finne gemäß einem anderen Ausführungsbeispiel der Erfindung veranschaulicht.

[0011] Die folgende detaillierte Beschreibung be-

zieht sich auf die beigefügte Zeichnung, welche in beispielhafter Weise spezifische Details und Ausführungsbeispiele darstellt, gemäß denen die vorliegende Erfindung ausgeführt werden kann. Diese Ausführungsbeispiele sind nicht jedoch nicht als einschränkend zu verstehen, und andere Ausführungsbeispiele können ebenso benutzt werden, und strukturelle, logische und elektrische Veränderungen können vorgenommen werden. Die verschiedenen Ausführungsbeispiele schließen sich nicht notwendigerweise gegenseitig aus, da manche Ausführungsbeispiele mit einem oder mehreren weiteren Ausführungsbeispielen kombiniert werden können, um neue Ausführungsbeispiele zu bilden.

[0012] Die Artikel „ein“ oder „eine“ sind in der folgenden Beschreibung als „ein oder mehrere“ auszulegen. Der Begriff „oder“ ist, falls nichts anderes angegeben, als nicht exklusives oder zu verstehen, so dass „A oder B“ „A aber nicht B“, „B aber nicht A“ und „A und B“ umfasst.

[0013] Die Begriffe „Wafer“ und „Substrat“ können in der folgenden Beschreibung austauschbar benutzt werden und bezeichnen allgemein jegliche Struktur, auf welcher integrierte Schaltkreise ausgebildet werden können, und beziehen sich ebenso auf derartige Strukturen während verschiedener Abschnitte der Herstellung integrierter Schaltkreise. Der Begriff „Substrat“ kann insbesondere auch einen Halbleiter-Wafer bezeichnen. Der Begriff „Substrat“ wird zudem benutzt, Halbleiterstrukturen während der Prozessierung zu bezeichnen, und kann andere Schichten beinhalten, welche auf einem ursprünglichen Substrat hergestellt wurden. Sowohl „Wafer“ als auch „Substrat“ umfassen dotierte und undotierte Halbleiter, epitaktische Halbleiterschichten, welche von einem Basishalbleiter oder Isolator getragen werden, und ebenso anderen Fachleuten wohlbekannte Halbleiterstrukturen.

[0014] Der Begriff „FinFET“ bezeichnet ein Fin-Feldeffekttransistor, d. h. einen Feldeffekttransistor mit einer Finne, d. h. einer Rippe. Ein FinFET kann auf einem herkömmlichen Substrat oder auf einem SOI (Silicon On Insulator)-Substrat ausgebildet werden, wobei ein Gate die Finne teilweise umschließt. Die Finne funktioniert als Kanal für den FinFET. FinFET-Bauelemente können wesentlich schnellere Schaltzeiten und höhere Stromdichten als herkömmliche MOSFET-Bauelemente aufweisen. Der Begriff „FinFET“ wird austauschbar mit dem Begriff „MuGFET“ (Multiple Gate Field Effect Transistor) benutzt.

[0015] Der Begriff „Dummy-Finne“ bezeichnet in der folgenden Beschreibung eine nicht aktive Finne, beispielsweise eine Finne, welche keine elektrische Verbindung zu anderen Bauelementen, Schaltungen, Schaltungsteilen oder Bezugspotenzialquellen auf-

weist. Durch eine Dummy-Finne geht kein elektrischer Strom hindurch, selbst wenn ein Potenzial an diese angelegt wird, und daher arbeitet eine Dummy-Finne nicht als Kanal in einem FinFET-Bauelement.

[0016] **Fig. 1** ist eine Perspektivansicht eines FinFET-Bauelements **100** mit einer Dummy-Finne gemäß einem Ausführungsbeispiel der vorliegenden Erfindung. Das FinFET-Bauelement **100** umfasst ein oder mehrere Finnen **2** (zwei Finnen **2** sind in **Fig. 1** gezeigt), eine Dummy-Finne **3**, eine Gateleitung **4**, ein Gatekontaktpad **5** und ein Gatekontaktelement **6**. Jede der Finnen **2** erstreckt sich in eine erste Richtung (Y-Richtung wie in **Fig. 1** gezeigt), ist von einem Substrat **1** getragen und ist zwischen einem Source-Gebiet **9** und einem Drain-Gebiet **10** angeordnet. Die Dummy-Finne **3** erstreckt sich parallel zu den Finnen **2** in der ersten Richtung über dem Substrat **1**. Obwohl nur eine Dummy-Finne **3** in **Fig. 1** dargestellt ist, ist zu bemerken, dass mehr als eine Dummy-Finne benutzt werden kann. Die Gateleitung **4** erstreckt sich in einer zweiten Richtung (X-Richtung, unter einem Winkel, welcher bis zu im Wesentlichen senkrecht zu der ersten Richtung wie in **Fig. 1** gezeigt sein kann) über dem Substrat **1** und wickelt sich teilweise um die Finnen **2** herum. Das Gatekontaktpad **5** ist elektrisch mit der Gateleitung **4** gekoppelt und ist in der Nähe von, beispielsweise im Wesentlichen benachbart zu, oder über der Dummy-Finne **3** angeordnet (siehe auch **Fig. 3**) und trägt das Gatekontaktelement **6** auf seiner oberen Oberfläche (siehe auch **Fig. 2**). Das Gatekontaktelement **6** ist elektrisch mit dem Gatekontaktpad **5** gekoppelt und kann auf der Oberseite des Gatekontaktpads **5** zentriert oder auf andere Weise positioniert sein.

[0017] Obwohl nur eine auf die Gateleitung **4** wirkende Kontaktstruktur in **Fig. 1** dargestellt ist, kann die in **Fig. 1** dargestellte Kontaktstruktur auch auf andere leitende Leitungen, beispielsweise Source-Leitungen, Drain-Leitungen und Wort-Leitungen (alle in **Fig. 1** nicht gezeigt) angewendet werden. Obwohl nur eine leitende Leitung (Gateleitung **4**) in **Fig. 1** dargestellt ist, kann mehr als eine leitende Leitung (z. B. Gateleitungen, Source-Leitungen, Drain-Leitungen und Wort-Leitungen) über dem Substrat **1** ausgebildet sein und eine Kontaktstruktur aufweisen, wie sie allgemein in **Fig. 1** gezeigt ist.

[0018] Bei manchen Ausführungsbeispielen ist wie beispielsweise in **Fig. 3A** gezeigt eine Isolatorschicht **14** ausgebildet, um den Zwischenraum zwischen dem Substrat **1** (in **Fig. 3A** nicht gezeigt), den Finnen **2**, der Dummy-Finne **3**, der Gateleitung **4**, dem Gatekontaktpad **5A**, den Source-Gebieten **9**, und den Drain-Gebieten **10** auszufüllen. Bei einem Ausführungsbeispiel ist die Isolatorschicht **14** aus Borophosphorsilikatglas (BPSG) gefertigt. Bei manchen Ausführungsbeispielen kann die Höhe der ausgebildeten

Isolatorschicht **14** zumindest so hoch sein wie das Höhere von der Gateleitung **4** und dem Gatekontaktpad **5A**.

[0019] **Fig. 2** ist eine modifizierte Querschnittsansicht des FinFET-Bauelements gemäß dem Ausführungsbeispiel der in **Fig. 1** gezeigten Anwendung entlang einer Linie A-A.

[0020] Bei manchen Ausführungsbeispielen ist eine Isolatorschicht **12** ausgebildet, welche die obere Oberfläche der Isolatorschicht **14**, die Gateleitung **4** und den Gatekontaktpad **5** überlagert. Bei einem Ausführungsbeispiel ist die Isolatorschicht **12** aus Siliziumdioxid (SiO_2) gefertigt.

[0021] Bei manchen Ausführungsbeispielen ist das Gatekontaktelement **6** eine Via oder eine Öffnung **16**, welche mit leitendem Material gefüllt ist. Die Öffnung **16** kann ausgebildet werden, indem selektiv durch die Isolatorschicht **12** zu der oberen Oberfläche des Gatekontaktpads **5** hindurch geätzt wird und dann die Öffnung **16** mit einem leitenden Material gefüllt wird. Somit ist das Gatekontaktelement **6** elektrisch mit dem Gatekontaktpad **5** gekoppelt. Optional kann vor dem Füllen der Öffnung **16** mit dem leitenden Material eine dünne Schicht TiN als Auskleidung **15** auf die Öffnung **16** aufgebracht werden. Bei einem Ausführungsbeispiel ist das leitende Material Wolfram. Andere geeignete Metalle oder leitende Materialien können ebenso benutzt werden, die Öffnung **16** zu füllen. Bei einem anderen Ausführungsbeispiel kann das in die Öffnung **16** eingefüllte leitende Material aus einem oder mehreren Metallen gefertigt sein, welche aus der Gruppe von Metallen ausgewählt sind, welche aus Wolfram, Kupfer, Silber, Gold und Aluminium besteht. Da das Gatekontaktpad **5** elektrisch mit der Gateleitung **4** gekoppelt ist, ist das Gatekontaktelement **6** elektrisch mit der Gateleitung **4** gekoppelt und kann benutzt werden, die Gateleitung **4** mit anderen Teilen des Bauelements, anderen Bauelementen, Schaltungen und Referenzpotenzialquellen elektrisch zu koppeln.

[0022] **Fig. 3A** ist eine planare Draufsicht eines FinFET-Bauelements gemäß einem Ausführungsbeispiel der Erfindung, welches eine Anordnung der Finnen **2**, der Dummy-Finne **3**, der Gateleitung **4**, des Gatekontaktpads **5** und des Gatekontaktelements **6** zeigt.

[0023] Wie in **Fig. 3A** gezeigt, überlagert die Gateleitung **4** die Finnen **2**, und das Gatekontaktpad **5A** überlagert die Dummy-Finne **3**. Das Gatekontaktpad **5A** kann verschiedene Formen und Größen aufweisen. Bei manchen Ausführungsbeispielen weist das Gatekontaktpad **5A** entlang seiner Höhenrichtung einen Querschnitt auf, welcher im Wesentlichen rechteckförmig ist. Bei anderen Ausführungsbeispielen kann der Querschnitt des Gatekontaktpads **5A** im

Wesentlichen der Form eines Rechtecks mit abgerundeten Ecken entsprechen. Bei manchen Ausführungsbeispielen, welche beispielsweise in [Fig. 3B](#) dargestellt sind, kann ein Gatekontaktpad **5B**, welches eine andere Form aufweist als das Gatekontaktpad **5A** aus [Fig. 3A](#), zudem teilweise die Dummy-Finne **3** einwickeln. Bei einem weiteren beispielhaften Ausführungsbeispiel kann das Gatekontaktpad **5A** oder **5B** ein vergrößerter Teil der Gateleitung **4** sein. Das Gatekontaktelelement **6A** oder **6B** ist mit dem Gatekontaktpad **5A** oder **5B** gekoppelt und ist innerhalb der Grenze der oberen Oberfläche des Gatekontaktpads **5A** oder **5B** ausgebildet.

[0024] Bei anderen in [Fig. 3C](#) und [Fig. 3D](#) dargestellten Ausführungsbeispielen ist ein Gatekontaktpad **5C** oder **5D** ein Verlängerungsteil der Gateleitung **4**. Ein Gatekontaktelelement **6C** oder **6D** ist mit dem Gatekontaktpad **5C** oder **5D** gekoppelt. Bei einem Ausführungsbeispiel ist das Gatekontaktelelement **6C** innerhalb der Grenze der oberen Oberfläche des Gatekontaktpads **5C** ausgebildet. Bei einem anderen Ausführungsbeispiel erstreckt sich das Gatekontaktelelement **6D** nach jenseits der Grenze der oberen Oberfläche des Gatekontaktpads **5C**.

[0025] Bei allen Ausführungsbeispielen der vorliegenden Erfindung, welche obenstehend unter Bezugnahme auf [Fig. 1–3](#) diskutiert wurden, teilen das Gatekontaktpad **5**, das Gatekontaktelelement **6** und die Dummy-Finne **3** ein gemeinsames Gebiet des FinFET-Bauelements. Auf diese Weise kann die Fläche des FinFET-Bauelements gemäß diesen Ausführungsbeispielen effizienter benutzt werden, so dass bei derartigen Ausführungsbeispielen der Flächenbedarf des FinFET-Bauelements geringer ist. Obwohl nur eine auf die Gateleitung **4** angewendete Kontaktstruktur in [Fig. 1–3](#) dargestellt ist, ist zu bemerken, dass die in [Fig. 1–3](#) dargestellte Kontaktstruktur ebenso auf andere leitende Leitungen, beispielsweise Source-Leitungen, Drain-Leitungen und Wortleitungen (alle in [Fig. 1–3](#) nicht gezeigt) angewendet werden kann.

[0026] Bei manchen Ausführungsbeispielen, beispielsweise den in [Fig. 1](#) und [Fig. 2](#) gezeigten Ausführungsbeispielen, kann das Substrat **1** aus Silizium gebildet sein. Bei anderen Ausführungsbeispielen kann das Substrat **1** aus anderen Halbleitermaterialien wie beispielsweise Germanium oder Galliumarsenid gebildet sein. Bei einem Ausführungsbeispiel kann das Substrat **1** eine Isolierschicht **11**, wie eine BOX (Buried Oxide, vergrabene Oxid)-Struktur umfassen, auf welcher die Finnen **2** ausgebildet sind, um die Finnen **2** von dem Substrat **1** zu isolieren. Bei anderen Ausführungsbeispielen kann das Substrat **1** eine SOI (Silicon On Insulator)-Struktur umfassen. Andere Isolierschichten können in weiteren Ausführungsbeispielen benutzt werden, beispielsweise Nitrit, Siliziumnitrit oder Nitrit mit einer doppelten Oxid-

schicht.

[0027] Bei manchen Ausführungsbeispielen weist die Finne **2** entlang ihrer Länge einen Querschnitt auf, welcher im Wesentlichen rechteckförmig ist. Bei anderen Ausführungsbeispielen kann der Querschnitt der Finne **2** entlang ihrer Länge im Wesentlichen die Form eines Rechtecks mit abgerundeten Ecken aufweisen. Bei einem Ausführungsbeispiel ist das Verhältnis von Höhe zu Breite der Finne **2** im Bereich von etwa 3:1 bis 5:1. Bei einem Ausführungsbeispiel ist die Breite der Finne **2** näherungsweise 20 nm. Die Höhe und die Breite können signifikant variiert werden und ebenso kann das Verhältnis variiert werden, um Transistoren zu erhalten, welche verschiedene gewünschte Eigenschaften aufweisen. Eine größere Höhe kann einen Transistor bereitstellen, welcher mehr Strom treiben kann, ohne dass zusätzliche Chipfläche benötigt wird.

[0028] Bei manchen Ausführungsbeispielen ist die Finne **2** aus n- oder p-dotiertem Silizium gefertigt. Bei anderen Ausführungsbeispielen kann die Finne **2** auch aus anderen Halbleitermaterialien gefertigt sein, beispielsweise Halbleitermaterialien, welche ausgewählt sind aus der Gruppe von Halbleitermaterialien umfassend Germanium, Siliziumkarbid, Galliumarsenid und Indiumphosphid.

[0029] Bei manchen Ausführungsbeispielen ist die Finne **2** mit einer aus Silikat gefertigten isolierenden Schicht **7** beschichtet. Andere isolierende Schichten können in weiteren Ausführungsbeispielen benutzt werden. Bei einem anderen Ausführungsbeispiel kann die Dummy-Finne **3** ebenso mit einer aus Silikat gefertigten Isolatorschicht **8** beschichtet sein. Die Dicke der Isolierschichten **7** oder **8** kann beispielsweise etwa 1 nm betragen. Bei manchen Ausführungsbeispielen kann die Dummy-Finne **3** zumindest näherungsweise dieselbe Form und/oder Struktur wie die Finne **2** aufweisen. Bei anderen Ausführungsbeispielen kann die Dummy-Finne **3** eine andere Form oder Struktur als die Finne **2** aufweisen.

[0030] Bei manchen Ausführungsbeispielen ist die Gateleitung **4** aus Polysilizium gefertigt. Bei anderen Ausführungsbeispielen ist die Gateleitung **4** aus einem oder mehreren Metallen gefertigt, welche aus der Gruppe von Metallen ausgewählt sind, welche aus Wolfram, Kupfer, Silber, Gold und Aluminium besteht. Andere geeignete Metalle oder leitende Materialien können ebenso benutzt werden, um die Gateleitung **4** zu fertigen.

[0031] Bei manchen Ausführungsbeispielen sind die Source-Gebiete **9** der Finne **2** mit einer (in den Figuren nicht gezeigten) Source-Leitung gekoppelt, und die Drain-Gebiete **10** der Finne **2** sind mit einer (in den Figuren nicht gezeigten) Drain-Leitung gekoppelt. Die Source-Leitung kann aus einem oder

mehreren Metallen gefertigt sein, welche aus der Gruppe von Metallen ausgewählt sind, welche aus Wolfram, Kupfer, Silber, Gold und Aluminium besteht. Andere geeignete Metalle oder leitende Materialien können ebenso benutzt werden, um die Source-Leitung zu fertigen. Die Drain-Leitung kann aus einem oder mehreren Metallen gefertigt sein, welche aus der Gruppe von Metallen ausgewählt sind, welche aus Wolfram, Kupfer, Silber, Gold und Aluminium besteht. Andere geeignete Metalle oder leitende Materialien können ebenso benutzt werden, um die Drain-Leitung zu fertigen.

[0032] Bei manchen Ausführungsbeispielen ist das Gatekontaktpad **5** aus einem oder mehreren Metallen gefertigt, welche aus der Gruppe von Metallen ausgewählt sind, welche aus Wolfram, Kupfer, Silber, Gold und Aluminium besteht. Bei anderen Ausführungsbeispielen sind das Gatekontaktpad **5** und die Gateleitung aus dem gleichen Material gefertigt. Wie vorher erwähnt, sind bei manchen Ausführungsbeispielen das Gatekontaktpad **5** und die Gateleitung **4** als ein Körper ausgebildet, d. h. das Gatekontaktpad **5** kann beispielsweise ein vergrößerter Teil oder Verlängerungsteil der Gateleitung **4** sein.

[0033] [Fig. 4](#) ist ein Flussdiagramm, welches ein Verfahren **400** zur Herstellung des FinFET-Bauelements **100** mit einer Dummy-Finne **3** gemäß einem Ausführungsbeispiel der Erfindung darstellt. Bei dem Ausführungsbeispiel wird ein Gatekontaktelement **6** benachbart zu oder über einer bestehenden Dummy-Finne **3** ausgebildet.

[0034] Bei einem anderen Ausführungsbeispiel können herkömmliche Halbleiterprozessierungsschritte wie Abscheidung, Entfernen, Strukturieren und Modifizieren der elektrischen Eigenschaften zum Herstellen eines FinFET-Bauelements benutzt werden, und verschiedene Technologien können bei den Prozessschritten benutzt werden. Beispielsweise können bei einem Abscheidungsprozess physikalische Dampfab-scheidung (PVD, Physical Vapor Deposition), chemische Dampfab-scheidung (CVD, Chemical Vapor Deposition), elektrochemische Abscheidung (ECD, Electrochemical Deposition), Molekularstrahlepitaxie (MBE, Molecular Beam Epitaxy) oder Atomschichtabscheidung (ALD, Atomic Layer Deposition) benutzt werden, um eine Materialschicht auf einem anderen Material auszubilden. Bei einem Entfernungsprozess können nasschemisches Ätzen, trockenchemisches Ätzen und chemisch-mechanische Einebnung (CMP, Chemical Mechanical Planarization) benutzt werden, Material entweder als Volumen oder in selektiver Weise zu entfernen. Bei einem Strukturierungsprozess kann Lithographie benutzt werden, um ein Material zu formen oder eine bestehende Form eines Materials zu ändern. Bei einem Prozessschritt zum Modifizieren elektrischer Eigenschaften kann Dotieren (beispielsweise durch Diffusion oder Ionenimp-

lantation), Tempern in einem Ofen und schnelles thermisches Tempern (RTA, Rapid Thermal Anneal) benutzt werden, um elektrische Eigenschaften eines Materials zu modifizieren.

[0035] In einem Abschnitt **401** kann ein Substrat **1** bereitgestellt werden, welches ein oder mehrere Finnen **2** und eine Dummy-Finne **3** aufweist, welche sich in einer ersten Richtung (beispielsweise die in [Fig. 1](#) gezeigte Y-Richtung) über dem Substrat **1** erstrecken. Das Substrat **1** kann aus Silizium gefertigt sein. Das Substrat **1** kann auch aus anderen Halbleitermaterialien wie Germanium oder Galliumarsenid gefertigt sein. Optional kann das Substrat **1** eine Isolierschicht **11** wie eine BOX (Buried Oxide)-Struktur auf der oberen Oberfläche des Substrats **1** umfassen.

[0036] In einem Abschnitt **402** werden eine Gateleitung **4** und ein damit gekoppeltes Gatekontaktpad **5** ausgebildet. Die Gateleitung **4** kann sich in einer zweiten Richtung (beispielsweise die in [Fig. 1](#) gezeigte X-Richtung) über dem Substrat **1** erstrecken und teilweise die Finnen **2** einwickeln, und das Gatekontaktpad **5** kann benachbart zu oder über der Dummy-Finne **3** positioniert sein.

[0037] In einem Abschnitt **403** kann ein Gatekontaktelement **6** auf der oberen Oberfläche des Gatekontaktpads **5** ausgebildet und damit elektrisch gekoppelt werden. Bei manchen Ausführungsbeispielen ist das Gatekontaktelement **6** eine mit einem leitenden Material gefüllte Öffnung.

[0038] [Fig. 5](#) ist ein Flussdiagramm, welches ein Verfahren **500** zur Herstellung des FinFET-Bauelements **100** mit einer Dummy-Finne **3** gemäß einem anderen Ausführungsbeispiel der Erfindung zeigt. Bei einem Ausführungsbeispiel wird eine Dummy-Finne **3** in demselben Prozessabschnitt wie Finnen **2** hinzugefügt, und ein Gatekontaktelement **6** wird benachbart zu oder über der hinzugefügten Dummy-Finne **3** ausgebildet.

[0039] In einem Prozessabschnitt **501** wird ein Substrat **1** bereitgestellt. Das Substrat **1** kann aus Silizium gefertigt sein. Das Substrat kann auch aus anderen Halbleitermaterialien wie Germanium oder Galliumarsenid gefertigt sein. Optional kann das Substrat **1** eine Isolierschicht **11** wie eine BOX-Struktur umfassen.

[0040] In einem Prozessschritt **502** werden ein oder mehrere Finnen **2** und eine Dummy-Finne **3** ausgebildet, welche sich in einer ersten Richtung (beispielsweise die in [Fig. 1](#) dargestellte Y-Richtung) über dem Substrat **1** erstrecken.

[0041] In einem Prozessabschnitt **503** werden eine Gateleitung **4** und ein mit der Gateleitung **4** gekoppeltes Gatekontaktpad **5** ausgebildet. Die Gateleitung **4**

erstreckt sich in eine zweite Richtung (beispielsweise die in [Fig. 1](#) gezeigte X-Richtung) über dem Substrat **1** und wickelt die Finne **2** teilweise ein, und das Gatekontaktpad **5** ist benachbart zu oder über der Dummy-Finne **3** positioniert.

[0042] In einem Prozessschritt **504** wird ein Gatekontaktelement **6** auf der oberen Oberfläche des Gatekontakt pads **5** ausgebildet und elektrisch hiermit gekoppelt. Bei manchen Ausführungsbeispielen ist das Gatekontaktelement **6** eine mit leitendem Material gefüllte Öffnung **16**.

[0043] Mit der Anordnung und Struktur gemäß verschiedener oben beschriebener Ausführungsbeispiele können die Bauelemente, welche FinFETs mit Gatekontaktelementen auf oder nahe von Dummy-Finnen aufweisen, eine vergrößerte Gatedichte, geringeren Flächenverbrauch und eine gleichförmige Nachbarschaft für erhöhte Fähigkeit zum Drucken verglichen mit herkömmlichen Bauelementen aufweisen. Zudem sind, da die Dummy-Finnen beim Herstellungsprozess nicht entfernt werden müssen, die Kosten zur Herstellung der Halbleiterelemente, welche FinFETs gemäß Ausführungsbeispielen der Erfindung benutzen, reduziert.

[0044] Die oben dargestellten Ausführungsbeispiele sind nicht als abschließend anzusehen und andere Ausführungsbeispiele können ebenso benutzt werden und aus den obigen Ausführungsbeispielen abgeleitet werden, beispielsweise durch Durchführung von strukturellen oder logischen Ersetzungen und Veränderungen. Die oben beschriebenen Ausführungsbeispiele können miteinander kombiniert werden, sofern nicht anders angegeben.

Patentansprüche

1. FinFET-Bauelement (**100**), umfassend:
 mindestens eine Finne (**2**), welche sich in einer ersten Richtung erstreckt und von einem Substrat (**1**) getragen wird,
 eine Dummy-Finne (**3**), welche sich in der ersten Richtung erstreckt und durch das Substrat (**1**) getragen wird,
 eine Gateleitung (**4**), welche sich in einer zweiten Richtung erstreckt und durch das Substrat getragen wird und die Finne teilweise einwickelt,
 ein Gatekontaktpad (**5; 5A; 5B; 5C; 5D**), welches elektrisch mit der Gateleitung (**4**) gekoppelt ist und welches benachbart zu oder über der Dummy-Finne (**3**) angeordnet ist, und
 ein Gatekontaktelement (**6; 6A; 6B; 6C; 6D**), welches elektrisch mit dem Gatekontaktpad (**5; 5A; 5B; 5C; 5D**) gekoppelt ist und durch eine obere Oberfläche des Gatekontakt pads (**5; 5A; 5B; 5C; 5D**) getragen wird.

2. FinFET-Bauelement (**100**) nach Anspruch 1,

wobei sich das Gatekontaktpad (**5; 5A; 5B; 5C; 5D**) teilweise um die Gateleitung (**4**) wickelt oder einen Verlängerungsteil der Gateleitung (**4**) bildet.

3. FinFET-Bauelement (**100**) nach Anspruch 1 oder 2, wobei das Gatekontaktpad (**5; 5A; 5B; 5C; 5D**) aus einem oder mehreren Metallen gefertigt ist, welche aus der Gruppe von Metallen ausgewählt sind, welche aus Wolfram, Kupfer, Silber, Gold, Aluminium und ihren Legierungen besteht.

4. FinFET-Bauelement (**100**) nach einem der Ansprüche 1–3, wobei das Gatekontaktelement (**6; 6A; 6B; 6C; 6D**) eine mit einem leitenden Material gefüllte Öffnung (**16**) umfasst, wobei das leitende Material ein oder mehrere Metalle umfasst, welche ausgewählt sind aus der Gruppe von Metallen bestehend aus Wolfram, Kupfer, Silber, Gold, Aluminium und ihren Legierungen.

5. FinFET-Bauelement (**100**) nach einem der Ansprüche 1–4, wobei die mindestens eine Finne (**2**) und die Dummy-Finne (**3**) aus ein oder mehreren dotierten Halbleitermaterialien gefertigt sind, welche ausgewählt sind aus der Gruppe von Halbleitermaterialien, welche aus Silizium, Germanium, Siliziumkarbid, Galliumarsenid und Indiumphosphit besteht.

6. Verfahren zur Herstellung eines FinFET-Bauelements (**100**), umfassend:
 Bereitstellen eines Substrats (**1**) mit mindestens einer Finne (**2**) und einer Dummy-Finne (**3**), welche sich in einer ersten Richtung erstrecken und von dem Substrat (**1**) getragen werden, Ausbilden einer Gateleitung (**4**) und eines mit der Gateleitung (**4**) gekoppelten Gatekontakt pads (**5; 5A; 5B; 5C**), welche sich in einer zweiten Richtung erstrecken und von dem Substrat getragen werden, wobei die Gateleitung (**4**) die mindestens eine Finne (**2**) teilweise einwickelt und das Gatekontaktpad (**5; 5A; 5B; 5C; 5D**) benachbart zu oder über der Dummy-Finne (**3**) angeordnet ist, und
 Ausbilden eines Gatekontakts (**6; 6A; 6B; 6C; 6D**), welcher mit dem Gatekontaktpad (**5; 5A; 5B; 5C; 5D**) gekoppelt ist und von einer Oberfläche des Gatekontakt pads (**5; 5A; 5B; 5C; 5D**) getragen wird.

7. Verfahren nach Anspruch 6, wobei der Gatekontakt (**6; 6A; 6B; 6C; 6D**) eine mit leitendem Material gefüllte Öffnung (**16**) umfasst, wobei das leitende Material ein oder mehrere Metalle umfasst, welche ausgewählt sind aus der Gruppe von Metallen, welche aus Wolfram, Kupfer, Silber, Gold, Aluminium und ihren Legierungen besteht.

8. Verfahren nach Anspruch 6 oder 7, weiterhin umfassend Füllen des Zwischenraums zwischen dem Substrat, der mindestens einen Finne (**2**), der Dummy-Finne (**3**), der Gateleitung (**4**) und dem Gatekontaktpad (**5; 5A; 5B; 5C; 5D**) mit einem Isolator

(14).

9. Verfahren nach Anspruch 8, wobei der Isolator (14) ein Borphosphorsilikatglas BTSG ist.

10. Verfahren nach einem der Ansprüche 6–9, wobei jede der mindestens einen Finne (2) und der Dummy-Finne (3) im Wesentlichen rechteckförmig ist.

11. Verfahren zur Herstellung eines FinFET-Bauelements (100), umfassend:

Bereitstellen eines Substrats (1),
Ausbilden zumindest einer Finne (2) und einer Dummy-Finne (3), welche sich in einer ersten Richtung erstrecken und von dem Substrat (1) getragen werden,
Ausbilden einer Gateleitung (4) und eines hiermit gekoppelten Gatekontaktpads (5; 5A; 5B; 5C; 5D), welche sich in einer zweiten Richtung erstrecken und von dem Substrat (1) getragen werden, wobei die Gateleitung (4) die mindestens eine Finne (2) teilweise einwickelt und das Gatekontaktpad (5; 5A; 5B; 5C) benachbart zu oder über der Dummy-Finne (3) angeordnet ist, und
Ausbilden eines Gatekontakts (6; 6A; 6B; 6C; 6D), welcher mit dem Gatekontaktpad (5; 5A; 5B; 5C; 5D) gekoppelt ist und von einer Oberfläche hiervon getragen wird.

12. Verfahren nach Anspruch 11, wobei der Gatekontakt (6; 6A; 6B; 6C; 6D) eine mit leitendem Material gefüllte Öffnung (16) umfasst, wobei das leitende Material ein oder mehrere Metalle umfasst, welche ausgewählt sind aus der Gruppe von Metallen, welche aus Wolfram, Kupfer, Silber, Gold, Aluminium und ihren Legierungen besteht.

13. Verfahren nach Anspruch 11 oder 12, weiterhin umfassend Füllen des Zwischenraums zwischen dem Substrat, der mindestens einen Finne (2), der Dummy-Finne (3), der Gateleitung (4) und des Gatekontaktpads (5; 5A; 5B; 5C; 5D) mit einem Isolator (14).

14. Verfahren nach Anspruch 13, wobei der Isolator (14) ein Borphosphorsilikatglas BTSG ist.

15. Verfahren nach einem der Ansprüche 11–14, wobei jede der mindestens einen Finne (2) und der Dummy-Finne (3) im Wesentlichen rechteckförmig ist.

16. FinFET-Bauelement (100), umfassend:
mindestens eine Finne (2), welche sich in einer ersten Richtung erstreckt und von einem Substrat (1) getragen wird,
eine Dummy-Finne (3), welche sich in der ersten Richtung erstreckt und von dem Substrat (1) getragen wird,
eine leitende Leitung (4), welche sich in einer zweiten

Richtung erstreckt und von dem Substrat (1) getragen wird und die Finne (2) teilweise einwickelt,
ein Kontaktpad (5; 5A; 5B; 5C; 5D) für die leitende Leitung, welches elektrisch mit der leitenden Leitung (4) gekoppelt ist und von der Dummy-Finne (3) getragen wird, und
ein Kontaktelement (6; 6A; 6B; 6C; 6D) für die leitende Leitung, welche von einer oberen Oberfläche des Kontaktpads (5; 5A; 5B; 5C; 5D) getragen wird und mit dem Kontaktpad (5; 5A; 5B; 5C; 5D) elektrisch gekoppelt ist.

17. FinFET-Bauelement (100) nach Anspruch 16, wobei die leitende Leitung (4) aus einem oder mehreren Metallen gefertigt ist, welche aus der Gruppe von Metallen ausgewählt sind, welche aus Wolfram, Kupfer, Silber, Gold, Aluminium und ihren Legierungen besteht.

18. FinFET-Bauelement (100) nach Anspruch 16, wobei der Zwischenraum zwischen dem Substrat (1), der mindestens einen Finne (2), der Dummy-Finne (3), der leitenden Leitung (4) und dem Kontaktpad (5; 5A; 5B; 5C; 5D) mit Borphosphorsilikatglas BPSG (14) gefüllt ist.

19. FinFET-Bauelement (100) nach einem der Ansprüche 16–18, wobei jede der mindestens einen Finne (2) und der Dummy-Finne (3) im Wesentlichen rechteckförmig sind.

20. FinFET-Bauelement (100) nach einem der Ansprüche 16–19, wobei das Verhältnis von Höhe zu Breite der mindestens einen Finne (2) und der Dummy-Finne (3) im Bereich von 3:1 bis 5:1 liegt.

Es folgen 4 Blatt Zeichnungen

Anhängende Zeichnungen

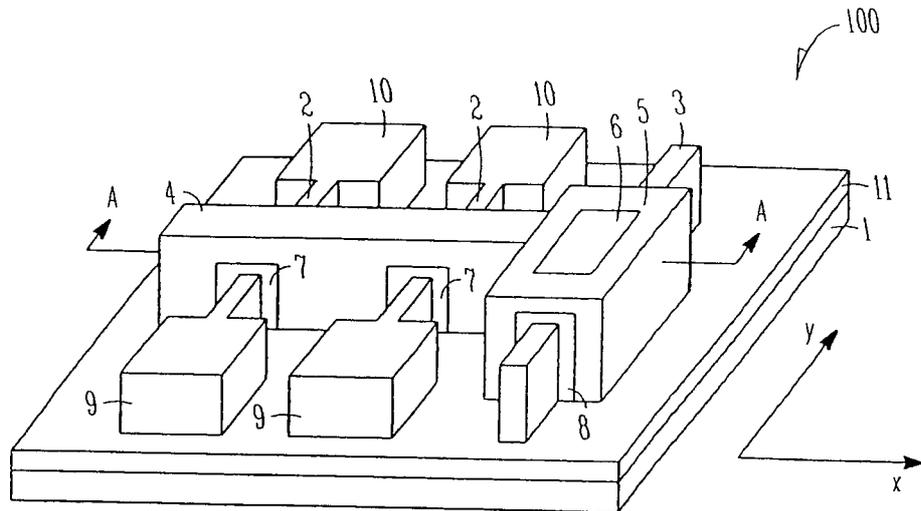


FIG. 1

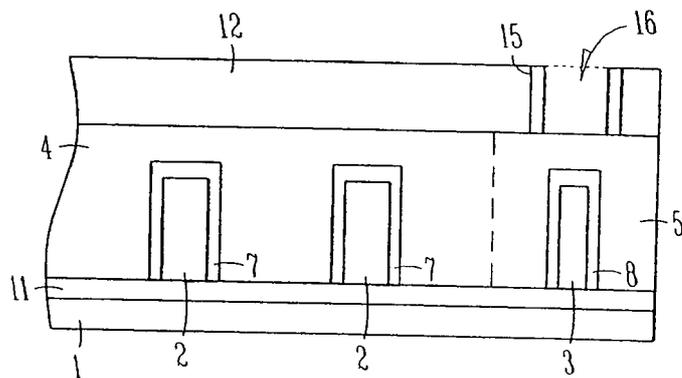


FIG. 2

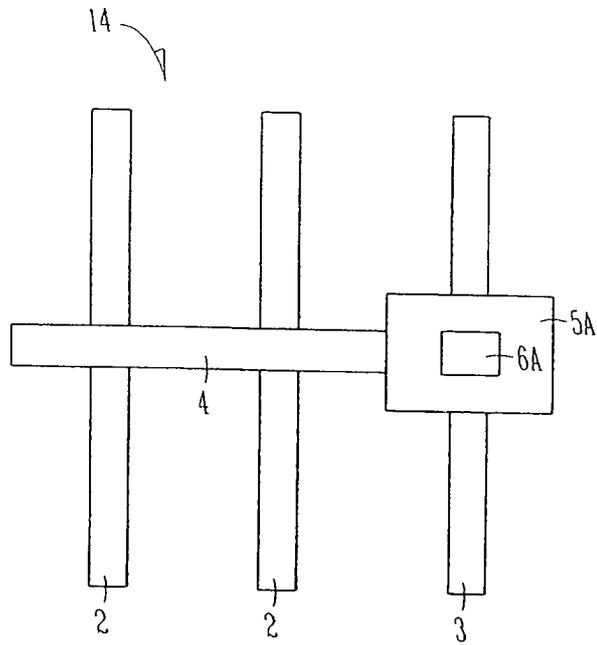


FIG. 3A

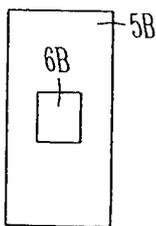


FIG. 3B

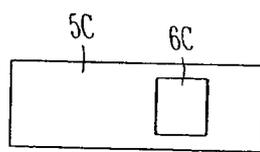


FIG. 3C

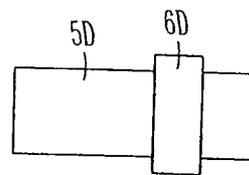


FIG. 3D

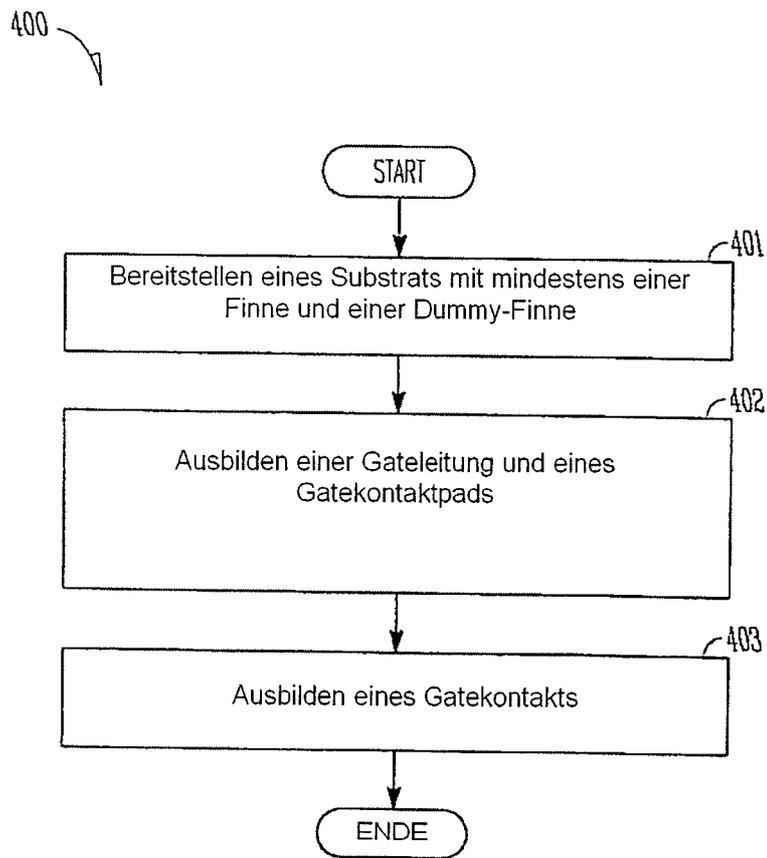


FIG. 4

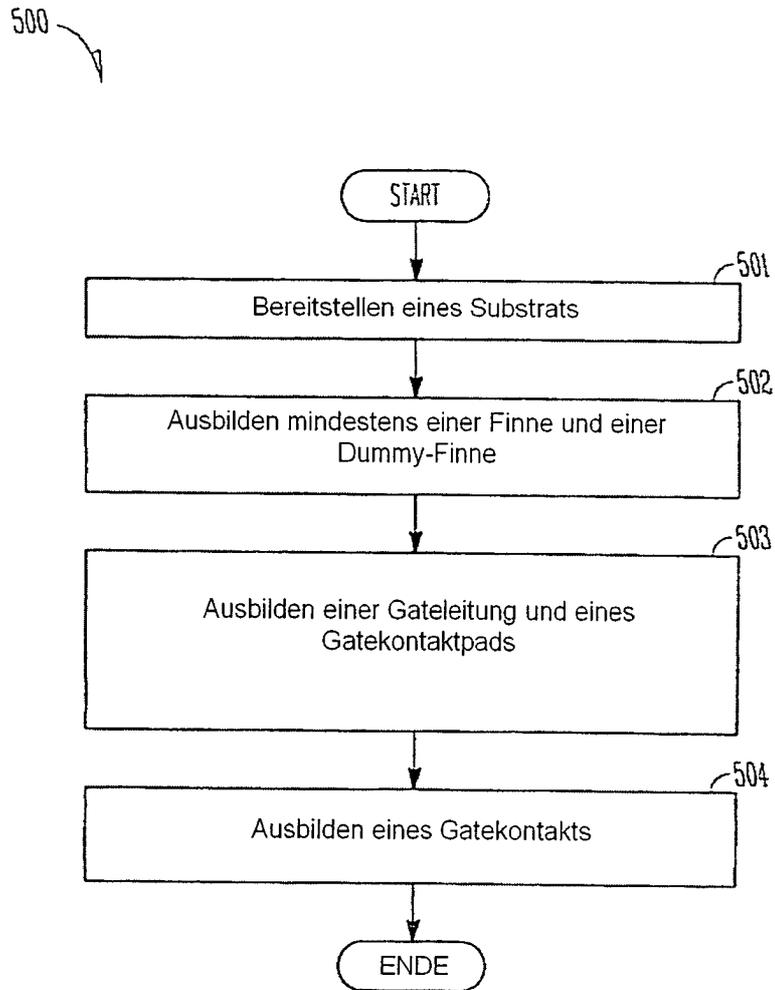


FIG. 5