



(12) 发明专利申请

(10) 申请公布号 CN 103208506 A

(43) 申请公布日 2013. 07. 17

(21) 申请号 201310104658. 2

(22) 申请日 2013. 03. 28

(71) 申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 成军 陈江博 孔祥永

(74) 专利代理机构 北京中博世达专利商标代理  
有限公司 11274

代理人 申健

(51) Int. Cl.

H01L 27/32(2006. 01)

H01L 21/77(2006. 01)

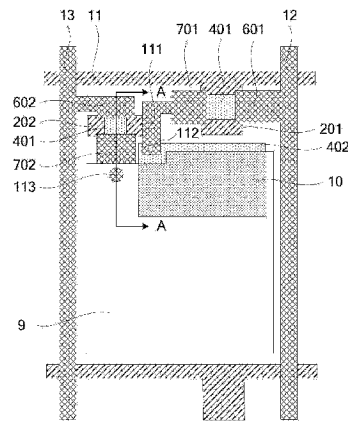
权利要求书1页 说明书8页 附图5页

(54) 发明名称

阵列基板、显示装置及制作方法

(57) 摘要

本发明实施例公开了一种阵列基板、显示装置及制作方法,涉及显示装置技术领域,利用透明氧化物有源层第二区域形成储存电容的第一电极板,增加了阵列基板的开口率。本发明实施例的阵列基板,氧化物有源层、像素电极,所述氧化物有源层包括氧化物有源层第一区域以及氧化物有源层第二区域的图案,所述像素电极与所述氧化物有源层第二区域相对应的部分形成储存电容,所述氧化物有源层第二区域构成储存电容的第一电极板,所述与氧化物有源层第二区域相对应的像素电极构成储存电容的第二电极板,所述第一电极板与第二电极板之间的膜层构成储存电容的介电质。



1. 一种阵列基板,包括:氧化物有源层、像素电极,其特征在于,所述氧化物有源层包括氧化物有源层第一区域以及氧化物有源层第二区域的图案,所述像素电极与所述氧化物有源层第二区域相对应的部分形成储存电容,所述氧化物有源层第二区域构成储存电容的第一电极板,所述与氧化物有源层第二区域相对应的像素电极构成储存电容的第二电极板,所述第一电极板与第二电极板之间的膜层构成储存电容的介电质。

2. 根据权利要求1所述的阵列基板,其特征在于,所述第一电极板是由对氧化物有源层第二区域进行氢等离子体工艺处理形成的,所述第一电极板的电阻率小于 $5 \times 10^{-3} \Omega \cdot \text{cm}$ 。

3. 根据权利要求1或2所述的阵列基板,其特征在于,所述阵列基板还包括刻蚀阻挡层和/或钝化层,所述第一电极板与第二电极板之间的膜层包括钝化层和/或刻蚀阻挡层。

4. 根据权利要求1或2所述的阵列基板,其特征在于,氧化物有源层的材质为氧化镓铟、氧化镓铟、氧化镓锡或者氧化镓铟锡。

5. 根据权利要求3所述的阵列基板,其特征在于,所述刻蚀阻挡层以及所述钝化层分别为硅的氧化物、硅的氮化物、铟的氧化物、硅的氮氧化物或者铝的氧化物中的任意一种或多种形成的透明单层或复合层结构。

6. 一种显示装置,其特征在于包括权利要求1-5任一项所述阵列基板。

7. 一种阵列基板制造方法,包括形成氧化物有源层、像素电极图案,其特征在于,沉积氧化物薄膜后,通过构图工艺形成包括氧化物有源层第一区域以及氧化物有源层第二区域的图案,所述像素电极与所述氧化物有源层第二区域相对应的部分形成储存电容,所述氧化物有源层第二区域构成储存电容的第一电极板,所述与氧化物有源层第二区域相对应的像素电极构成储存电容的第二电极板,所述第一电极板与第二电极板之间的膜层构成储存电容的介电质。

8. 根据权利要求7所述的阵列基板的制作方法,其特征在于,通过对氧化物有源层第二区域进行氢等离子体工艺处理形成包括第一电极板的图案,所述第一电极板的电阻率小于 $5 \times 10^{-3} \Omega \cdot \text{cm}$ 。

9. 根据权利要求8所述的阵列基板的制作方法,其特征在于,所述氢等离子体处理工艺的处理时间为150S,处理功率为800~2000W,氢等离子流量为80SCCM。

10. 根据权利要求7至9任一项所述的阵列基板的制作方法,其特征在于,所述阵列基板还包括刻蚀阻挡层和/或钝化层,所述第一电极板与第二电极板之间的膜层包括钝化层和/或刻蚀阻挡层。

## 阵列基板、显示装置及制作方法

### 技术领域

[0001] 本发明涉及显示装置技术领域,尤其涉及一种阵列基板、显示装置及制作方法。

### 背景技术

[0002] 近年来,随着科技水平的不断进步和提高,显示技术得到了快速的发展。基于其高品质的图像显示、自发光、响应速度快、宽视角等优势特点,OLED(Organic Light-Emitting Diode,有机发光二极管显示器)在显示领域中占据了广阔的市场,越来越多的OLED显示装置为人们所熟知并在日常生活领域中得到了广泛的应用。

[0003] 然而发明人发现现有技术阵列基板至少存在如下问题:现有技术中OLED驱动电路中的储存电容是由不透明的金属电极与像素电极形成的,因此,不透明的金属电极直接影响了开口率的大小,进而增加了显示装置发光所需要的电流强度,缩短了显示装置的使用寿命。

### 发明内容

[0004] 本发明的实施例提供一种阵列基板、显示装置及制作方法,通过透明氧化物有源层第二区域形成储存电容的第一电极板,增加阵列基板的开口率。

[0005] 为解决上述技术问题,本发明的实施例采用如下技术方案:

[0006] 本申请的一方面,提供一种阵列基板,包括:氧化物有源层、像素电极,所述氧化物有源层包括氧化物有源层第一区域以及氧化物有源层第二区域的图案,所述像素电极与所述氧化物有源层第二区域相对应的部分形成储存电容,所述氧化物有源层第二区域构成储存电容的第一电极板,所述与氧化物有源层第二区域相对应的像素电极构成储存电容的第二电极板,所述第一电极板与第二电极板之间的膜层构成储存电容的介电质。

[0007] 优选的,所述第一电极板是由对氧化物有源层第二区域进行氢等离子体工艺处理形成的,所述第一电极板的电阻率小于 $5 \times 10^{-3} \Omega \cdot \text{cm}$ 。

[0008] 进一步的,所述阵列基板还包括刻蚀阻挡层和/或钝化层,所述第一电极板与第二电极板之间的膜层包括钝化层和/或刻蚀阻挡层。

[0009] 进一步的,氧化物有源层的材质为氧化铟镓锌、氧化铟锌、氧化铟锡或者氧化铟镓锡。

[0010] 进一步的,所述刻蚀阻挡层以及所述钝化层分别为硅的氧化物、硅的氮化物、钪的氧化物、硅的氮氧化物或者铝的氧化物中的任意一种或多种形成的透明单层或复合层结构。

[0011] 本申请的另一方面,提供一种显示装置,包括上述阵列基板。

[0012] 本申请的再一方面,提供一种阵列基板的制作方法,包括形成氧化物有源层、像素电极图案,沉积氧化物薄膜后,通过构图工艺形成包括氧化物有源层第一区域以及氧化物有源层第二区域的图案,所述像素电极与所述氧化物有源层第二区域相对应的部分形成储存电容,所述氧化物有源层第二区域构成储存电容的第一电极板,所述与氧化物有源层第

二区域相对应的像素电极构成储存电容的第二电极板,所述第一电极板与第二电极板之间的膜层构成储存电容的介电质。

[0013] 优选的,通过对氧化物有源层第二区域进行氢等离子体工艺处理形成包括第一电极板的图案,所述第一电极板的电阻率小于  $5 \times 10^{-3} \Omega \cdot \text{cm}$ 。

[0014] 优选的,所述氢等离子体处理工艺的处理时间为 150S,处理功率为 800 ~ 2000W,氢等离子体流量为 80SCCM。

[0015] 进一步的,所述阵列基板还包括刻蚀阻挡层和 / 或钝化层,所述第一电极板与第二电极板之间的膜层包括钝化层和 / 或刻蚀阻挡层。

[0016] 本发明申请提供的阵列基板、显示装置及制作方法,利用透明氧化物材料形成储存电容的第一电极板,使得形成的储存电容结构具有透光性,从而增加阵列基板的开口率,降低显示装置发光所需的电流强度,延长了显示装置的使用寿命。

### 附图说明

[0017] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0018] 图 1 为 AMOLED 阵列基板的驱动电路图;

[0019] 图 2 为本发明实施例阵列基板的布局示意图;

[0020] 图 3 为图 2 所述阵列基板 A-A 向的层间剖面示意图;

[0021] 图 4 为本发明实施例层间剖面示意图之二;

[0022] 图 5 为本发明实施例阵列基板制作方法的流程示意图;

[0023] 图 6 为本发明实施例阵列基板制作方法的流程示意图;

[0024] 图 7 为本发明实施例涂覆光刻胶处理氧化物有源层第二区域的示意图。

[0025] 附图标记说明:

[0026] 1—基板;

[0027] 2—栅极;

[0028] 3—栅绝缘层;

[0029] 401—氧化物有源层第一区域;

[0030] 402—氧化物有源层第二区域;

[0031] 5—刻蚀阻挡层;

[0032] 6—源极;

[0033] 7—漏极;

[0034] 8—钝化层;

[0035] 9—像素电极;

[0036] 10—重叠区域;

[0037] 11—栅线;

[0038] 12—数据线;

[0039] 13—电源线;

- [0040] 201—第一栅极；
- [0041] 202—第二栅极；
- [0042] 601—第一源极；
- [0043] 602—第二源极；
- [0044] 701—第一漏极；
- [0045] 702—第二漏极；
- [0046] 111—第一过孔；
- [0047] 112—第二过孔；
- [0048] 113—第三过孔。

### 具体实施方式

[0049] 本发明实施例提供了一种阵列基板、显示装置及制作方法，通过透明氧化物有源层第二区域形成储存电容的第一电极板，增加阵列基板的开口率。

[0050] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。附图中各层薄膜厚度和区域大小形状不反映 AMOLED (Active Matrix OLED, 主动式矩阵有机发光二极管) 阵列基板的真实比例，目的只是示意说明本发明内容。

[0051] 下面结合下述附图对本发明实施例做详细描述。

[0052] 本实施例提供一种 AMOLED 的阵列基板，所述阵列基板的驱动电路示意图可参考图 1 所示的电路图。如图 1 所示，图 1 为一种 AMOLED 的像素结构的驱动电路图，该像素单元电路结构包括两个薄膜晶体管以及一个电容，其中，栅线电连接于第一薄膜晶体管的栅电极，数据线电连接于第一薄膜晶体管的漏电极。栅线提供的电信号使第一薄膜晶体管处于导通 / 关断状态；当第一薄膜晶体管打开时，数据线提供的电信号使第二薄膜晶体管处于导通 / 关断状态；当第二薄膜晶体管打开时，电源线输入的信号通过第二薄膜晶体管驱动 AMOLED 发光。

[0053] 如图 2 和图 3 所示，图 2 为本发明实施例阵列基板像素单元的布局示意图，图 3 为图 2 中 A-A 向的剖面图。图 3 为本发明薄膜晶体管的剖面图，所反映的是一个薄膜晶体管的结构。本实施例薄膜晶体管的主体结构包括形成在基板 1 上的栅极 2、栅绝缘层 3、氧化物有源层、刻蚀阻挡层 5、源极 6、漏极 7、钝化层 8、像素电极 9。所述薄膜晶体管尤其包括氧化物有源层第一区域 401 以及氧化物有源层第二区域 402，具体地，氧化物有源层第一区域 401 以及氧化物有源层第二区域 402 在同一次构图工艺中形成，当然，也可以根据需要使上述图案不在同一次构图工艺中形成。其中，所述像素电极 9 与所述氧化物有源层第二区域 402 相对应的部分形成储存电容，所述氧化物有源层第二区域 402 构成储存电容的第一电极板，所述与氧化物有源层第二区域 402 相对应的像素电极 9 构成储存电容的第二电极板，所述第一电极板与第二电极板之间的膜层构成储存电容的介电质。

[0054] 具体的，如图 2 所示，本实施例 AMOLED 阵列基板的主体结构包括栅线 11、数据线 12、电源线 13，数据线 12 和电源线 13 与栅线 11 垂直，并与两个相邻的栅线 11 一起限定了像

素区域。像素区域内分别形成有作为寻址元件的第一薄膜晶体管(也称开关薄膜晶体管)、用于控制有机发光二极管的第二薄膜晶体管(也称驱动薄膜晶体管)以及像素电极 9,第一薄膜晶体管位于栅线 11 与数据线 12 交叉点的位置,第二薄膜晶体管位于栅线 11 与电源线 13 交叉点的位置,其中第一薄膜晶体管的第一漏极 701 通过第一过孔 111 与第二薄膜晶体管的第二栅极 202 相连接,亦或者将第一薄膜晶体管的第一漏极 701 做到第二薄膜晶体管栅极所在位置,直接作为第二栅极 202。

[0055] 如图 2 所示,本实施例中第一栅极 201、第二栅极 202、栅线 11 设置在基板 1 上并在同一次构图工艺中形成,其中第一栅极 201 与栅线 11 连接,第二栅极 202 不与栅线 11 相连,同时第一栅极 201 与第二栅极 202 不相连。栅绝缘层 3 形成在第一栅极 201、第二栅极 202、栅线 11 上并覆盖整个基板 1。通过第二次构图工艺形成包括氧化物有源层的图案,其中,氧化物有源层第一区域 401 形成第一薄膜晶体管半导体沟道以及第二薄膜晶体管半导体沟道,第一薄膜晶体管半导体沟道设置在第一栅极 201 上方,第二薄膜晶体管半导体沟道设置在第二栅极 202 上方,第一薄膜晶体管半导体沟道与第二薄膜晶体管半导体沟道互不相连。刻蚀阻挡层 5 形成在氧化物有源层第一区域 401 以及氧化物有源层第二区域 402 上并覆盖整个基板 1。然后,数据线 12、第一源极 601、第一漏极 701 及电源线 13、第二源极 602、第二漏极 702 在同一次构图工艺中形成,其中,第一源极 601 的一端与数据线 12 连接,第一源极 601 和第一漏极 701 之间通过第一薄膜半导体沟道区域相连;第二源极 602 的一端与电源线 13 连接,第二源极 602 和第二漏极 702 之间通过第二薄膜半导体沟道区域相连。钝化层 8 形成在数据线 12、第一源极 601、第一漏极 701 及电源线 13、第二源极 602、第二漏极 702 上并覆盖整个基板 1。然后通过第四次构图工艺形成像素电极 9 的图案。

[0056] 需要说明的是,阵列基板源极和漏极的名称,因电流的流动方向不同而异,在本发明中为了方便描述,将与像素电极相连接的称为漏极。

[0057] 需要补充说明的是,在形成刻蚀阻挡层 5 后,其上开设有第一过孔 111、第二过孔 112,其中第一过孔 111 开设在第二栅极 202 的上方,穿透刻蚀阻挡层 5、栅绝缘层 3 到达第二栅极 202,第一漏极 701 通过第一过孔 111 与第二栅极 202 相连;第二过孔 112 开设在氧化物有源层第二区域 402 的上方,穿透刻蚀阻挡层 5 到达氧化物有源层第二区域 402,第一漏极 701 通过第二过孔 112 与氧化物有源层第二区域 402 相连。在形成钝化层 8 后,其上开设有第三过孔 113,其中第三过孔 113 开设在第二漏极 702 上方,穿透钝化层 8 到达第二漏极 702,像素电极 9 通过第三过孔 113 与第二漏极 702 相连。

[0058] 将完成上述步骤的阵列基板中氧化物有源层第二区域 402 与像素电极 9 相对应的部分称为重叠区域 10。如图 2 所示,重叠区域 10 即为储存电容所在区域。其中,氧化物有源层第二区域 402 构成储存电容的第一电极板,与氧化物有源层第二区域 402 相对应的像素电极 9 构成储存电容的第二电极板,第一电极板与第二电极板之间的膜层构成储存电容的介电质。由于储存电容均由透明材料构成,因此储存电容呈现透光性。

[0059] 另外,栅极、栅线、源极、漏极以及数据线可为由钼(Mo)、钼铌合金(MoNb)、铝(Al)、铝钽合金(AlNd)、钛(Ti)、铬(Cr)、铜(Cu)等中的任意一种或多种材料形成的单层或多层的复合叠层结构。上述材质中包含不透光的金属材料,因此形成的栅极、栅线、源极、漏极以及数据线结构为不透光结构。优选的,栅极、栅线、源极、漏极以及数据线为 Mo、Al 或含 Mo、Al 的合金组成的单层或多层复合膜结构,其形成的膜层厚度为 100nm ~ 3000nm。

[0060] 栅绝缘层可为由硅的氧化物( $\text{SiO}_x$ )、硅的氮化物( $\text{SiN}_x$ )、铪的氧化物( $\text{HfO}_x$ )、硅的氮氧化物( $\text{SiON}$ )、铝的氧化物( $\text{AlO}_x$ ) 等中的任意一种或任意两种材料形成的多层复合膜结构。氧化物有源层由包含 In (铟)、Ga (镓)、Zn (锌)、O (氧)、Sn (锡) 等元素的薄膜形成, 其中该薄膜中必须包含氧元素和其他两种或两种以上的元素, 例如氧化物有源层的材质可为 IGZO (氧化铟镓锌)、IZO (氧化铟锌)、InSnO (氧化铟锡)、InGaSnO (氧化铟镓锡) 等。

[0061] 刻蚀阻挡层、钝化层可为由硅的氧化物( $\text{SiO}_x$ )、硅的氮化物( $\text{SiN}_x$ )、铪的氧化物( $\text{HfO}_x$ )、铝的氧化物( $\text{AlO}_x$ ) 中的任意一种或任意两种材料形成的多层复合透明膜层结构。刻蚀阻挡层以及钝化层其特点是膜层中含有较低的低氢含量, 并且具有很好的表面特性。

[0062] 像素电极可为氧化铟锡(ITO) 或者氧化铟锌(IZO) 或者其它透明氧化物制作而成。以 ITO 材质为例, 通常使用溅射成膜的方法制备形成非晶态的 ITO, 再通过退火工艺使之晶体化。优选的, 像素电极的膜层厚度为 20 ~ 150nm。

[0063] 本发明实施例所述的阵列基板储存电容为平行板电容结构。根据平行板电容结构的计算公式, 所述储存电容满足  $C = \epsilon S / 4 \pi kd$ 。其中,  $\epsilon$  为介电常数,  $S$  为储存电容的两极板的对应面积,  $d$  为储存电容的两极板间的距离,  $k$  是静电力常量。储存电容的两极板对应面积取决于氧化物有源层第二区域与像素电极的相对应的区域, 极板间的距离取决于氧化物有源层第二区域与像素电极之间夹置的膜层厚度。因此, 通过调整对应的区域以及夹置的膜层厚度可生成所需的储存电容。另外, 本领域技术人员可以明白, 氧化物有源层第二区域与像素电极的相对应的区域由氧化物有源层第二区域与像素电极共同决定, 因此形成的相对应区域的形状可有多种可能, 例如: 形成的相对应的区域可为长方形、正方形、三角形等常见形状或者不规则的形状。另外, 形成的相对应的区域还可由多块区域共同形成, 而不仅限于由一块区域形成。

[0064] 需要说明的是, 本发明所述的阵列基板仅列举了底栅型结构, 本发明所提及的技术方案也同样适用于顶栅型结构, 包括源漏极形成在基板上, 其上依次形成钝化层、氧化物有源层、栅绝缘层以及栅极的结构; 又或者如图 4 所示, 包括氧化物有源层形成在基板上, 其上依次形成钝化层、源漏极、钝化层、栅绝缘层以及栅极的结构。与底栅型结构的阵列基板相比, 共同点在于氧化物有源层所起的作用以及氧化物有源层第二区域的设置, 因此, 顶栅型结构的阵列基板同样适用于本技术方案, 以上所述两种结构的顶栅型结构及其制造方法在此不再赘述。

[0065] 另外, 需要说明的是, 本发明仅列举了 2T1C 型像素结构的阵列基板, 即阵列基板中像素驱动电路中包括 2 个薄膜晶体管以及一个电容。其中, 氧化物有源层包括氧化物有源层第一区域以及氧化物有源层第二区域, 氧化物有源层第一区域用于构成薄膜晶体管的半导体沟道区域, 氧化物有源层第二区域用于构成储存电容的第一电极板, 使得形成的储存电容具有可透光性, 最终增加了阵列基板的开口率。显然, 本发明所提及的技术方案形成的阵列基板也可具有其它变化, 例如: 阵列基板的像素驱动电路由三个薄膜晶体管构成或由四个薄膜晶体管构成, 与上述实施例阵列基板相比, 共同点在于氧化物有源层所起的作用以及氧化物有源层第二区域的设置, 在此不作赘述。

[0066] 本发明实施例的阵列基板, 利用透明氧化物有源层第二区域形成储存电容的第一电极板、与透明氧化物有源层第二区域对应的像素电极形成储存电容的第二电极板, 使得形成的储存电容结构具有透光性, 从而增加阵列基板的开口率, 降低显示装置发光所需的

电流强度,延长了显示装置的使用寿命。

[0067] 优选的,此后,对完成上述工艺的基板进行氢等离子体处理,第一电极板是由对氧化物有源层第二区域进行氢等离子体工艺处理形成的,使得所述第一电极板的电阻率小于  $5 \times 10^{-3} \Omega \cdot \text{cm}$ ,其导电性能更接近于金属电极板。

[0068] 以用 IGZO (In-Ga-Zn-Ox, 铟镓锌氧化物) 作为氧化物有源层为例,对氧化物有源层第二区域进行氢等离子体处理,处理过程通过反应离子刻蚀装置或者等离子体增强型化学气相沉积装置来完成,处理时间为 150S,处理功率为 800 ~ 2000W,处理使用的氢气流量为 80SCCM(英文:standard-state cubic centimeter per minute,中文:标况毫升每分钟)。处理完成后,氧化物有源层第二区域的电阻率变为  $1 \times 10^{-3} \Omega \cdot \text{cm}$ ,构成储存电容的第一电极板,体现导体特性;而未经处理的氧化物有源层第一区域的电阻率大于  $10^6 \Omega \cdot \text{cm}$ ,构成薄膜晶体管的半导体沟道区域,体现半导体特性。

[0069] 具体的,如图 7 所示,本实施例中在基板上 1 形成栅极 2 以及栅线、栅绝缘层 3、氧化物有源层,通过一次构图工艺形成氧化物有源层第一区域 401 以及氧化物有源层第二区域 402 的图案。然后,在上述基板上涂覆光刻胶,经构图工艺除去氧化物有源层第二区域 402 上方的光刻胶,对完成上述工艺的基板进行氢等离子体工艺处理,以使经处理过程后的氧化物有源层第二区域 402 表现为导体特性。具体的,处理完成后,氧化物有源层第二区域 402 的电阻率变为  $1 \times 10^{-3} \Omega \cdot \text{cm}$ 。需要说明的是,由于光刻胶的保护,氧化物有源层第一区域并不受氢等离子体工艺处理的影响,因此,在除去光刻胶后,氧化物有源层第一区域的电阻率仍大于  $10^6 \Omega \cdot \text{cm}$ ,构成薄膜晶体管的半导体沟道区域,体现半导体特性。

[0070] 进一步的,所述阵列基板还包括刻蚀阻挡层和 / 或钝化层,所述第一电极板与第二电极板之间的膜层包括钝化层和 / 或刻蚀阻挡层。钝化层和 / 或刻蚀阻挡层均为透明的绝缘膜层,因此可用于构成储存电容的介电质结构。

[0071] 进一步的,氧化物有源层的材质为氧化铟镓锌、氧化铟锌、氧化铟锡或者氧化铟镓锡。

[0072] 进一步的,所述刻蚀阻挡层以及所述钝化层分别为硅的氧化物、硅的氮化物、钪的氧化物、硅的氮氧化物或者铝的氧化物中的任意一种或多种形成的透明单层或复合层结构。

[0073] 本发明实施例的阵列基板,利用透明氧化物有源层第二区域 402 形成储存电容的第一电极板、与透明氧化物有源层第二区域 402 对应的像素电极 9 形成储存电容的第二电极板,使得形成的储存电容结构具有透光性,从而增加阵列基板的开口率,降低显示装置发光所需的电流强度,延长了显示装置的使用寿命。

[0074] 本发明的另一方面,提供一种显示装置,包括上述的阵列基板。其中,所述阵列基板的结构以及工作原理同上述实施例,在此不再赘述。另外,显示装置的其他部分的结构可以参考现有技术,对此本文不再详细描述。

[0075] 本发明实施例的显示装置,其中的阵列基板利用透明氧化物材料形成储存电容的第一电极板,使得形成的储存电容结构具有透光性,从而增加阵列基板的开口率,降低显示装置发光所需的电流强度,延长了显示装置的使用寿命。

[0076] 本发明的再一方面,提供一种阵列基板的制作方法,如图 5 所示,包括以下步骤:

[0077] 步骤 S1、在基板上沉积栅金属薄膜,通过构图工艺形成包括栅极、栅线的图形;



- [0078] 步骤 S2、在完成前述步骤的基板上形成栅绝缘层；
- [0079] 步骤 S3、在完成前述步骤的基板上沉积氧化物有源层薄膜，通过构图工艺形成包括氧化物有源层第一区域以及氧化物有源层第二区域的图形；
- [0080] 步骤 S4、在完成前述步骤的基板上形成刻蚀阻挡层薄膜，通过构图工艺形成包括刻蚀阻挡层、刻蚀阻挡层第一过孔以及刻蚀阻挡层第二过孔，所述刻蚀阻挡层第一过孔位于栅极的所在位置，穿透刻蚀阻挡层以及栅绝缘层到达栅极，过孔内露出栅极；所述刻蚀阻挡层第二过孔位于氧化物有源层第二区域的所在位置，穿透刻蚀阻挡层到达氧化物有源层第二区域，过孔内露出氧化物有源层第二区域；
- [0081] 步骤 S5、在完成前述步骤的基板上沉积源漏金属薄膜，通过构图工艺形成包括源极、漏极、数据线及电源线的图形；
- [0082] 步骤 S6、在完成前述步骤的基板上沉积钝化层薄膜，通过构图工艺形成包括钝化层及钝化层过孔的图形，所述钝化层过孔位于漏极的所在位置，穿透钝化层到达漏极，过孔内露出漏极。
- [0083] 步骤 S7、在完成前述步骤的基板上沉积透明导电薄膜，通过构图工艺形成包括像素电极的图形，所述像素电极通过过孔与漏极连接。
- [0084] 本发明实施例的阵列基板制造方法，利用透明氧化物有源层第二区域构成储存电容的第一电极板、与透明氧化物有源层第二区域对应的像素电极形成储存电容的第二电极板，第一电极板与第二电极板之间的膜层构成储存电容的介电质，使得形成的储存电容结构具有透光性，从而增加阵列基板的开口率，降低显示装置发光所需的电流强度，延长了显示装置的使用寿命。
- [0085] 优选的，通过对氧化物有源层第二区域进行氢等离子体工艺处理形成包括第一电极板的图案，所述第一电极板的电阻率小于  $5 \times 10^{-3} \Omega \cdot \text{cm}$ 。
- [0086] 图 6 为本发明优选实施例阵列基板制造方法的流程图，包括：
- [0087] 步骤 S101、采用磁控溅射或热蒸发的方法，在基板上沉积栅金属薄膜，采用普通掩模板通过构图工艺形成包括第一栅极、第二栅极及栅线的图形；
- [0088] 步骤 S102、采用旋转涂覆的方法涂覆一层栅绝缘层；
- [0089] 步骤 S103、采用等离子体增强化学气相沉积方法，沉积氧化物有源层薄膜，通过构图工艺形成包括氧化物有源层第一区域以及氧化物有源层第二区域的图形；
- [0090] 步骤 S104、在氧化物有源层薄膜上涂覆一层光刻胶，通过构图工艺形成暴露氧化物有源层第一区域的光刻胶图形；在氢气条件下，对完成以上步骤的基板进行氢等离子体处理，具体的处理时间为 150S，处理功率为 800 ~ 2000W，处理使用的氢气流量为 80SCCM 处理完成后，剥除上述基板上的光刻胶；
- [0091] 步骤 S105、采用等离子体增强化学气相沉积方法，沉积刻蚀阻挡层薄膜，并采用普通掩模板通过构图工艺形成包括第一过孔以及第二过孔的图形，所述第一过孔位于第二栅极的所在位置，穿透刻蚀阻挡层、栅绝缘层到达第二栅极；第二过孔位于氧化物有源层第二区域的所在位置，穿透刻蚀阻挡层到达氧化物有源层第二区域；
- [0092] 步骤 S106、采用磁控溅射或热蒸镀的方法，沉积源漏金属薄膜，通过构图工艺形成包括第一、第二源极漏极、数据线、电源线的图形；所述第一漏极通过第一过孔、第二过孔分别与第二栅极、氧化物有源层第二区域连接；

[0093] 步骤 S107、采用等离子体增强化学气相沉积方法，沉积钝化层薄膜，并采用普通掩模板通过构图工艺形成包括第三过孔的图形，所述第三过孔位于第二漏极的所在位置，穿透钝化层到达第二漏极；

[0094] 步骤 S108、沉积透明导电薄膜，通过构图工艺形成像素电极的图形，所述像素电极通过第三过孔与第二漏极连接。

[0095] 本实施例是一种在完成氧化物有源层步骤后对氧化物有源层第二区域进行氢等离子体处理的技术方案，其制备过程已在前述技术方案中详细介绍，这里不在赘述。

[0096] 进一步的，所述氢等离子体处理工艺的处理时间为 150S，处理功率为 800 ~ 2000W，氢等离子流量为 80SCCM。

[0097] 进一步的，所述阵列基板还包括刻蚀阻挡层和 / 或钝化层，所述第一电极板与第二电极板之间的膜层包括钝化层和 / 或刻蚀阻挡层。

[0098] 本发明实施例的阵列基板制造方法，利用透明氧化物有源层第二区域构成储存电容的第一电极板、与透明氧化物有源层第二区域对应的像素电极形成储存电容的第二电极板，使得形成的储存电容结构具有透光性，从而增加阵列基板的开口率，降低显示装置发光所需的电流强度，延长了显示装置的使用寿命。

[0099] 以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

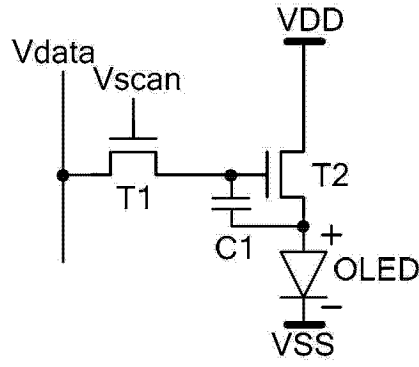


图 1

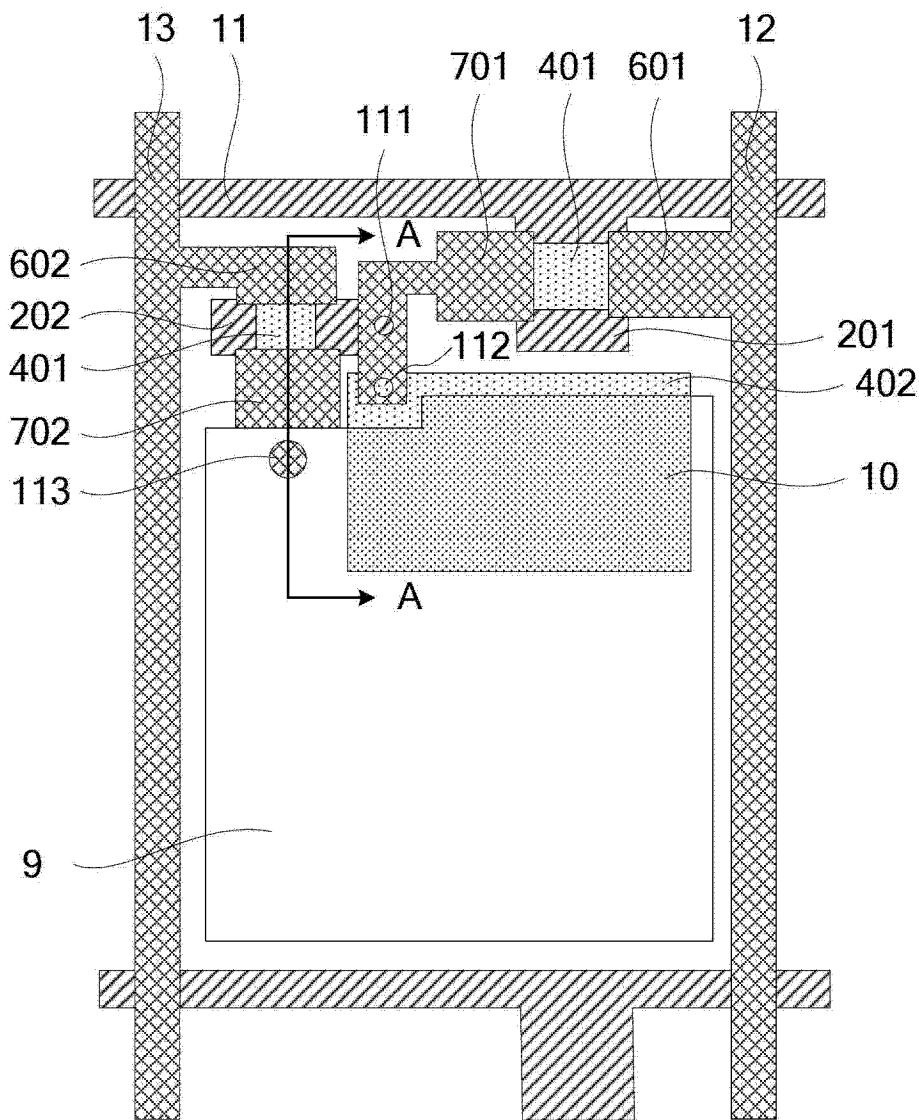


图 2

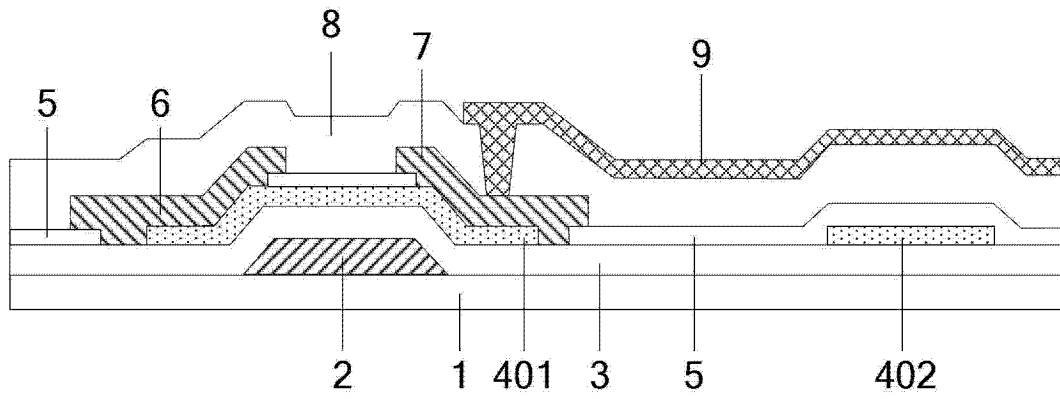


图 3

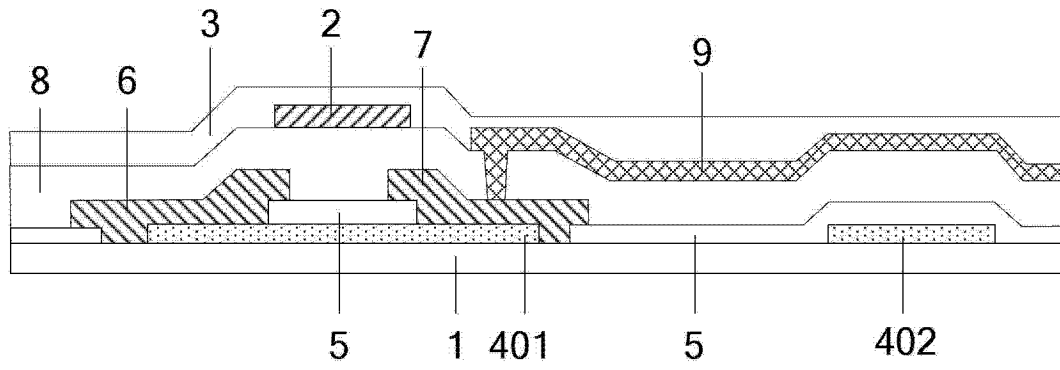


图 4

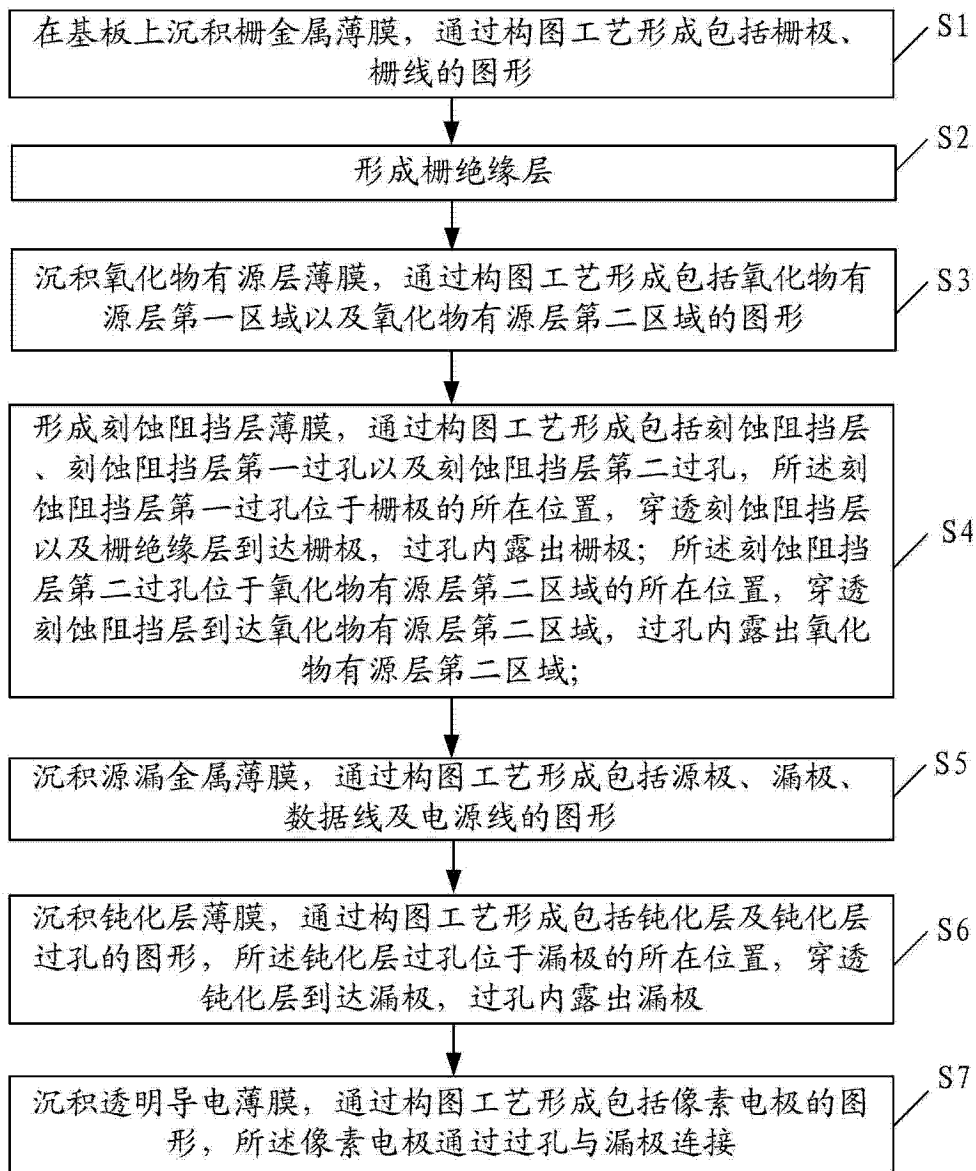


图 5

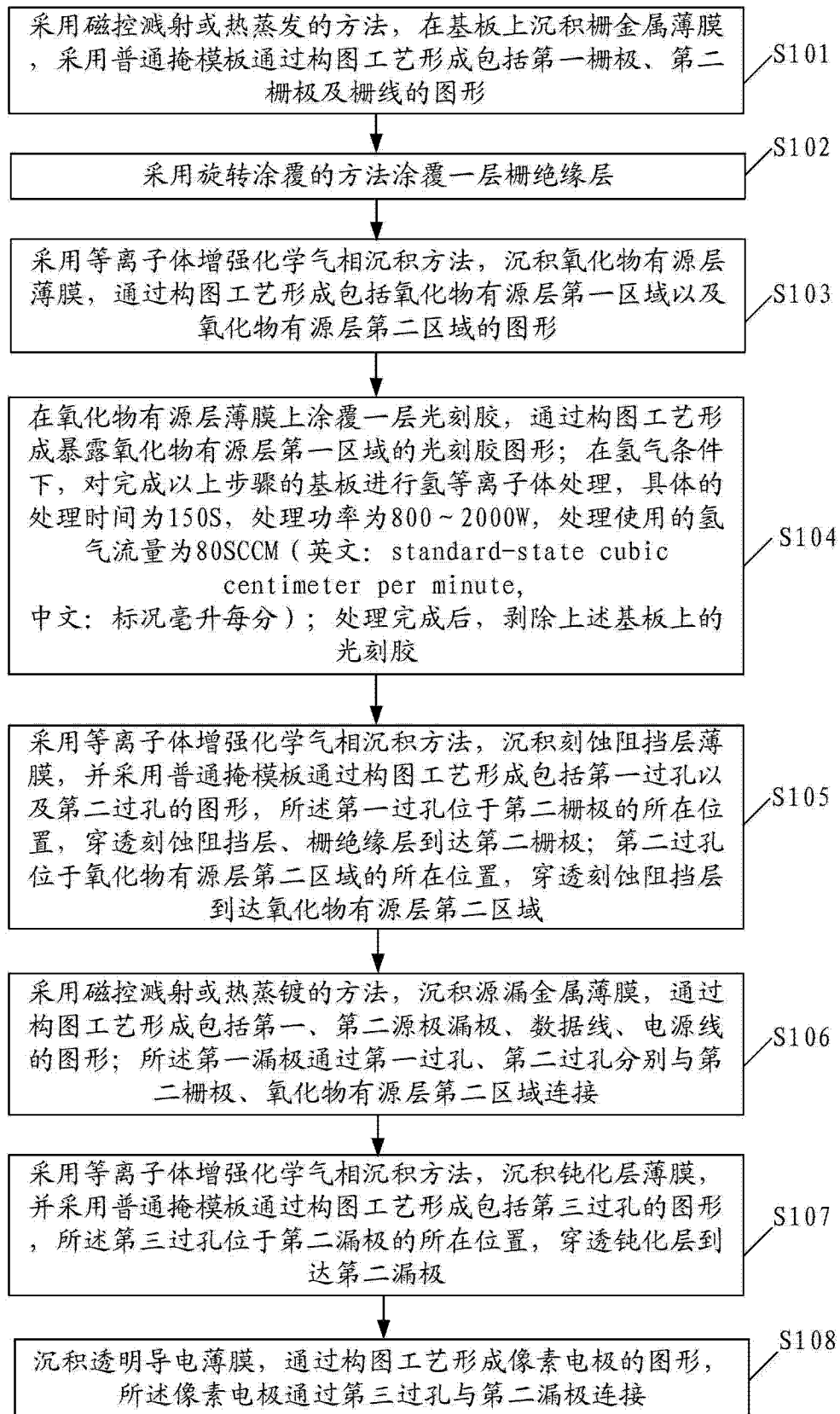


图6

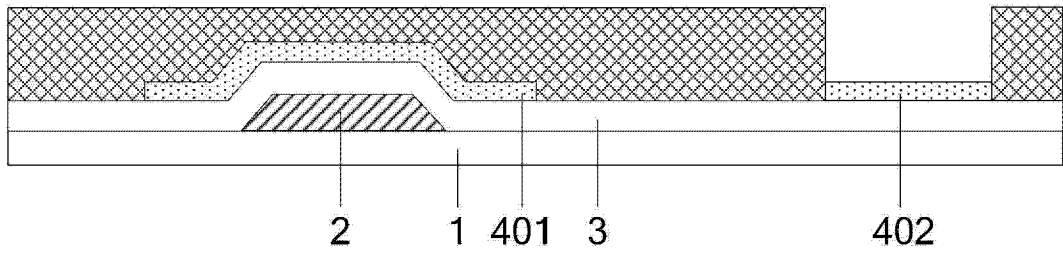


图 7