



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년03월03일  
(11) 등록번호 10-2369630  
(24) 등록일자 2022년02월25일

(51) 국제특허분류(Int. Cl.)  
H01L 27/108 (2006.01)  
(52) CPC특허분류  
H01L 27/10855 (2013.01)  
H01L 27/10811 (2013.01)  
(21) 출원번호 10-2018-0000893  
(22) 출원일자 2018년01월03일  
심사청구일자 2020년07월01일  
(65) 공개번호 10-2019-0083227  
(43) 공개일자 2019년07월11일  
(56) 선행기술조사문헌  
KR1020160084194 A  
KR1020140052729 A  
KR1020130110816 A  
KR1020160016171 A

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
김진아  
경기도 화성시 동탄순환대로22길 14, 1222동 130 4호  
김용관  
경기도 용인시 수지구 용구대로2771번길 29, 104 동 1002호  
(뒷면에 계속)  
(74) 대리인  
박영우

전체 청구항 수 : 총 10 항

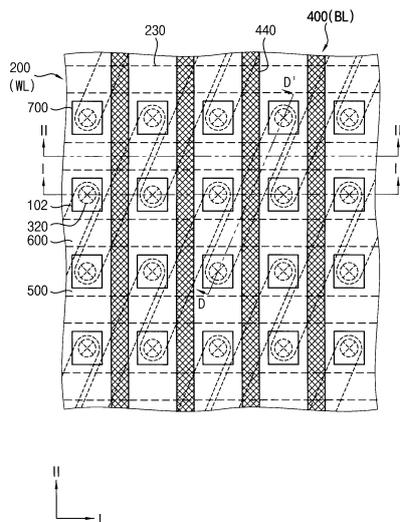
심사관 : 김려원

(54) 발명의 명칭 메모리 소자 및 이의 제조방법

(57) 요약

반도체 소자 및 이의 제조방법이 개시된다. 반도체 소자는 소자 분리막에 의해 한정되는 다수의 활성영역을 구비하는 기판, 상기 활성영역을 가로질러 제1 방향을 따라 연장하고 제2 방향을 따라 일정한 간격으로 정렬하는 다수의 워드라인들, 상기 활성영역에 배치되어 불순물을 포함하고, 상기 활성영역의 중앙부에 위치하는 제1 접합부 및 상기 활성영역의 양 단부에 위치하고 내부에 매립 반도체막을 구비하는 제2 접합부를 포함하는 접합영역, 상기 제1 방향을 따라 일정한 간격을 갖도록 상기 제2 방향을 따라 연장하고 상기 제1 접합부와 접속하는 다수의 비트라인들 및 상기 제2 접합부와 접속하도록 상기 비트라인 사이에 위치하여 상기 매립 반도체 막과 함께 데이터를 저장하는 전하 저장부와 연결되는 스토리지 콘택 구조물을 형성하는 매립 콘택을 포함한다. 스토리지 콘택 구조물의 접촉면적을 확장하여 접촉저항을 감소시킬 수 있다.

대표도 - 도1



(52) CPC특허분류

*H01L 27/10814* (2013.01)

*H01L 27/10885* (2013.01)

*H01L 27/10891* (2013.01)

(72) 발명자

**박세근**

경기도 수원시 영통구 센트럴타운로 76, 6107동  
2901호

**이주영**

경기도 화성시 효행로 1337-23, 109동 2302호

**고차원**

경기도 용인시 기흥구 동백죽전대로527번길 80,  
101동 702호

**이영철**

서울특별시 강동구 동남로 858, 5-301

## 명세서

### 청구범위

#### 청구항 1

소자 분리막에 의해 한정되는 다수의 활성영역을 구비하는 기관;

소자 분리막에 의해 한정되는 다수의 활성영역을 구비하는 기관;

상기 활성영역을 가로질러 제1 방향을 따라 연장하고 제2 방향을 따라 일정한 간격으로 정렬하는 다수의 워드라인들;

상기 활성영역에 배치되어 불순물을 포함하고, 상기 활성영역의 중앙부에 위치하는 제1 접합부 및 상기 활성영역의 양 단부에 위치하고 내부에 매립 반도체막을 구비하는 제2 접합부를 포함하는 접합영역;

상기 제1 방향을 따라 일정한 간격을 갖도록 상기 제2 방향을 따라 연장하고 상기 제1 접합부와 접촉하는 다수의 비트라인들; 및

상기 제2 접합부와 접촉하도록 상기 비트라인 사이에 위치하여 상기 매립 반도체 막과 함께 데이터를 저장하는 전하 저장부와 연결되는 스토리지 콘택 구조물을 형성하는 매립 콘택을 포함하는 반도체 소자.

#### 청구항 2

제1항에 있어서, 상기 제1 접합부는 상기 소자 분리막의 상면보다 낮은 상면을 갖고 상기 제2 접합부는 상기 소자 분리막과 동일한 상면을 가지며, 상기 매립 반도체 막은 상기 소자 분리막과 동일한 상면을 갖도록 상기 제2 접합부의 내부로 매립되는 반도체 소자.

#### 청구항 3

제2항에 있어서, 상기 매립 반도체 막은 상기 활성영역의 실리콘을 시드로 이용하여 선택적 에피택시얼 공정에 의해 성장한 에피택시얼 폴리실리콘 막을 포함하는 반도체 소자.

#### 청구항 4

제2항에 있어서, 상기 비트라인은 상기 제1 접합부로부터 상부로 연장하는 비트라인 콘택, 상기 비트라인 콘택과 연결되어 상기 제2 방향을 따라 연장하는 도전라인, 상기 기관과 상기 도전라인 사이에서 상기 제2 방향을 따라 연장하고 상기 비트라인 콘택과 동일한 상면을 갖는 버퍼라인 및 상기 비트라인 콘택, 상기 도전라인 및 상기 버퍼라인의 측부를 덮고 상기 제2 방향을 따라 연장하는 라인 형상을 갖는 비트라인 스페이서를 구비하는 반도체 소자.

#### 청구항 5

제4항에 있어서, 상기 비트라인 콘택은 상기 제1 접합부로부터 연장하여 상기 도전라인과 접촉하고 도전성 물질을 포함하는 다이렉트 콘택(direct contact, DC) 및 상기 다이렉트 콘택을 둘러싸는 콘택 스페이서를 포함하고,

상기 버퍼라인은 상기 기관 상에 배치되는 절연패턴 및 상기 절연패턴으로부터 상방으로 연장하여 상기 도전라인과 접촉하는 버퍼패턴을 포함하는 반도체 소자.

#### 청구항 6

제5항에 있어서, 상기 비트라인 스페이서는 상기 다이렉트 콘택, 상기 도전라인 및 상기 버퍼패턴의 측부를 덮고 상기 절연패턴의 상면을 덮는 라이너 스페이서, 상기 라이너 스페이서를 덮는 내측 스페이서 및 상기 내측 스페이서의 측부와 상기 절연패턴의 측부를 동시에 덮고 상기 기관의 상면과 접촉하는 외측 스페이서를 포함하는 반도체 소자.

#### 청구항 7

제6항에 있어서, 상기 콘택 스페이서의 상면은 상기 내측 스페이서의 하면과 동일한 레벨을 갖는 반도체 소자.

**청구항 8**

제7항에 있어서, 상기 콘택 스페이서는 상기 기판의 상면보다 높게 돌출하여 상기 기판으로부터 돌출한 상기 다이렉트 콘택의 상부를 둘러싸고 상기 내측 스페이서와 동일한 두께를 갖는 상부 스페이서 및 상기 상부 스페이서와 일체로 연결되며 상기 상부 스페이서보다 큰 두께를 갖고 상기 기판의 하면보다 낮게 위치하는 상기 다이렉트 콘택의 하부를 둘러싸는 하부 스페이서를 구비하며, 상기 외측 스페이서는 상기 내측 스페이서의 측부와 상기 상부 스페이서의 측부를 동시에 덮는 반도체 소자.

**청구항 9**

상면이 리세스된 제1 접합부 및 상기 제1 접합부와 이격되고 내부에 매립 반도체막을 구비하는 제2 접합부를 구비하고 소자 분리막에 의해 한정되는 활성영역을 다수 포함하는 기판:

상기 기판 상에서 일방향을 따라 연장하여 다수의 상기 제1 접합부들과 접촉하는 다수의 비트라인들; 및

한 쌍의 상기 비트라인 사이에 배치되어 상기 제2 접합부와 접촉하고 상기 매립 반도체 막과 함께 스토리지 콘택 구조물을 구성하는 매립 콘택을 포함하는 반도체 소자.

**청구항 10**

제9항에 있어서, 상기 매립 반도체 막은 상기 매립 콘택과 동일한 물질을 포함하는 반도체 소자.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 메모리 소자 및 이의 제조방법에 관한 것으로서, 보다 상세하게는, 매립 채널 어레이(buried channel array)를 구비하는 디램(DRAM) 소자 및 이의 제조방법에 관한 것이다.

**배경 기술**

[0002] 반도체 소자의 집적도가 증가함에 따라 반도체 소자의 구성 요소들에 대한 디자인 룰이 감소하고 있다. 고도로 스케일링(scaling)된 반도체 소자에서 복수의 배선 라인과 이들 사이에 개재되는 복수의 매립 콘택(Buried Contact: BC)을 형성하는 공정이 점점 복잡해지고 어려워지고 있다.

[0003] 특히, 6F2 구조를 갖는 매립채널 메모리 소자의 경우 다이렉트 콘택(direct contact, DC) 영역과 매립 콘택 영역 사이의 거리가 점점 작아지면서 정렬불량과 콘택 홀 개구 불량(not-open failure), 높은 종횡비로 인한 보이드 불량과 BC 콘택 영역과 BC 콘택 사이의 접촉면적 축소로 인한 접촉 저항 증가와 같은 다양한 문제가 발생하고 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명은 상술한 바와 같은 문제점을 개선하기 위해 제안된 것으로서, 본 발명의 목적은 활성영역의 상부에 매립 반도체 막을 구비하고 매립 콘택 홀의 폭을 확장하여 매립 콘택의 접촉저항을 줄일 수 있는 반도체 소자를 제공하는 것이다.

[0005] 본 발명의 또 다른 목적은 상술한 바와 같은 반도체 소자를 제조하는 방법을 제공하는 것이다.

**과제의 해결 수단**

[0006] 상기한 목적을 달성하기 위한 본 발명의 일실시예에 따른 반도체 소자는 소자 분리막에 의해 한정되는 다수의 활성영역을 구비하는 기판, 상기 활성영역을 가로질러 제1 방향을 따라 연장하고 제2 방향을 따라 일정한 간격

으로 정렬하는 다수의 워드라인들, 상기 활성영역에 배치되어 불순물을 포함하고, 상기 활성영역의 중앙부에 위치하는 제1 접합부 및 상기 활성영역의 양 단부에 위치하고 내부에 매립 반도체막을 구비하는 제2 접합부를 포함하는 접합영역, 상기 제1 방향을 따라 일정한 간격을 갖도록 상기 제2 방향을 따라 연장하고 상기 제1 접합부와 접속하는 다수의 비트라인들, 및 상기 제2 접합부와 접속하도록 상기 비트라인 사이에 위치하여 상기 매립 반도체 막과 함께 데이터를 저장하는 전하 저장부와 연결되는 스토리지 콘택 구조물을 구성하는 매립 콘택 (buried contact)을 포함한다.

[0007] 상기한 목적을 달성하기 위한 본 발명의 다른 실시예에 의한 반도체 소자는 상면이 리세스된 제1 접합부 및 상기 제1 접합부와 이격되고 내부에 매립 반도체막을 구비하는 제2 접합부를 구비하고 소자 분리막에 의해 한정되는 활성영역을 다수 포함하는 기판, 상기 기판 상에서 일방향을 따라 연장하여 다수의 상기 제1 접합부들과 접속하는 다수의 비트라인들 및 한 쌍의 상기 비트라인 사이에 배치되어 상기 제2 접합부와 접속하고 상기 매립 반도체 막과 함께 스토리지 콘택 구조물을 구성하는 매립 콘택을 포함한다.

[0008] 상기한 목적을 달성하기 위한 본 발명의 또 다른 실시예에 의한 반도체 소자의 제조방법을 개시한다. 상면이 리세스된 제1 접합부 및 상기 제1 접합부와 이격되는 제2 접합부를 구비하고 소자 분리막에 의해 한정되는 활성영역을 다수 포함하는 기판을 제공한다. 상기 기판 상에서 제1 방향을 따라 연장하며, 다이렉트 콘택 및 상기 다이렉트 콘택을 둘러싸는 콘택 스페이서를 구비하는 비트라인 콘택을 통하여 상기 제1 접합부와 접속하고 예비 절연패턴 및 버퍼패턴에 의해 상기 기판으로부터 이격되는 다수의 비트라인을 형성한다. 상기 비트라인의 측부와 상기 예비 절연패턴의 상부를 덮는 내측 스페이서 및 측면이 상기 내측 스페이서와 동일한 평면을 갖는 절연패턴을 형성하고, 상기 절연패턴 및 상기 내측 스페이서를 통하여 노출되는 상기 제2 접합부의 상부에 상기 소자분리막과 동일한 상면을 갖고 상기 제2 접합부의 내부로 매립되는 매립 반도체 막을 형성한다. 상기 내측 스페이서를 덮고 상기 매립 반도체 막을 노출하는 외측 스페이서를 형성하고, 상기 외측 스페이서에 의해 한정되는 콘택 홀의 내부를 매립하여 상기 매립 반도체 막과 접속하는 매립 콘택을 형성한다.

**발명의 효과**

[0009] 본 발명에 의한 메모리 소자 및 이의 제조방법에 의하면, 내측 스페이서와 절연패턴의 측벽이 동일한 평면을 이루도록 배치하고 내측 스페이서와 절연패턴의 측벽을 덮는 외측 스페이서에 의해 콘택 홀을 한정한다. 이에 따라, 절연패턴의 폭이 줄어들든 만큼 상기 콘택 홀의 폭을 확장함으로써 매립 콘택의 내부에 발생하는 보이드나 심 불량을 방지 할 수 있다.

[0010] 또한, 제2 접합부의 내부에 매립 반도체 막을 미리 형성한 후 상기 매립 반도체 막과 접속하는 매립 콘택을 형성함으로써 제2 접합부의 내부로 매립되는 스토리지 콘택 구조물(SC)을 형성할 수 있다. 이에 따라, 제2 접합부와 매립 반도체 막의 접촉면적 확장에 따라 비트라인의 이격거리가 축소된다 할지라도 스토리지 콘택 구조물의 접촉저항을 충분히 작게 유지할 수 있다.

[0011] 뿐만 아니라, 매립 반도체 막은 단결정 실리콘으로 형성되는 활성영역에 대한 선택적 식각에 의해 형성되므로 제2 접합부를 둘러싸는 소자분리막에 대한 손상없이 제2 접합부의 내부에 스토리지 콘택 구조물을 제공한다. 이에 따라, GIDL과 같은 누설전류를 최소화하면서 제2 접합부와 스토리지 콘택 구조물의 접촉저항을 최소화할 수 있으므로 반도체 소자의 전기적 특성을 개선할 수 있다.

[0012] 내측 스페이서를 형성한 후 비트라인 트렌치를 통하여 제2 접합부를 노출함으로써 종래의 콘택 홀을 통하여 제2 접합부를 노출할 때와 비교하여 정렬불량과 개구 불량(NOP)을 원천적으로 방지할 수 있다.

**도면의 간단한 설명**

[0013] 도 1은 본 발명의 일실시예에 의한 반도체 소자를 나타내는 평면도이다.  
 도 2a는 도 1에 도시된 반도체 소자를 I-I' 방향을 따라 절단한 단면도이다.  
 도 2b는 도 1에 도시된 반도체 소자를 II-II' 방향을 따라 절단한 단면도이다.  
 도 3a 내지 도 16b는 도 1 내지 도 2b에 도시된 반도체 소자의 제조방법을 나타내는 공정 단면도들이다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다.

- [0015] 도 1은 본 발명의 일실시예에 의한 반도체 소자를 나타내는 평면도이다. 도 2a는 도 1에 도시된 반도체 소자를 I-I' 방향을 따라 절단한 단면도이며, 도 2b는 도 1에 도시된 반도체 소자를 II-II' 방향을 따라 절단한 단면도이다.
- [0016] 도 1, 도 2a 및 도 2b를 참조하면, 본 발명의 일실시예에 의한 반도체 소자(1000)는 소자 분리막에 의해 한정되는 다수의 활성영역을 구비하는 기판(100), 상기 활성영역을 가로질러 제1 방향을 따라 연장하고 제2 방향을 따라 일정한 간격으로 정렬하는 다수의 워드라인들(200), 상기 활성영역에 배치되어 불순물을 포함하고, 상기 활성영역의 중앙부에 위치하는 제1 접합부 및 상기 활성영역의 양 단부에 위치하고 상부에 매립 반도체 막을 구비하는 제2 접합부를 포함하는 접합영역(300), 상기 제1 방향을 따라 일정한 간격을 갖도록 상기 제2 방향을 따라 연장하고 상기 제1 접합부와 접속하는 다수의 비트라인들(400) 및 상기 제2 접합부와 접속하도록 상기 비트라인 사이에 위치하여 상기 기판 상에서 상기 제1 및 제2 방향을 따라 매트릭스 형상으로 정렬하는 다수의 매립 콘택(storage contact, 500)들을 포함한다.
- [0017] 예를 들면, 상기 기판(100)은 데이터를 저장하는 메모리 소자가 배치되는 셀(cell) 영역 및 상기 메모리 소자를 제어하고 구동하는 주변회로 소자가 배치되는 주변 회로(peripheral) 영역을 갖는 반도체 기판을 포함한다. 상기 셀 영역에는 상기 기판(100)의 내부에 셀 트랜지스터의 게이트 구조물이 매립되는 매립 트랜지스터가 제공되고 상기 주변회로 영역에는 기판의 상면에 주변회로 소자의 게이트 구조물이 제공되는 플래너 타입 트랜지스터가 제공될 수 있다.
- [0018] 상기 기판(100)은 게이트 전극과 같은 도전성 구조물이 배치되는 활성 영역(102)과 상기 활성영역(102)을 한정하는 필드 영역(104)으로 구분되고 상기 필드영역에는 인접한 활성영역(102)들을 고립시켜 전기적으로 분리하는 소자 분리막(110)이 위치한다.
- [0019] 예를 들면, 상기 기판(100)은 실리콘, 게르마늄, 실리콘-게르마늄, 또는 GaP, GaAs, GaSb 등과 같은 III-V족 화합물을 포함할 수 있다. 예를 들면, 상기 기판(100)은 실리콘기판, 게르마늄 기판, 실리콘 절연(silicon on insulator, SOI)기판 및 게르마늄 절연 기판(germanium on insulator, GOI) 기판을 포함한다. 상기 소자 분리막(110) 실리콘 산화물(silicon oxide), 실리콘 질화물(silicon nitride) 또는 실리콘 산화 질화물(silicon oxy-nitride) 중의 어느 하나로 구성될 수 있다.
- [0020] 상기 활성영역(102)은 상기 제1 방향(I) 또는 제2 방향(II)에 대하여 일정한 각도로 경사지게 배치되고 동일한 간격으로 반복적으로 다수 배열된다. 상기 활성영역(102)의 경사진 배열에 의해 이웃하는 활성영역(102) 사이의 이격거리를 확보하면서 상기 기판(100)의 단위면적당 셀 밀도를 높일 수 있다.
- [0021] 본 실시예의 경우, 한 쌍의 게이트 라인(210)이 단일한 활성영역(102)과 교차하도록 제1 방향(I)을 따라 연장하여 워드라인(200)을 구성하고 단일한 비트라인(400)이 상기 활성영역(102)의 중앙부와 교차하도록 제2 방향(II)을 따라 연장하여 비트라인(BL)을 구성한다. 따라서, 상기 기판(100)의 셀 영역(C)에서는 한 쌍의 워드라인(WL)과 한 개의 비트라인(BL)이 단일한 활성영역(102)에서 서로 교차하도록 구성된다.
- [0022] 이에 따라, 상기 활성 영역(102)에는 한 쌍의 단위 셀이 배치된다. 상기 단위 셀은 최소 선폴(F)을 기준으로 제2 방향(II)을 따라 4F 및 제1 방향(I)을 따라 2F의 길이를 갖지만, 활성영역(102) 중앙부의 양 측부를 인접 셀 영역으로 활용함으로써 단위 셀의 면적을  $6F^2$ 로 줄일 수 있다. 이에 따라, 기판(100)의 단위면적당 셀 밀도를 현저하게 높일 수 있다.
- [0023] 상기 셀 영역(C)에는 기판(100)의 상면보다 낮은 레벨로 위치하는 매립 게이트와 상기 매립 게이트의 상면보다 높은 레벨로 위치하는 접합영역(300)을 구비하는 매립 채널 어레이 트랜지스터(buried channel array transistor(BCAT))들이 배치된다.
- [0024] 상기 셀 영역(C)에는 제1 방향(I)을 따라 연장하여 활성영역(102)과 소자 분리막(110)을 교대로 가로지르는 트렌치(미도시)가 구비되고, 상기 트렌치의 내부에 매립 게이트(BG)가 배치되어 제1 방향(I)을 따라 연장하는 게이트 라인(220)을 형성한다. 상기 트렌치에 구비되어 기판(100)의 상면보다 낮은 활성영역(102) 상에 배치된 상기 매립 게이트(BG)는 상기 메모리 소자(1000)의 게이트 전극으로 기능한다. 이에 따라, 제1 방향(I)을 따라 연장하는 게이트 라인(220)은 상기 메모리 소자(1000)의 워드라인(WL)으로 제공된다.
- [0025] 예를 들면, 상기 매립 게이트(BG)는 상기 트렌치를 구성하는 활성영역(102)의 바닥면과 측면을 덮는 게이트 절연막, 상기 게이트 절연막을 덮고 상기 트렌치의 하부를 매립하는 게이트 도전막 및 상기 게이트 도전막을 덮는 게이트 캡핑패턴을 포함한다.

- [0026] 게이트 절연막은 상기 트렌치 하면이 형상 프로파일을 따라 제1 방향을 따라 연장하며 트렌치의 측벽을 덮는 게이트 절연라인(210)으로 제공되고, 상기 게이트 절연막의 상부에서 트렌치의 하부를 매립하며 제1 방향을 따라 연장하여 게이트 라인(220)을 형성한다. 상기 게이트 캡핑 패턴은 상기 게이트 라인(200)을 덮도록 트렌치의 상부를 매립하여 게이트 캡핑 라인(230)을 형성한다.
- [0027] 상기 게이트 도전막은 도핑된 반도체(doped semiconductor), 도전성 금속 질화물 및 도전성 금속 중의 어느 하나를 포함할 수 있다. 게이트 절연막은 산화물(oxide), 질화물(nitride), 산화 질화물(oxinitride) 또는 고유전(high-k) 물질 중에서 선택된 적어도 하나를 포함할 수 있다. 고유전 물질은 질화물의 유전 상수에 비하여 높은 유전 상수를 갖는 절연 물질로 구성된다. 상기 게이트 절연막은 트렌치의 바닥면 전체와 하부 측면 일부를 덮는 U-자 형상으로 제공된다.
- [0028] 상기 게이트 캡핑 패턴은 상기 소자 분리막(110)의 상면과 동일한 상면을 구비하여 상기 트렌치는 게이트 절연라인(210), 게이트 라인(220) 및 게이트 캡핑 라인(230)에 의해 매립된다. 이에 따라, 트렌치를 매립하는 매립 게이트는 제1 방향을 따라 연장하는 라인형상으로 제공되어 워드라인(WL)을 구성하게 된다.
- [0029] 상기 매립 게이트(BG)에 의해 분리되는 활성영역(102)에 불순물이 주입되는 접합영역(300)이 배치된다. 일정한 거리만큼 이격된 한 쌍의 워드라인(200)이 단일한 활성영역(102)과 교차하므로, 상기 접합영역(300)은 상기 활성영역(102)의 중앙부에 위치하고 하방으로 리세스되는 제1 접합부(310) 및 상기 활성영역(102)의 양 단부에 위치하는 한 쌍의 제2 접합부(310)를 구비한다.
- [0030] 상기 접합영역(300)은 매립 게이트와 인접한 활성영역(102)으로 불순물을 주입하여 상기 BCAT의 소스전극 및 드레인 전극으로 기능한다. 예를 들면, 상기 불순물은 인(P) 또는 붕소(B)를 포함할 수 있다. 본 발명의 일 실시예에 따르면, 상기 접합영역(300)의 하면은 상기 게이트 절연막의 상면보다 낮게 위치할 수 있다.
- [0031] 상기 제1 접합부(310)는 기판(100)의 상면으로부터 리세스 되어 상기 소자분리막(110)보다 낮은 상면을 갖는다. 이에 따라, 상기 제1 접합부(310)의 상부에는 상기 제1 접합부(310), 상기 소자 분리막(110) 및 상기 게이트 캡핑 라인(230)으로 한정되는 제1 리세스(R1)가 배치된다. 후술하는 바와 같이 상기 제1 리세스(R1)의 내부에는 비트라인과 제1 접합부(310)를 연결하는 비트라인 콘택(410)이 배치된다.
- [0032] 상기 제2 접합부(320)는 상기 소자 분리막(110)과 동일한 상면을 갖도록 제공되어 상기 제1 접합부(310)보다 높게 위치한다. 특히, 상기 제2 접합부(320)의 일부에는 상기 비트라인(400)을 따라 연장하는 매립 반도체 막(322)이 구비된다.
- [0033] 후술하는 바와 같이, 상기 제2 접합부(320)의 상부는 상기 비트라인(400)을 구성하는 내측 스페이서(454)를 마스크 막으로 이용하는 식각공정에 의해 제2 방향(II)을 따라 부분적으로 제거되어 하방으로 리세스되는 개구가 형성되고, 상기 개구는 상기 매립 반도체 막(322)으로 매립된다. 따라서, 상기 매립 반도체 막(322)은 상기 제2 접합부(320)를 구성하는 활성영역 내에서 제2 방향(II)을 따라 배치된다. 본 실시예의 경우, 상기 매립 반도체 막(322)은 상기 소자 분리막(110)과 동일한 상면(322a)을 갖도록 제2 접합부(320)의 내부로 매립되고, 상기 제1 접합부(310)의 상면보다 같거나 높은 하면(322b)을 갖도록 제공된다.
- [0034] 상기 제2 접합부(320)는 후술하는 전하 저장부(700)와 전기적으로 연결되어 상기 반도체 소자를 데이터를 저장하는 메모리 소자로 기능하게 한다. 이때, 상기 제2 접합부(320)는 상기 매립 반도체 막(322) 및 후술하는 매립 콘택(500)을 통하여 상부의 전하 저장부(700)와 전기적으로 연결된다. 따라서, 상기 매립 반도체 막(320)과 상기 매립 콘택(500)은 디램(DRAM) 소자의 스토리지 콘택 구조물(SC)로 기능하게 된다.
- [0035] 또한, 비트라인에 대한 외측 스페이서를 형성하기 전에 인접한 비트라인 사이의 이격공간을 통하여 상기 제2 접합부(320)를 노출하므로 콘택 홀과 비교하여 상대적으로 넓은 공간에서 제2 접합부(320) 노출공정이 수행된다. 이에 따라, 제2 접합부(320)의 미개방 불량(not open (NOP) defect)을 원천적으로 차단할 수 있다.
- [0036] 상기 제2 접합부(320)를 노출하는 공정에서 활성영역의 실리컨만 선택적으로 제거하는 식각공정을 수행하여 제2 접합부(320)에 제2 리세스(R2)를 형성하고 상기 제2 리세스(R2)를 매립 반도체 막(322)으로 매립함으로써 제2 접합부(320)와 매립 반도체 막(322)의 접촉면적을 대폭 확장할 수 있다.
- [0037] 상술한 바와 같이 상기 매립 반도체 막(322)은 매립 콘택(500)과 함께 스토리지 콘택 구조물(SC)로 기능하므로, 매립 반도체 막(322)과 제2 접합부(320)의 접촉면적 확장은 상기 제2 접합부(320)와 스토리지 콘택 구조물(SC) 사이의 접촉저항을 저하시킨다.
- [0038] 본 실시예의 경우, 상기 제1 접합부(310)는 공통 드레인 영역(D)으로 제공되고 상기 제2 접합부(320)는 소스 영

역으로 제공된다. 그러나, 제1 접합부(310)를 공통 소스영역으로 제공하고 제2 접합부(320)를 드레인 영역으로 제공할 수도 있음은 자명하다.

- [0039] 이에 따라, 상기 기관(100)의 상면보다 낮게 배치되는 매립 게이트(BG)와 상기 매립 게이트(BG)보다 높게 배치되는 접합영역(300)을 구비하는 매립 트랜지스터가 배치된다.
- [0040] 상기 비트라인(400)은 상기 기관(100) 상에서 제2 방향(II)을 따라 연장하고 상기 제2 방향을 따라 일렬로 정렬되는 다수의 제1 접합부(310)와 동시에 접속한다. 또한, 상기 제1 방향(I)을 따라 일정한 간격으로 이격되도록 다수 배치된다. 이때, 상기 제2 접합부(320)는 제1 방향을 따라 서로 인접한 한 쌍의 비트라인(400) 사이에 배치된다.
- [0041] 예를 들면, 상기 비트라인(400)은 상기 제1 접속부(310)로부터 상부로 연장하는 비트라인 콘택(410), 상기 비트라인 콘택(410)과 연결되어 상기 제2 방향(II)을 따라 연장하는 도전라인(420), 상기 기관(100)과 상기 도전라인(420) 사이에서 상기 제2 방향(II)을 따라 연장하고 상기 비트라인 콘택(410)과 동일한 상면을 갖는 버퍼라인(430), 상기 도전라인(420)의 상부를 덮도록 제2 방향을 따라 연장하는 비트라인 캡핑라인(440) 및 상기 비트라인 콘택(410), 상기 도전라인(420), 상기 버퍼라인(430) 및 상기 비트라인 캡핑라인(440)의 측부를 덮고 상기 제2 방향(II)을 따라 연장하는 라인 형상을 갖는 비트라인 스페이서(450)를 구비한다.
- [0042] 상기 비트라인 콘택(410)은 상기 제1 접속부(310)로부터 연장하여 상기 도전라인(430)과 접속하고 도전성 물질을 포함하는 다이렉트 콘택(direct contact(DC), 412) 및 상기 다이렉트 콘택(412)을 둘러싸는 콘택 스페이서(414)를 포함한다.
- [0043] 예를 들면, 상기 다이렉트 콘택(412)은 폴리실리콘과 같은 도전성 물질로 구성되고 상기 콘택 스페이서(414)는 실리콘 질화물과 같은 절연물질로 구성된다.
- [0044] 특히, 상기 콘택 스페이서(414)는 제1 리세스(R1)를 매립하도록 배치되어 상기 다이렉트 콘택(412)의 하부를 둘러싸도록 배치된다.
- [0045] 예를 들면, 상기 콘택 스페이서(414)는 상기 기관(100)의 상면보다 높게 돌출하여 상기 기관(100)으로부터 돌출한 상기 다이렉트 콘택(412)의 상부를 둘러싸는 상부 스페이서(414a) 및 상기 상부 스페이서(414a)와 일체로 연결되며 상기 상부 스페이서(414a)보다 큰 두께를 갖고 상기 기관(100)보다 낮게 위치하는 상기 다이렉트 콘택(412)의 하부를 둘러싸는 하부 스페이서(414b)로 구성된다.
- [0046] 상기 버퍼라인(420)은 상기 기관(100) 상에 배치되는 절연패턴(422) 및 상기 절연패턴(422)으로부터 상방으로 연장하여 상기 도전라인(430)과 접속하는 버퍼패턴(424)을 포함한다.
- [0047] 상기 절연패턴(422)은 단일막(single layer) 또는 다층막(multi layer)으로 제공될 수 있다. 본 실시예의 경우, 상기 절연패턴(422)은 상기 기관의 상면을 덮는 기저 산화막 패턴(422a) 및 상기 기저 산화막 패턴(422a)에 적층되는 식각 저지막 패턴(422b)을 포함하는 이중막 구조로 제공된다. 본 실시예의 경우, 상기 기저 산화막 패턴(422a)은 증착공정에 의해 형성된 실리콘 산화물로 구성되며 상기 식각 저지막 패턴(422b)은 실리콘 질화물로 구성된다.
- [0048] 상기 절연패턴(422)은 라인형상을 갖는 상기 비트라인 캡핑라인(440), 도전라인(430), 다이렉트 콘택(412) 및 버퍼패턴(424)을 형성하기 위한 식각 공정으로부터 상기 기관(100)을 보호한다. 특히, 상기 버퍼패턴(424)이 상기 도전라인(430)을 형성하는 식각공정으로부터 기관(100)을 보호하기 어려운 경우 상기 절연패턴(422)은 보충적으로 버퍼막으로 기능하여 하부의 기관을 보호할 수 있다.
- [0049] 상기 버퍼패턴(424)은 상기 도전라인(430)과 상기 다이렉트 콘택(412)을 형성하기 위한 식각공정이 진행되는 동안 상기 절연패턴(422)에 대한 과식각을 방지함으로써 하부의 기관(100)나 매립 트랜지스터(BCAT)가 손상되는 것을 방지한다. 이에 따라, 상기 버퍼패턴(424)은 상기 도전라인(430)에 대해 적절한 식각비와 두께를 갖도록 제공된다.
- [0050] 상기 다이렉트 콘택(412)은 폴리실리콘으로 구성되고 상기 도전라인(430)은 도전성 금속물질로 구성되어 상기 버퍼패턴(412)은 도전성 금속 및 폴리실리콘을 제거하는 식각공정에서 상대적으로 작은 식각속도를 갖는 단일막 패턴 또는 다층막 패턴으로 구성된다. 본 실시예의 경우, 상기 버퍼 패턴(424)은 폴리실리콘으로 구성된 단일막이나 산화막과 질화막 패턴 및 폴리실리콘 패턴이 적층된 다층막 패턴으로 제공될 수 있다.
- [0051] 상기 도전라인(430)은 상기 버퍼패턴(424) 및 다이렉트 콘택(412)과 접하며 상기 버퍼패턴(424) 및 다이렉트 콘

택(412)과 동일한 폭을 갖고 연장하는 라인 형상으로 제공된다.

- [0052] 예를 들면, 상기 도전라인(430)은 버퍼패턴(424) 및 다이렉트 콘택(412)과 접촉하는 장벽 패턴(barrier pattern, 432) 및 상기 장벽 패턴(432)을 덮는 라인 형상의 금속 패턴(434)을 포함한다. 상기 장벽 패턴(432)은 티타늄 질화막(TiN), 탄탈륨 질화막(TaN) 및 텅스텐 질화막(WN) 중의 하나로 구성되고, 상기 금속 패턴(434)은 티타늄, 탄탈륨 및 텅스텐 중의 어느 하나로 구성될 수 있다.
- [0053] 상기 비트라인 캡핑라인(440)은 상기 금속패턴(434)을 외부로부터 보호하고 상기 도전라인(430), 상기 버퍼패턴(424) 및 상기 다이렉트 콘택(412)을 라인 형상으로 식각하기 위한 마스크 패턴으로 기능한다. 예를 들면, 상기 비트라인 캡핑라인(440)은 실리콘 질화물로 구성될 수 있다.
- [0054] 상기 버퍼라인(420) 및 도전라인(430)과 비트라인 캡핑라인(440)은 상기 기판(100) 상에서 제2 방향(II)을 따라 연장하는 라인형상으로 적층되어 적층 라인 구조물(LS)을 구성한다. 이때, 상기 적층 라인 구조물(LS)을 따라 배치된 제1 접속부(310)는 상기 비트라인 콘택(410)에 의해 도전라인(430)과 연결된다.
- [0055] 본 실시예의 경우, 상기 비트라인 스페이서(450)는 라이너 스페이서(452), 내측 스페이서(4254) 및 외측 스페이서(456)를 포함한다.
- [0056] 상기 라이너 스페이서(452)는 다이렉트 콘택(412), 도전라인(430) 및 상기 버퍼패턴(424)의 측부를 덮고 상기 절연패턴(422)의 상면을 덮도록 위치한다.
- [0057] 상기 라이너 스페이서(452)는 상기 제1 리세스(R1)의 내부에 콘택 스페이서(414)를 형성하기 위해 제공되는 식각 저지막(미도시)을 상기 제2 방향(II)을 따라 라인형상으로 패터닝 함으로써 형성된다.
- [0058] 따라서, 상기 라이너 스페이서(452)는 콘택 스페이서(412)의 공정조건과 구성에 따라 선택적으로 제공된다. 즉, 상기 콘택 스페이서(412) 형성공정에서 식각 저지막이 요구되지 않는 경우에는 상기 라이너 스페이서(452)는 제공되지 않을 수 있다.
- [0059] 특히, 상기 절연패턴(422) 비트라인 식각공정으로부터 하부의 기판(100)과 매립 트랜지스터를 보호하기 위한 보호막 패턴으로 제공되므로, 상부에 배치되는 상기 버퍼패턴(424), 도전라인(430) 및 캡핑라인(440)보다 큰 폭을 갖게 된다. 이에 따라, 상기 라이너 스페이서(452)는 상기 절연패턴(422)의 상면과 버퍼패턴(424), 도전라인(430) 및 비트라인 캡핑라인(440)의 측부를 덮도록 배치된다.
- [0060] 본 실시예의 경우, 상기 콘택 스페이서(412)는 질화물로 구성되고 상기 라이너 스페이서(452)는 산화물로 구성될 수 있다.
- [0061] 상기 내측 스페이서(454)는 상기 라이너 스페이서(452)의 측부를 덮도록 배치되며 상기 절연패턴(422)과 동일한 측면을 갖는다. 즉, 상기 내측 스페이서(454)는 절연패턴(422)의 상면에 배치되는 라이너 스페이서(452)의 측면만 커버하도록 배치되어 절연패턴(422)의 측부는 노출된다.
- [0062] 이에 따라, 상기 절연패턴(422)의 폭(w1)은 아래의 식(1)과 같이 버퍼패턴(424)(혹은, 도전라인(430)이나 캡핑라인(440))의 폭(w0)과 한 쌍의 라이너 스페이서(452) 및 한 쌍의 내측 스페이서(454)의 폭의 합과 동일하게 된다.
- [0063]  $w1 = w0 + 2(w2+w3) \text{ ---- (1)}$
- [0064] 특히, 상기 제1 접속부(310)를 가로지르는 도전라인(430)은 버퍼라인(420)이 아니라 비트라인 콘택(420)에 의해 지지되므로, 상기 내측 스페이서(454)는 상부 스페이서(414a)와 동일한 폭을 갖게 된다. 이에 따라, 상기 내측 스페이서(454)의 측면은 상기 상부 스페이서(414a)의 측면과 동일한 평면을 이루게 된다.
- [0065] 따라서, 상기 기판(100)으로부터 돌출한 상기 다이렉트 콘택(412)의 상부는 라이너 스페이서(452), 내측 스페이서(454) 및 상부 스페이서(414a)에 의해 둘러싸이는 구조를 갖는다.
- [0066] 한편, 상기 제1 리세스(R1)에 배치된 다이렉트 콘택(412)의 하부는 하부 스페이서(414b) 및 상기 라이너 스페이서(452)에 의해 둘러싸이는 구조를 갖는다.
- [0067] 이때, 상기 하부 스페이서(414b)의 형상은 상기 제1 리세스(R1)의 형상에 따라 다양하게 구비될 수 있다. 본 실시예의 경우, 상기 제1 리세스(R1)는 기판의 하부로 갈수록 폭이 좁아지는 역사다리꼴 형상을 가지므로 상기 하부 스페이서(414b)도 하부로 갈수록 폭이 좁아지는 역삼각형 형상으로 제공된다.
- [0068] 따라서, 상기 내측 스페이서(454)는 다이렉트 콘택(412)을 둘러싸는 상부 스페이서(414a) 및 상기 버퍼패턴

(424)의 하부에 위치하는 절연패턴(422)과 동일한 측면을 갖도록 배치된다. 이에 따라, 상기 제2 접합부(320)는 상기 내측 스페이스(454) 및 절연패턴(422)으로 한정되는 트렌치(T)를 통하여 노출된다.

- [0069] 상기 외측 스페이스(456)는 상기 내측 스페이스(454)와 절연패턴(422) 및 상부 패턴(414a)의 측부를 덮도록 배치되고 상기 기판(100)까지 연장된다.
- [0070] 이에 따라, 상기 도전라인(430), 상기 다이렉트 콘택(412) 및 버퍼패턴(424)의 측부는 상기 비트라인 스페이스(450)에 의해 외부와 절연되고 상기 도전라인(430)의 상부는 상기 비트라인 캡핑라인(440)에 의해 외부와 절연되는 비트라인(400)을 구성하게 된다.
- [0071] 특히, 상기 하부 스페이스(414b)는 상부 스페이스(414a)보다 큰 두께를 가지므로, 하부 스페이스(414b)의 상면은 소자분리막(110)의 상면과 동일한 레벨에 위치한다. 따라서, 상기 하부 스페이스(414b)의 상면은 상기 외측 스페이스(456)의 두께에 따라 선택적으로 덮일 수 있다.
- [0072] 또한, 상기 라이너 스페이스(452)는 상기 제1 리세스(R1)의 내부에서 소자 분리막(110)과 하부 스페이스(414b) 사이에 배치되는 브랜치 스페이스(459)를 더 포함할 수 있다.
- [0073] 본 실시예의 경우, 상기 브랜치 스페이스(459)는 하부 스페이스(414b)의 주변부를 둘러싸고 상면이 하부 스페이스(414b)의 상면과 동일한 레벨에 위치한다. 따라서, 상기 하부 스페이스(414b)와 마찬가지로 상기 브랜치 스페이스(459)의 상면도 상기 외측 스페이스(456)의 두께에 따라 선택적으로 덮일 수 있다.
- [0074] 따라서, 상기 외측 스페이스(456)는 제1 접합부(310)와 인접한 영역에서 상기 내측 스페이스(454)와 상부 스페이스(414a)의 측부 및 상기 하부 스페이스(414b)와 브랜치 스페이스(459)의 상면을 덮고, 상기 제2 접합부(320)와 인접한 영역에서 상기 활성영역(102) 및/또는 상기 매립 반도체 막(322)의 상부를 부분적으로 덮도록 배치된다.
- [0075] 이에 따라, 상기 외측 스페이스(456)에 의해 한정되는 콘택 홀(CH)을 통하여 상기 매립 반도체 막(322) 및 소자 분리막(110)이 노출된다.
- [0076] 상기 도전라인(430)과 비트라인 콘택(410) 및 버퍼라인(420)과 상기 비트라인 캡핑라인(440) 및 비트라인 스페이스(450)는 상기 반도체 소자(1000)의 비트라인(400)으로 제공된다.
- [0077] 본 실시예의 경우, 상기 비트라인(400)은 주변회로 게이트 구조물과 동일한 레벨에 형성되는 게이트 비트라인(gate bit line, GBL)으로 제공되며, 상기 기판(100)의 하부에 위치하는 매립채널 트랜지스터의 드레인 전극으로 비트라인 신호를 전송한다.
- [0078] 상기 매립 콘택(500)은 상기 콘택 홀(CH)을 매립하고 상부의 전하 저장부(700)와 하부의 제2 접속부(320)를 서로 연결한다.
- [0079] 상기 매립 콘택(500)은 다수의 제2 접합부(320)와 접촉하도록 상기 비트라인(400) 사이에 다수 위치하여 상기 기판(100) 상에서 상기 제1 및 제2 방향(I, II)을 따라 매트릭스 형상으로 정렬한다.
- [0080] 상기 매립 콘택(500)은 콘택 홀(CH)의 바닥에서 제2 접합부(320)의 내부로 매립되어 위치하는 매립 반도체 막(322)과 접촉하여 상기 매립 반도체 막(322)과 함께 스토리지 콘택 구조물(SC)을 제공한다. 따라서, 스토리지 콘택 구조물(SC)과 제2 접합부(320) 사이의 접촉면적은 상기 제2 리세스(R2)의 내측 표면만큼 확장되어 스토리지 콘택 구조물(SC)의 접촉저항을 현저히 저하시킨다. 이에 따라, 상기 반도체 소자(1000)의 전기적 특성을 현저히 개선하게 된다.
- [0081] 종래에는 콘택 홀을 통하여 부분적으로 노출되는 제2 접합부의 노출상면만 매립 콘택과 접촉되어 접촉면적이 충분하지 않아 스토리지 콘택 구조물의 접촉저항이 증가하고 콘택 홀의 형성하기 위한 공정마진이 축소되는 문제점이 있었지만, 제2 접합부(320)의 내부에 매립되는 매립 반도체 막(322)을 미리 형성한 후 상기 매립 반도체 막(322)과 접촉하는 매립 콘택(500)을 형성함으로써 스토리지 콘택 구조물(SC)의 접촉저항을 효과적으로 저하시킬 수 있다.
- [0082] 펜스막 패턴(600)이 상기 워드라인(200)의 상부에서 서로 인접한 비트라인(400) 사이의 이격공간을 매립하도록 배치되고, 상기 콘택 홀(CH)은 상기 외측 스페이스(456)와 상기 펜스막 패턴(600)을 마스크 패턴으로 이용하는 자기정렬 식각공정에 의해 형성된다.
- [0083] 상기 펜스막 패턴(600)은 산화물, 질화물 또는 산질화물 중의 어느 하나로 구성될 수 있으며, 상기 콘택 홀(C

H)은 도전물질로 매립하여 상기 매립 콘택(500)을 형성한다. 상기 매립 콘택(500)을 형성하기 위한 도전성 물질은 다결정 실리콘과 같은 반도체 물질, 금속-반도체 화합물(텅스텐 실리사이드), 도전성 금속 질화물(예를 들어, 티타늄 질화물, 탄탈륨 질화물 또는 텅스텐 질화물 등) 또는 금속(예를 들어, 티타늄, 텅스텐 또는 탄탈륨 등) 중에서 선택된 적어도 하나를 포함할 수 있다.

- [0084] 본 실시예의 경우, 상기 매립 콘택(500)은 공통 드레인 전극과 인접하게 배치되는 소스 전극과 연결되는 스토리지 콘택으로 제공되어 상기 매립 트랜지스터의 소스전극과 층간절연막 패턴(미도시)의 상부에 배치되는 전하 저장부(700)를 전기적으로 연결한다.
- [0085] 본 실시예에서는 콘택 홀(CH)을 외측 스페이서(456)를 이용하는 자기정렬 식각 공정에 의해 형성하므로, 상기 매립 콘택(500)은 외측 스페이서(456)와 접촉하도록 배치된다.
- [0086] 특히, 상기 콘택 홀(CH)을 형성한 후 콘택 홀(CH)의 하부를 덮는 외측 스페이서막(미도시)의 바닥부만 제거함으로써 상기 제2 접합부(320)를 노출할 수 있으므로 매립 콘택(500)을 형성하기 위한 식각공정의 공정마진을 높일 수 있다.
- [0087] 또한, 내측 스페이서(454)와 절연패턴(422)의 측벽이 동일한 평면을 이루도록 배치하고 상기 내측 스페이서(454)와 절연패턴(422)의 측벽을 덮는 외측 스페이서(456)에 의해 콘택 홀(CH)을 한정함으로써, 상기 절연패턴(422)의 폭이 줄어들든 만큼 콘택 홀(CH)의 폭을 확장할 수 있다. 이에 따라, 확장된 폭을 갖는 콘택 홀(CH)의 내부에 매립 콘택(500)이 형성되므로 매립 콘택(500)의 하부에서 보이드 발생을 줄일 수 있다.
- [0088] 비트라인(400)과 매립 콘택(500) 및 펜스막 패턴(600)을 덮는 층간 절연막 패턴(미도시)을 배치하고 상기 층간 절연막 패턴의 상면에 매립 콘택(500)과 전기적으로 연결되는 전하 저장부(700)가 배치된다.
- [0089] 상기 전하 저장부(700)는 상기 반도체 소자(1000)의 구조에 따라 다양하게 제공될 수 있다.
- [0090] 예를 들면, 상기 전하 저장부(700)는 상기 매립 콘택(500)과 접속하는 실린더형 하부 전극(), 상기 하부전극의 형상 프로파일을 따라 표면을 덮는 유전막(미도시) 및 상기 유전막을 덮는 상부전극(미도시)으로 구성되는 커패시터(capacitor)를 포함할 수 있다. 이와 달리, 상기 전하 저장부(700)는 하부전극(미도시), 가변 저항체(미도시) 및 상부전극(미도시)이 순차적으로 적층된 가변 저항구조물을 포함할 수도 있다.
- [0091] 상술한 바와 같은 반도체 소자에 의하면, 내측 스페이서(454)와 절연패턴(422)의 측벽이 동일한 평면을 이루도록 배치하고 상기 내측 스페이서(454)와 절연패턴(422)의 측벽을 덮는 외측 스페이서(456)에 의해 콘택 홀(CH)을 한정한다. 이에 따라, 절연패턴(422)의 폭이 줄어들든 만큼 상기 콘택 홀(CH)의 폭을 확장함으로써 매립 콘택(500)의 내부에 발생하는 보이드나 심 불량을 방지할 수 있다.
- [0092] 또한, 제2 접합부(320)의 내부에 매립 반도체 막(322)을 미리 형성한 후 상기 매립 반도체 막(322)과 동일한 물질로 매립 콘택(500)을 형성함으로써 제2 접합부(320)의 내부로 매립되는 스토리지 콘택 구조물(SC)을 제공할 수 있다. 이에 따라, 제2 접합부(320)와 매립 반도체 막(322)의 접촉면적 확장에 따라 상기 비트라인(400)의 이격 거리가 축소된다 할지라도 스토리지 콘택 구조물(500)의 접촉저항을 충분히 작게 유지할 수 있다.
- [0093] 뿐만 아니라, 매립 반도체 막(322)은 단결정 실리콘으로 형성되는 활성영역에 대한 선택적 식각에 의해 형성되므로 제2 접합부(320)를 둘러싸는 소자분리막에 대한 손상없이 제2 접합부(320)의 내부에 스토리지 콘택 구조물(SC)을 제공한다. 이에 따라, GIDL과 같은 누설전류를 최소화하면서 제2 접합부(320)와 스토리지 콘택 구조물(SC)의 접촉저항을 최소화할 수 있으므로 상기 반도체 소자(1000)의 전기적 특성을 개선할 수 있다.
- [0094] 또한, 후술하는 바와 같이 내측 스페이서를 형성한 후 비트라인 트렌치(T)를 통하여 제2 접합부(320)를 노출함으로써 종래의 콘택 홀을 통하여 제2 접합부를 노출할 때와 비교하여 정렬불량과 개구 불량(NOP)을 원천적으로 방지할 수 있다.
- [0095] 도 3a 내지 도 15b는 도 1 내지 도 2b에 도시된 반도체 소자를 제조하는 방법을 나타내는 공정 단면도들이다. 도 3a 내지 도 13b에서 첨자'a'는 도 1에 도시된 메모리 소자를 I-I' 방향으로 절단한 단면도이며, 첨자'b'는 도 1에 도시된 메모리 소자를 II-II' 방향으로 절단한 단면도이다.
- [0096] 도 1과 도 3a 및 도 3b를 참조하면, 소자 분리막(110)에 의해 한정되는 다수의 활성영역(102)과 교차하도록 제1 방향(1)을 따라 연장하고 내부에 매립되는 매립 게이트 라인(220) 및 상기 매립 게이트 라인(220)과 인접한 상기 활성영역(102)에 배치된 접합영역을 구비하는 기관(100)을 제공한다.
- [0097] 상기 기관(100)은 게이트 전극과 같은 도전성 구조물이 배치되는 활성 영역(102)과 상기 활성영역(102)을 한정

하는 필드 영역으로 구분되고 상기 필드영역에는 인접한 활성영역(102)들을 고립시켜 전기적으로 분리하는 소자 분리막(110)이 위치한다.

- [0098] 상기 기판(100)은 실리콘, 게르마늄, 실리콘-게르마늄, 또는 GaP, GaAs, GaSb 등과 같은 III-V족 화합물을 포함할 수 있다. 예를 들면, 상기 기판(100)은 실리콘기판, 게르마늄 기판, 실리콘 절연(silicon on insulator, SOI)기판 및 게르마늄 절연 기판(germanium on insulator, GOI) 기판을 포함한다.
- [0099] 예를 들면, 상기 활성영역(102) 및 소자 분리막(110)은 얇은 트렌치 소자 분리(Shallow trench Isolation: STI) 공정을 통해 형성될 수 있다. 기판(100) 상면 상에 형성된 하드 마스크(도시되지 않음)를 식각 마스크로 사용하는 이방성 식각 공정을 통해 기판(100) 상부를 제거하여 소자 분리 트렌치를 형성하고, 상기 소자 분리 트렌치를 절연물질로 매립함으로써 소자 분리막(110)을 형성할 수 있다. 본 실시예의 경우, 상기 소자 분리막(110)은 실리콘 산화물, 실리콘 질화물 또는 실리콘 산질화물 중의 어느 하나로 구성될 수 있다.
- [0100] 이에 따라, 상기 기판(100) 상에 소자 분리막(102)에 의해 서로 고립되는 다수의 활성영역(102)들이 활성 패턴 형상으로 배치된다. 본 실시예의 경우, 상기 활성영역(102)은 제1 방향(I) 또는 제2 방향(II)에 대하여 일정한 각도로 경사지게 배치되고 동일한 간격으로 반복적으로 배열된다.
- [0101] 상기 소자 분리막(110) 및 활성패턴(102)의 상부를 식각하여 상기 제1 방향(I)을 따라 연장하고 제2 방향(II)을 따라 일정한 거리만큼 이격되는 다수의 게이트 트렌치(미도시)를 형성한다. 본 실시예의 경우, 한 쌍의 게이트 트렌치들이 단일한 활성영역(102)을 교차하도록 형성된다.
- [0102] 상기 기판(100)의 상면 및 게이트 트렌치의 표면을 따라 예비 셀 게이트 절연막(미도시)을 형성하고 상기 예비 셀 게이트 절연막(미도시)의 상면에 상기 게이트 트렌치를 매립하기에 충분한 두께를 갖도록 예비 셀 게이트 도전막(미도시)을 증착한다. 이에 따라, 상기 기판의 하부로 리세스된 활성영역(102) 상에 게이트 절연막 및 게이트 도전막으로 구성되는 매립 게이트(BG)가 완성된다. 이어서, 상기 게이트 트렌치의 상부를 매립하여 매립 게이트(BG)를 외부와 차단하는 게이트 캡핑라인(230)을 형성한다.
- [0103] 이에 따라, 상기 활성영역(102)보다 낮은 레벨을 갖도록 상기 기판(100)의 내부에 매립 게이트(BG)가 배치되고 갖는 게이트 캡핑라인(230)에 의해 덮이는 워드라인(WL)이 형성된다.
- [0104] 이때, 상기 게이트 캡핑라인(230)과 동일한 상면을 갖는 활성영역(102)은 외부로 노출된다. 따라서, 활성영역(102)은 게이트 캡핑라인(230)과 상기 소자 분리막(110)에 섬 형상으로 고립되어 배치된다.
- [0105] 본 실시예의 경우, 한 쌍의 워드라인(WL)이 단일한 활성영역(102)을 교차하도록 형성되므로, 셀 영역(C)에서 각 활성영역(102)은 한 쌍의 매립 게이트(BG)와 인접한 중앙부 및 어느 하나의 매립 게이트(BG)와 인접한 양 단부가 노출되어 접합영역(300)으로 제공된다.
- [0106] 이후, 상기 활성영역(102)으로 이온주입공정에 의해 불순물을 주입하여 상기 활성영역(102)의 중앙부에서 한 쌍의 매립 게이트(BG)와 인접한 제1 접합부(310) 및 상기 활성영역(102)의 양 단부에서 상기 매립 게이트(BG)의 어느 하나와 인접하게 위치하는 한 쌍의 제2 접합부(320)를 형성한다.
- [0107] 이에 따라 상기 기판(100)에 상기 매립 게이트(BG)와 접합영역(300)을 구비하는 매립 트랜지스터가 형성된다.
- [0108] 도 1과 도 4a 및 도 4b를 참조하면, 상기 매립 게이트(BG)를 구비하는 워드라인(WL)이 형성된 기판(100)의 전면(whole surface)에 절연막(405), 버퍼막(406) 및 희생막(407)을 차례대로 형성한다.
- [0109] 예를 들면, 실리콘 산화물을 사용하여 증착공정이나 스핀 코팅 공정을 통해 상기 기판(100)의 전면을 덮는 기저 산화막(401)을 형성하고, 상기 기저 산화막(401) 상에 실리콘 질화물 또는 실리콘 산질화물을 사용하는 증착공정에 의해 식각 저지막(402)을 형성한다. 이에 따라, 상기 기판(100)의 전면을 덮고 기저 산화막(401) 및 식각 저지막(402)을 구비하는 절연막(405)을 형성한다.
- [0110] 이어서, 상기 식각 저지막(402) 상에 버퍼막(406)을 형성한다. 예를 들면, 상기 버퍼막(406)은 금속식각 공정에 의해 용이하게 식각될 수 있는 물질로 형성한다. 예를 들면, 상기 버퍼막(406)은 폴리실리콘으로 형성한다.
- [0111] 이어서, 상기 버퍼막(406) 상에 희생막(407)을 형성한다. 상기 희생막(407)은 후속의 식각 공정에서 상기 버퍼막(406)을 보호한다. 예를 들어, 상기 희생막(407)은 실리콘 산화막으로 형성될 수 있다.
- [0112] 도 1과 도 5a 및 도 5b를 참조하면, 상기 희생막(407), 버퍼막(406), 절연막(405) 및 상기 제1 접합부(310)를 부분적으로 제거하여 제1 리세스(R1)를 형성한다. 이에 따라, 제1 접합부(310)의 상면을 제2 접합부(320)보다 낮

게 형성한다.

- [0113] 예를 들면, 상기 희생막(407)의 상면에 상기 제1 집합부(310)를 선택적으로 제거할 수 있는 마스크 패턴(미도시)을 형성하고 상기 마스크 패턴을 식각 마스크로 이용하는 식각공정에 의해 상기 희생막(407), 버퍼막(406), 절연막(405) 및 제1 집합부(310)의 상부를 순차적으로 제거하여 제1 리세스(R1)를 형성한다.
- [0114] 이에 따라, 상기 제1 집합부(310)는 상면이 제2 집합부(320)보다 낮게 형성되고 상기 제1 리세스(R)를 통하여 노출된다. 상기 제1 리세스(R1)의 상부는 예비 버퍼막 패턴(406a) 및 예비 기저 산화막 패턴(401a)과 예비 식각 저지막 패턴(402a)을 구비하는 예비 절연막 패턴(405a)에 의해 한정된다. 상기 제1 리세스(R1)의 하부는 소자분 리막(110)과 게이트 캡핑라인(230)에 의해 한정된다.
- [0115] 이어서, 상기 제1 리세스(R1)를 도전성 물질로 매립하여 예비 콘택(412a)을 형성한다.
- [0116] 예를 들면, 도전성 물질을 이용하는 화학기상증착 공정에 의해 상기 기관(100)의 전면(whole surface)에 상기 제1 리세스(R1)를 매립할 정도의 두께를 갖는 도전성 콘택막(미도시)을 형성하고, 평탄화 공정에 의해 상기 예비 버퍼패턴(406a)의 상면을 노출하도록 상기 도전성 콘택막을 제거하여 상기 제1 리세스(R1)에만 잔류시킨다. 이에 따라, 상기 제1 리세스(R1)를 매립하는 도전성 예비 콘택(412a)을 형성한다. 평탄화 공정에 의해 상부의 희생막 패턴(407a)은 제거된다.
- [0117] 본 실시예의 경우, 상기 도전성 물질은 상기 버퍼막(406)과 동일한 물질인 폴리실리콘을 포함한다. 이에 따라, 상기 예비 콘택(412a)은 예비 버퍼패턴(406a)과 실질적으로 동일한 상면을 갖도록 형성된다.
- [0118] 도 1과 도 6a 및 도 6b를 참조하면, 상기 예비 콘택(4120)이 형성된 기관(100)의 전면을 덮는 비트라인용 도전막(430a)을 형성한다.
- [0119] 예를 들면, 예비 버퍼패턴(406a) 및 예비 콘택(412a)을 덮는 장벽층(432a)을 형성한다. 예를 들면, 상기 장벽층(432a)은 화학기상증착공정에 의해 티타늄 질화물, 탄탈륨 질화물 또는 텅스텐 질화물과 같은 도전성 금속 질화물로 형성된다. 이어서, 상기 기관의 전면(whole surface)을 통하여 상기 장벽층(432a)을 덮는 도전성 금속막(434a) 및 상기 도전성 금속막(434a)을 덮는 캡핑막(440a)을 형성한다.
- [0120] 상기 도전성 금속막(434a, 850a)은 루테튬, 이리듐, 티타늄, 텅스텐 또는 탄탈륨과 같은 저저항 금속물질을 이용하는 물리기상증착공정, 화학기상증착공정 또는 스퍼터링 공정 등에 의해 형성될 수 있으며, 상기 캡핑막은(436a, 860a)은 산화물, 질화물 또는 산질화물로 구성될 수 있다.
- [0121] 도 1과 도 7a 및 도 7b를 참조하면, 상기 캡핑막(440a), 금속막(434a), 장벽층(432a), 예비 버퍼패턴(406a) 및 예비 콘택(412a)을 차례대로 식각하여 제2 방향(II)을 따라 연장하는 라인 형상을 갖는 버퍼패턴(424) 상에 적층된 도전라인(430) 및 캡핑라인(440)을 구비하는 적층 라인 구조물(LS)을 형성한다.
- [0122] 이때, 상기 예비 콘택(412a)도 함께 제거되어 상기 제1 집합부(310)로부터 연장하여 상기 도전라인(430)과 연결되는 다이렉트 콘택(412)으로 형성된다.
- [0123] 예를 들면, 상기 캡핑막(440a)의 상부에 비트라인 마스크 패턴(미도시)을 형성하고, 상기 비트라인 마스크 패턴(M)을 식각 마스크로 이용한 플라즈마 식각 공정을 수행한다.
- [0124] 이에 따라, 제2 방향(II)을 따라 연장하고 제1 방향(I)을 따라 일정한 간격으로 이격되는 다수의 적층 라인 구조물(LS)이 형성된다. 상기 적층 라인 구조물(LS)은 다이렉트 콘택(412)에 의해 상기 예비 절연패턴(405a)을 관통하여 제1 집합부(310)와 연결된다.
- [0125] 도 1과 도 8a 및 도 8b를 참조하면, 상기 라인 구조물(SL)의 형상 프로파일을 따라 라이너 스페이서막(452a)을 형성하고 상기 제1 리세스(R1)의 내부를 매립하여 상기 다이렉트 콘택(412)을 둘러싸는 예비 콘택 스페이서(414a)를 형성한다.
- [0126] 예를 들면, 상기 제1 리세스(R1) 및 라인 구조물(SL)의 표면 형상 프로파일을 따라 산화물로 구성되는 라이너 스페이서막(452a)을 형성하고 이어서 질화물로 구성되는 콘택 스페이서막(미도시)을 형성한다. 이때, 콘택 스페이서막(452a)의 두께가 크기 때문에 상기 제1 리세스(R1)의 내부는 콘택 스페이서막(452a)에 의해 매립된다.
- [0127] 상기 라이너 스페이서막(452a)을 식각 저지막으로 이용하는 이방성 식각에 의해 콘택 스페이서막을 제거함으로써 라이너 스페이서막(452a)에 의해 한정되는 제1 리세스(R1)에만 잔존하는 예비 콘택 스페이서(414a)를 형성한다.

- [0128] 예비 콘택 스페이서(414a)와 소자분리막(110) 및 게이트 캡핑라인(230) 사이에 위치하는 라이너 스페이서막(452a)은 브랜치 스페이서(459)를 형성하게 된다.
- [0129] 도 1과 도 9a 및 도 9b를 참조하면, 상기 라이너 스페이서막(452a)을 덮는 내측 스페이서막(454a)을 형성한다. 예를 들면, 상기 라이너 스페이서막(452a)의 상면을 소정의 두께로 덮는 질화막을 증착공정에 의해 형성할 수 있다.
- [0130] 이에 따라, 상기 라인 구조물(SL) 사이의 이격공간은 내측 스페이서막(454a)에 의해 축소되는 트렌치(T)로 형성된다. 이때, 상기 기판(100)의 상면을 덮는 예비 절연패턴(405a)은 상기 라이너 스페이서막(452a) 및 내측 스페이서막(454a)에 의해 커버된다.
- [0131] 도 1과 도 10a 및 도 10b를 참조하면, 상기 내측 스페이서 막(454a)을 이방성 식각으로 제거하여 내측 스페이서(454)를 형성한다. 이때, 상기 내측 스페이서 막(454a) 하부의 예비 절연패턴(405a)도 함께 제거하여 절연패턴(422)으로 형성한다.
- [0132] 상기 내측 스페이서 막(454a)과 예비 식각 저지막 패턴(402a)은 동일한 질화물로 구성되고 상기 예비 기저 산화막 패턴(401a)은 산화물로 형성되므로, 식각 선택비만 조절함으로써 동일한 식각공정에서 간단하게 제거될 수 있다. 이에 따라, 상기 내측 스페이서(454) 절연패턴(422)의 측면은 실질적으로 동일한 평면을 이루도록 형성된다.
- [0133] 이에 따라, 예비 절연패턴(405a)은 상기 트렌치(T)를 따라 동시에 제거되므로, 예비 절연패턴(405a)에 의해 커버되는 제2 접합부(320)도 동시에 노출된다. 즉, 상기 제2 접합부(320)는 트렌치를 따라 동시에 노출되어 개방 불량(not open)을 원천적으로 차단할 수 있다.
- [0134] 도 1과 도 11a 및 도 11b를 참조하면, 상기 제2 접합부의 일부를 제거하여 제2 접합부(320)의 상부에 제2 리세스(R2)를 형성한다. 예를 들면, 제2 접합부(320)를 형성하는 단결정 실리콘만 선택적으로 식각하는 등방성 식각공정에 의해 노출된 제2 접합부(320)의 상부를 제거하여 제2 리세스(R2)를 형성한다. 일실시예로서, 등방성 플라즈마 식각(IPE)공정을 수행하여 소자분리막(110)이나 게이트 캡핑라인(230)을 제거하지 않고 제2 접합부(320)의 실리콘만 선택적으로 제거할 수 있다.
- [0135] 이때, 상기 제2 리세스(R2)를 통하여 노출되는 활성영역(A)의 표면은 후술하는 매립 반도체 막(322)과 접촉하는 접촉면적을 제공하고 상기 매립 반도체 막(322)은 매립 콘택(500)과 함께 스토리지 콘택 구조물을 형성한다. 이에 따라, 활성영역(A)의 상면에 형성되는 종래의 매립 콘택과 접촉면적을 확장함으로써 매립 콘택의 접촉저항을 현저하게 낮출 수 있다. 따라서, 상기 제2 리세스(R2)의 사이즈는 후술하는 스토리지 콘택 구조물의 접촉저항을 낮추기에 충분한 접촉면적을 확보할 수 있도록 형성한다.
- [0136] 도 1과 도 12a 및 도 12b를 참조하면, 상기 제2 리세스(R2)를 반도체 물질로 매립하여 제2 접합부(320)의 상부에 매립 반도체 막(322)을 형성한다. 본 실시예의 경우, 상기 매립 반도체 막(322)은 제2 리세스(R2) 하부의 실리콘을 시드로 이용하는 선택적 에피택시얼 성장(SEG) 공정에 의해 형성되고 불순물로 도핑된 폴리실리콘으로 구성된다.
- [0137] 이에 따라, 상기 매립 반도체막(322)은 후속공정에 의해 형성되는 매립 콘택(500)과 동일한 물질로 형성된다. 그러나, 반드시 이에 한정하는 것은 아니며, 상기 매립 콘택(500)과의 접촉저항을 최소화하며 매립 콘택(500)과 함께 전하 저장부(700)에 연결되는 스토리지 콘택 플러그를 형성할 수 있다면 다양한 물질로 형성될 수 있다.
- [0138] 도 1과 도 13a 및 도 13b를 참조하면, 상기 상기 내측 스페이서(454) 및 상기 절연패턴(422)의 측면을 덮고 상기 매립 반도체(322) 막 및 상기 소자 분리막(110)을 덮는 외측 스페이서막(456a)을 형성한다. 예를 들면, 화학 기상증착공정이나 원자층 증착공정에 의해 상기 트렌치(T)의 측벽과 바닥을 덮도록 외측 스페이서막(456a)을 형성한다. 본 실시예의 경우, 상기 외측 스페이서막(4456a)은 질화막으로 형성될 수 있다.
- [0139] 따라서, 내측 스페이서(454) 및 절연패턴(422)의 측벽과 상기 콘택 스페이서(414)의 상부영역인 상부 스페이서(414a)의 측벽이 외측 스페이서막(456a)에 의해 커버된다.
- [0140] 도 1과 도 14a 및 도 14b를 참조하면, 상기 기판(100)의 전면에 희생막(SL)을 형성하여 상기 트렌치(T)를 매립하고 평탄화한 후 워드라인(WL)만 부분적으로 노출한다.
- [0141] 비트라인 캡핑라인(440)이 노출되도록 상기 희생막을 평탄화하여 트렌치(T)별로 노드분리 시킨다. 이에 따라, 상기 외측 스페이서막(456a)도 외측 스페이서(456)로 형성된다. 즉, 상기 트렌치(T)는 희생막(SL)과 외측 스페

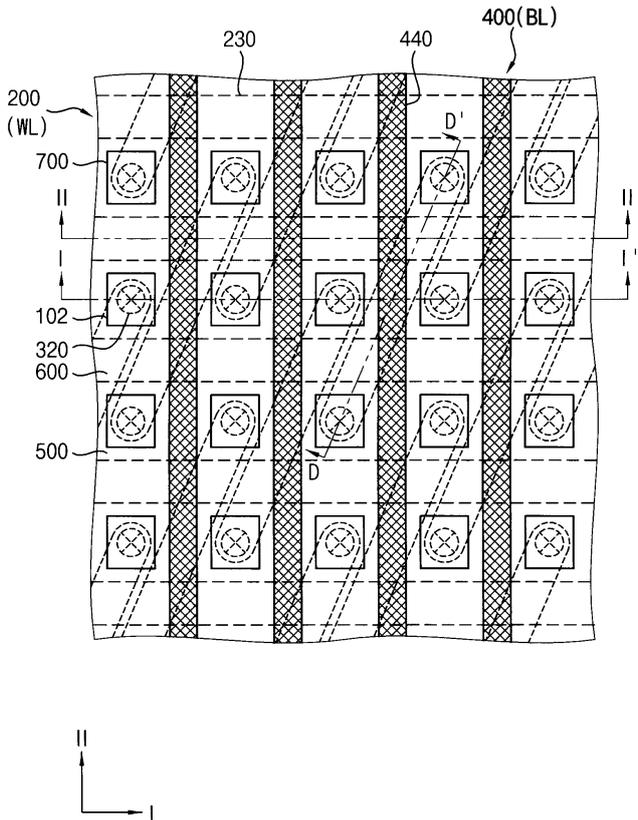
이서(456)로 매립된다.

- [0142] 이어서, 상기 워드라인의 상부만 선택적으로 노출하는 마스크 패턴(미도시)을 형성한 후 노출된 워드라인 상부로부터 상기 희생막(SL)을 제거한다. 이어서, 노출된 외측 스페이서(456)의 바닥면을 제거하여 비트라인 캡핑라인(440)을 노출한다. 따라서, 상기 워드라인의 상부에는 워드라인과 인접한 라인을 따라 잔류하는 희생막(SL)과 상기 외측 스페이서(456)에 의해 한정되는 펜스 홀(FH)이 형성된다.
- [0143] 이어서, 상기 펜스 홀(FH)을 매립하기에 충분한 두께를 갖는 절연막을 형성한 후 상기 비트라인 캡핑라인(440)이 노출되도록 평탄화하여 펜스 홀(FH)별로 노드 분리된 펜스막 패턴(600)을 형성한다. 본 실시예의 경우, 상기 펜스막 패턴(600)은 실리콘 질화물이나 실리콘 산질화물과 같은 절연물질로 형성된다.
- [0144] 도 1과 도 15a 및 도 15b를 참조하면, 제2 접합부(320)를 덮는 희생막을 제거함으로써 상기 외측 스페이서(456)와 펜스막 패턴(600)을 노출하고, 이방성 식각공정에 의해 노출된 외측 스페이서(456)의 바닥부를 제거함으로써 상기 제2 접합부(320)를 노출한다. 이때, 상기 외측 스페이서(456)와 상기 펜스막 패턴(600)을 식각 마스크로 이용하는 자기정렬 식각공정에 의해 상기 희생막(SL)을 제거할 수 있다.
- [0145] 이에 따라, 상기 제2 접합부(320)를 노출하는 콘택 홀(CH)을 형성한다. 상기 콘택 홀(CH)은 절연패턴(422)이 내측 스페이서(454)를 형성할 때 폭이 감소함으로써 종래와 비교하여 증가한 폭을 갖게 된다.
- [0146] 특히, 자기정렬 식각공정에 의해 상기 희생막을 제거하여 종래와 비교하여 확장된 폭을 갖는 콘택 홀(CH)을 형성하고 확장된 콘택 홀(CH)의 내부에서 이방성 식각에 의해 외측 스페이서(456)의 바닥부를 제거함으로써 제2 접합부(320)를 노출한다. 이에 따라, 콘택 홀(CH)의 형성과정에서 제2 제2 접합부(320)가 노출되지 않는 개구불량(not open defect)을 원천적으로 방지할 수 있다.
- [0147] 좁은 폭과 큰 높이를 갖는 종래의 콘택 홀 형성공정에서는 높은 중형비로 인하여 내부의 보이드 불량뿐 아니라 하부의 제2 접합부(320)가 충분히 노출되지 않는 개구불량이 빈번하게 발생하지만, 본 실시예의 경우 자기정렬 식각공정에 의해 상대적으로 폭이 확장된 콘택 홀(CH)을 형성하고 콘택 홀(CH)의 바닥부를 덮는 외측 스페이서(456)의 바닥부만 제거함으로써 상기 개구 불량을 방지할 수 있다.
- [0148] 도 1과 도 16a 및 도 16b를 참조하면, 상기 콘택 홀(CH)을 도전성 물질로 매립하여 제2 접합부(320) 및 상기 매립 반도체 막(322)와 접촉하는 매립 콘택(500)을 형성한다.
- [0149] 예를 들면, 도전성 물질로 콘택 홀(CH)을 매립한 후 상기 비트라인 캡핑라인(440)이 노출되도록 평탄화하여 콘택 홀(CH)별로 노드 분리시킨다. 이에 따라, 상기 콘택 홀(CH)을 매립하는 매립 콘택(500)을 형성한다.
- [0150] 이때, 상기 도전성 물질은 하부의 매립 반도체 막(322)과 동일한 물질이나 접촉저항을 최소화할 수 있는 물질로 선택한다. 이에 따라, 상기 매립 콘택(500)은 매립 반도체 막(322)와 함께 상부의 전하 저장부(700)와 접촉하는 스토리지 콘택 구조물(SC)을 형성하게 된다.
- [0151] 본 실시예의 경우, 상기 도전성 물질은 불순물로 도핑된 폴리실리콘을 포함한다. 따라서, 상기 매립 콘택(500) 및 매립 반도체 막(322)은 도핑된 폴리실리콘을 포함하는 스토리지 콘택 구조물(SC)로 형성된다.
- [0152] 이에 따라, 상기 스토리지 콘택 구조물(SC)과 제2 접합부(320)의 접촉면적은 상기 제2 리세스(R2)의 표면적을 따라 확장된다. 종래에는 콘택 홀(CH)을 통하여 노출되는 제2 접합부(320) 상면과 매립 콘택이 접촉되어 접촉면적은 제2 접합부(320)의 노출면적으로 한정되지만, 본 발명에서는 매립 반도체 막(322)이 제2 접합부(320)의 내부로 리세스되어 제2 리세스(R2)의 내측면만큼 접촉면적이 확장된다. 이에 따라, 상기 스토리지 콘택(SC)과 제2 접합부(320)의 접촉면적을 확장함으로써 스토리지 콘택(SC)의 접촉저항을 현저하게 저하시킬 수 있다.
- [0153] 선택적으로, 상기 매립 콘택(500)의 상부는 부분적으로 리세스되어 콘택 홀(CH)의 상부를 노출한 후, 매립 콘택(500)과 접촉하도록 콘택 홀(CH)의 상부를 매립하고 상기 비트라인 캡핑라인(440)의 상부를 덮는 콘택 패드(미도시)를 더 형성할 수도 있다.
- [0154] 이후, 상기 매립 콘택(500)과 접속하는 전하 저장부(700)를 형성함으로써 상기 반도체 소자(1000)를 완성할 수 있다.
- [0155] 상술한 바와 같은 반도체 소자 및 이의 제조방법에 의하면, 내측 스페이서와 절연패턴의 측벽이 동일한 평면을 이루도록 배치하고 내측 스페이서와 절연패턴의 측벽을 덮는 외측 스페이서에 의해 콘택 홀을 한정한다. 이에 따라, 절연패턴의 폭이 줄어든 만큼 상기 콘택 홀의 폭을 확장함으로써 매립 콘택의 내부에 발생하는 보이드나 침 불량을 방지 할 수 있다.

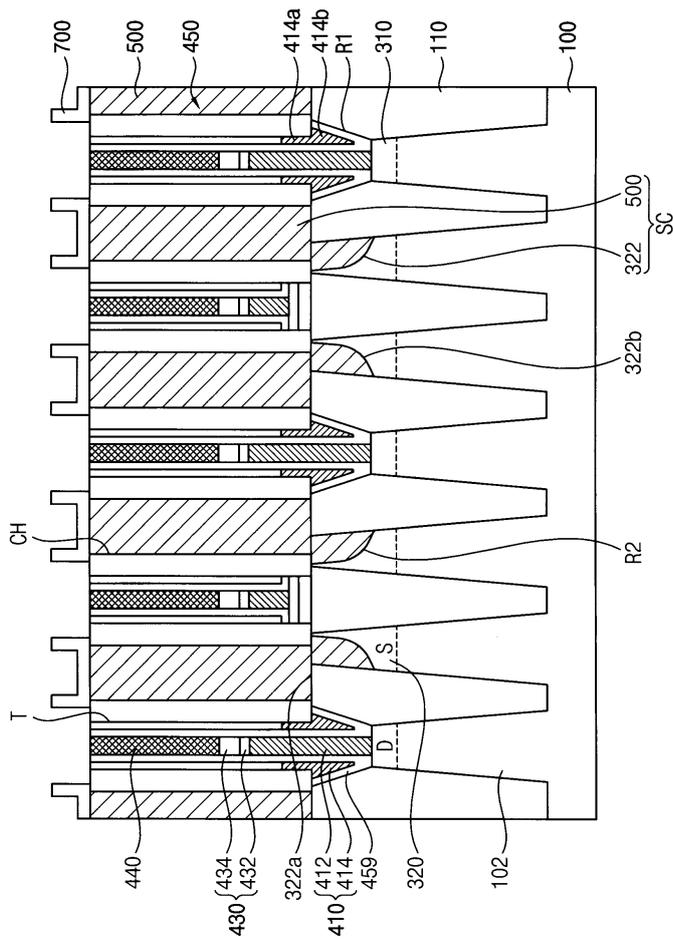
- [0156] 또한, 제2 접합부의 내부에 매립 반도체 막을 미리 형성한 후 상기 매립 반도체 막과 접촉하는 매립 콘택을 형성함으로써 제2 접합부의 내부로 매립되는 스토리지 콘택 구조물(SC)을 형성할 수 있다. 이에 따라, 제2 접합부와 매립 반도체 막의 접촉면적 확장에 따라 비트라인의 이격거리가 축소된다 할지라도 스토리지 콘택 구조물의 접촉저항을 충분히 작게 유지할 수 있다.
- [0157] 뿐만 아니라, 매립 반도체 막은 단결정 실리콘으로 형성되는 활성영역에 대한 선택적 식각에 의해 형성되므로 제2 접합부를 둘러싸는 소자분리막에 대한 손상없이 제2 접합부의 내부에 스토리지 콘택 구조물을 제공한다. 이에 따라, GIDL과 같은 누설전류를 최소화하면서 제2 접합부와 스토리지 콘택 구조물의 접촉저항을 최소화할 수 있으므로 반도체 소자의 전기적 특성을 개선할 수 있다.
- [0158] 내측 스페이서를 형성한 후 비트라인 트렌치를 통하여 제2 접합부를 노출함으로써 종래의 콘택 홀을 통하여 제2 접합부를 노출할 때와 비교하여 정렬불량과 개구 불량(NOP)을 원천적으로 방지할 수 있다.
- [0159] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**도면**

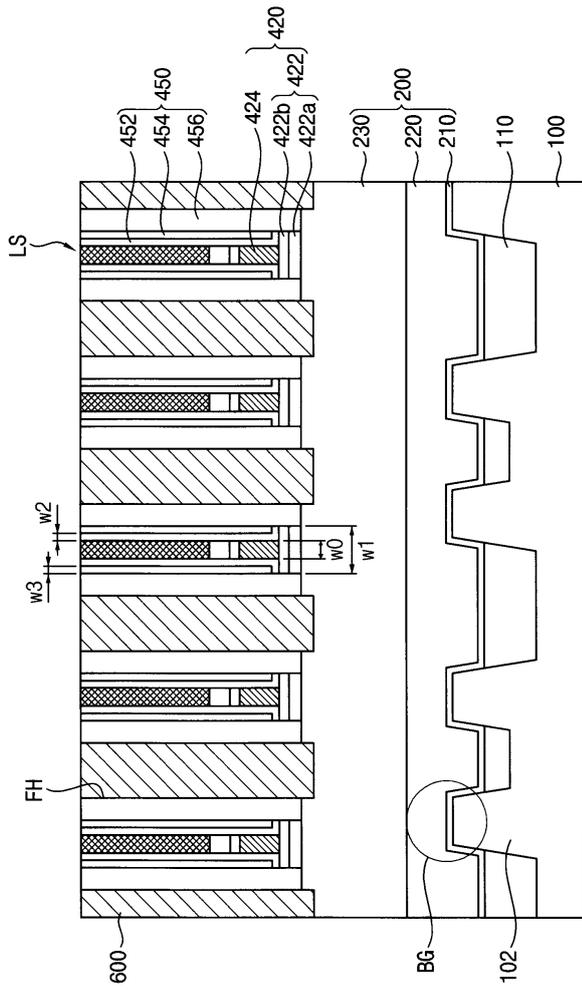
**도면1**



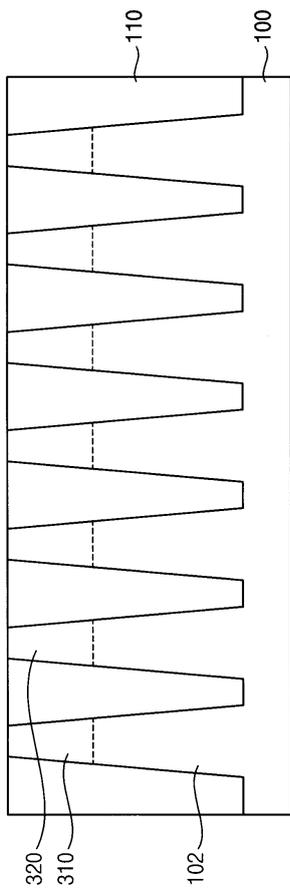
도면2a



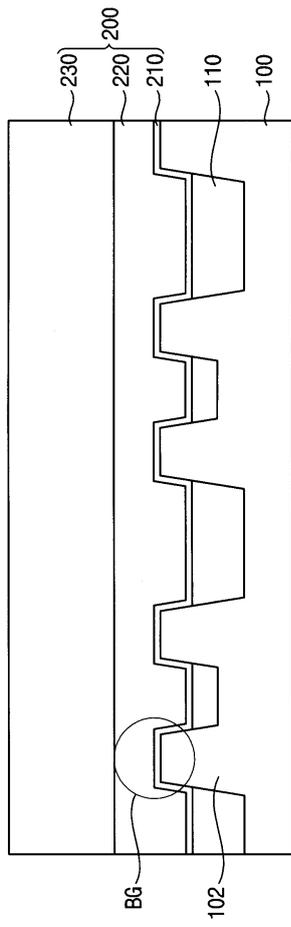
도면2b



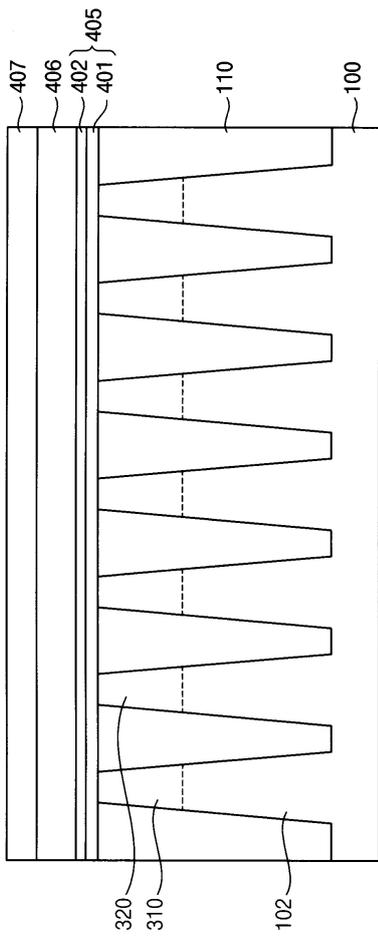
도면3a



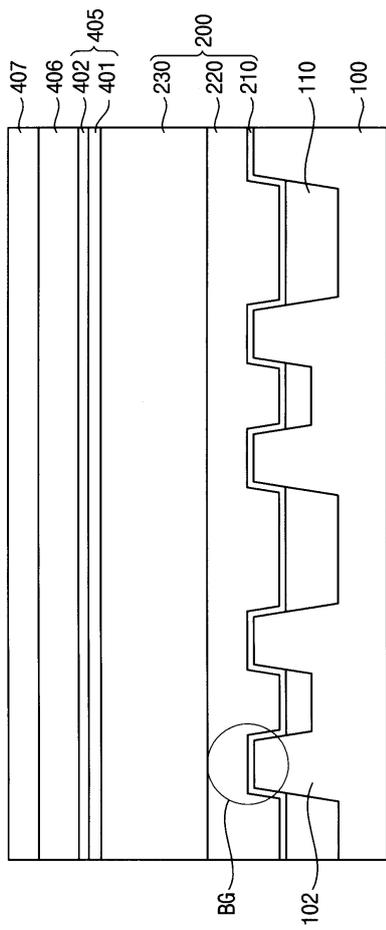
도면3b



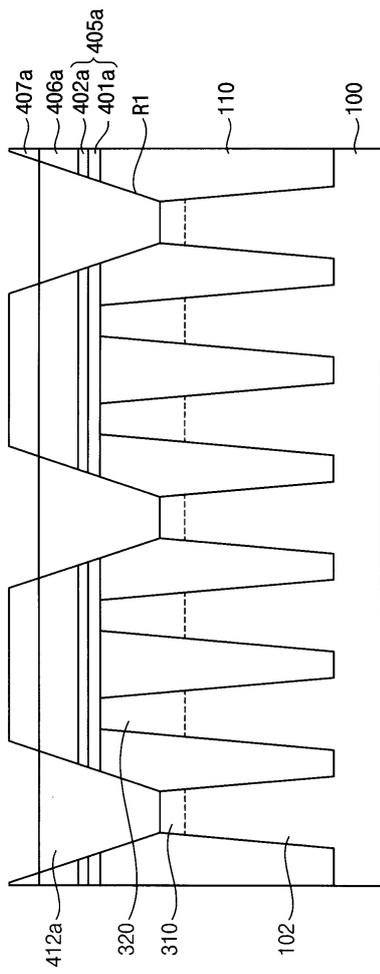
도면4a



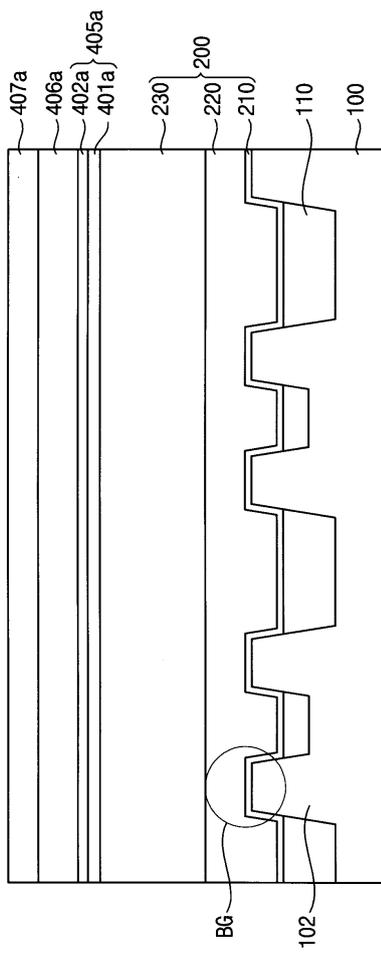
도면4b



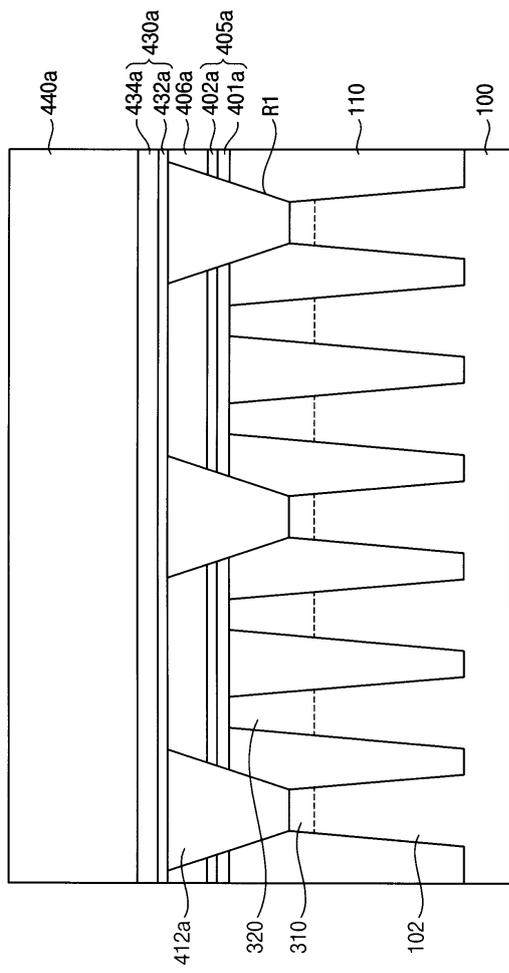
도면5a



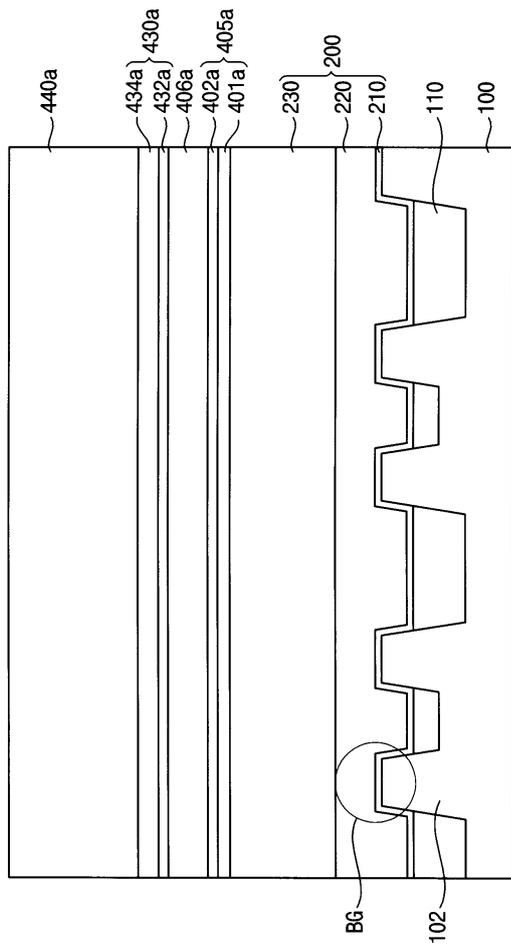
도면5b



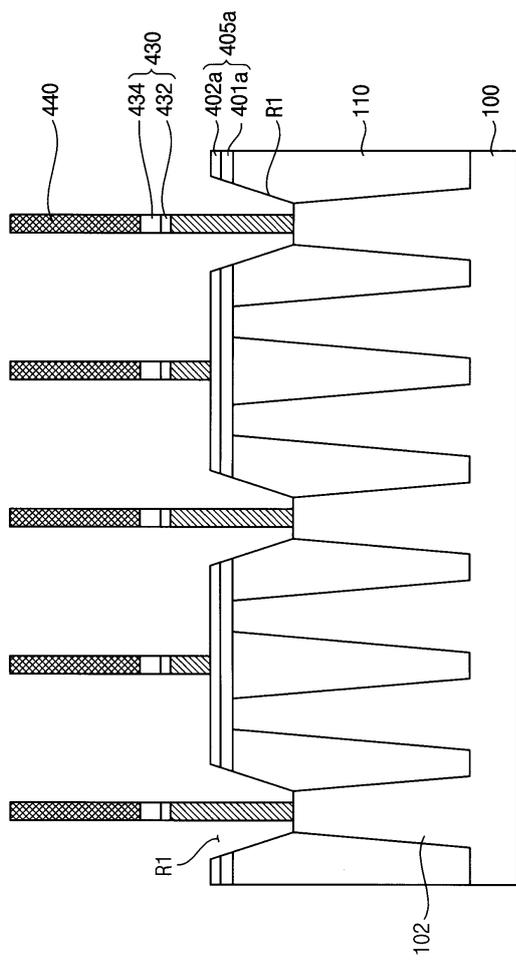
도면6a



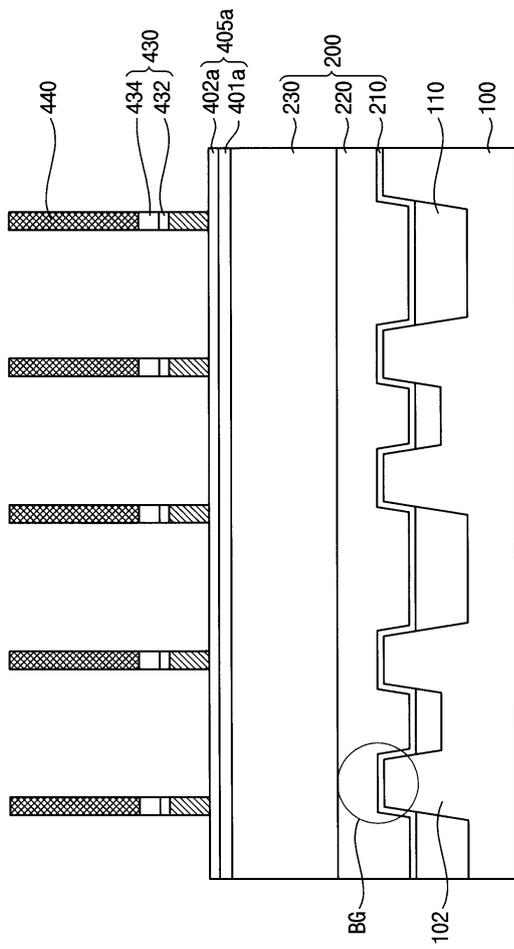
도면6b



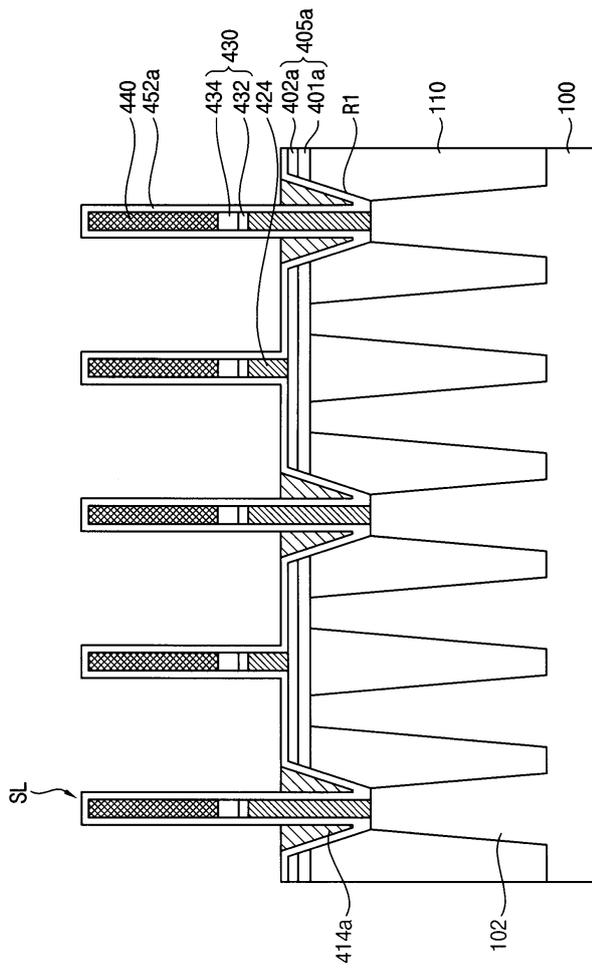
도면7a



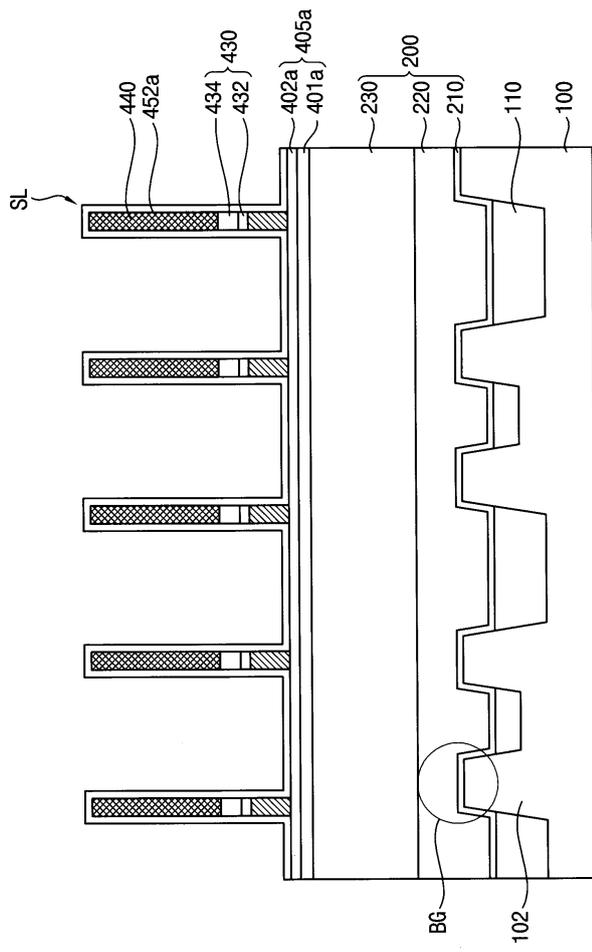
도면7b



도면8a

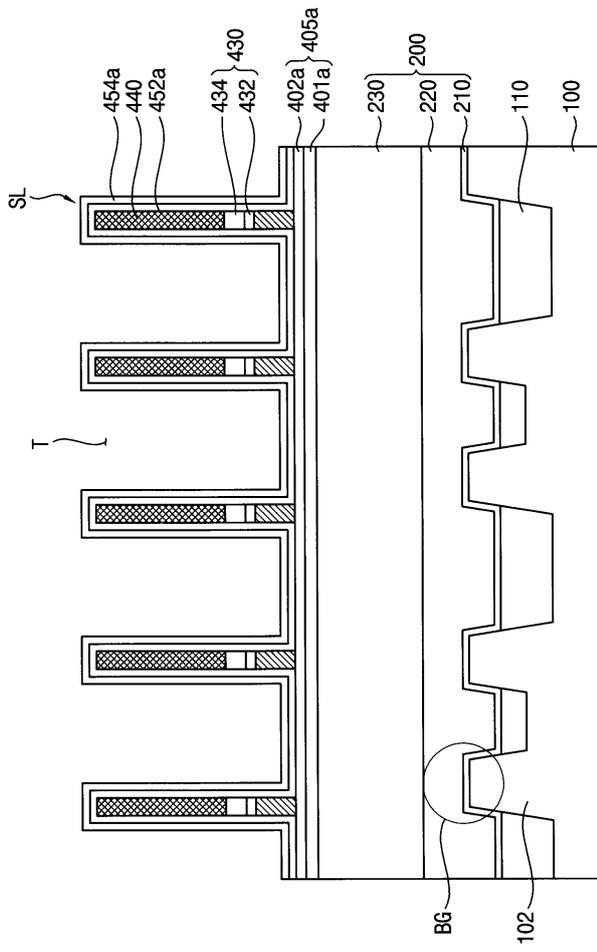


도면 8b

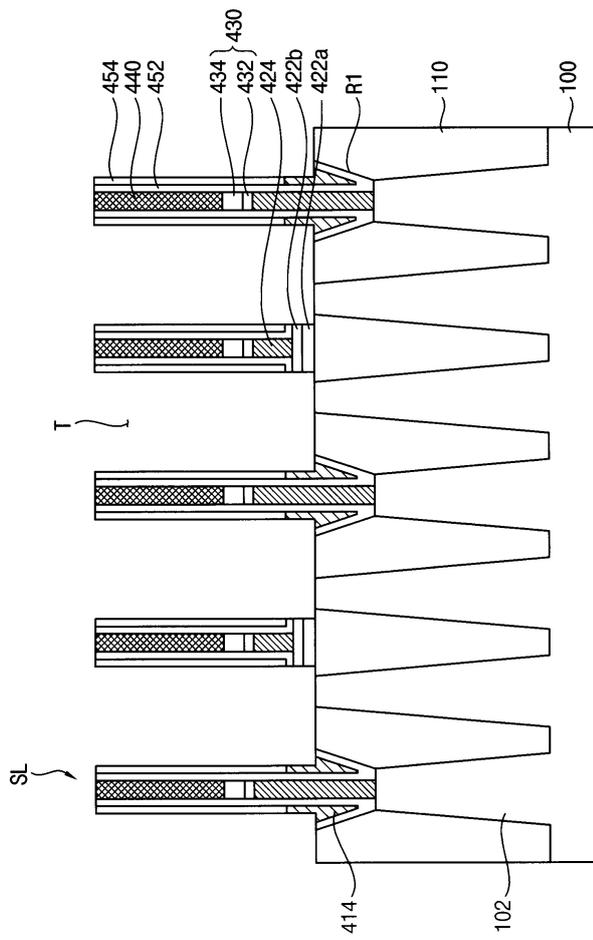




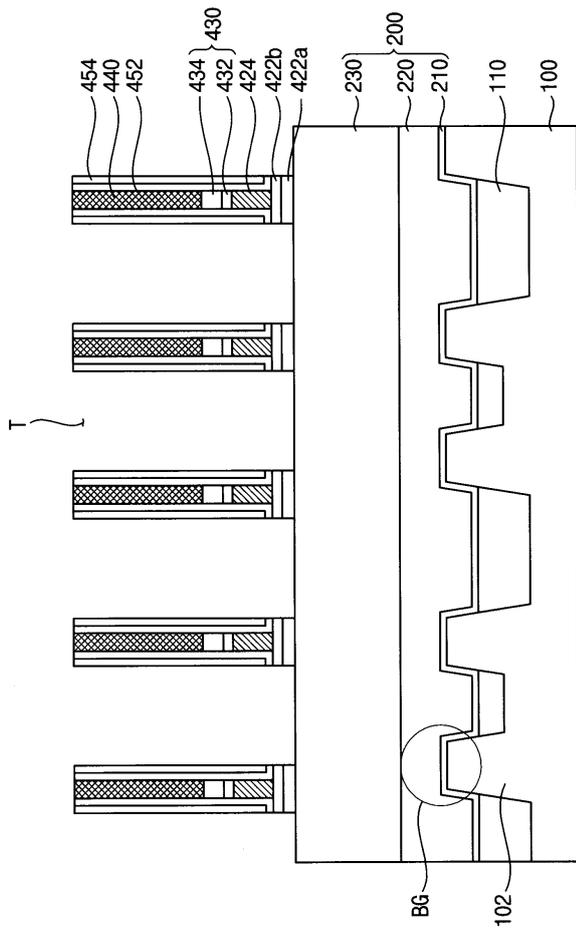
도면9b



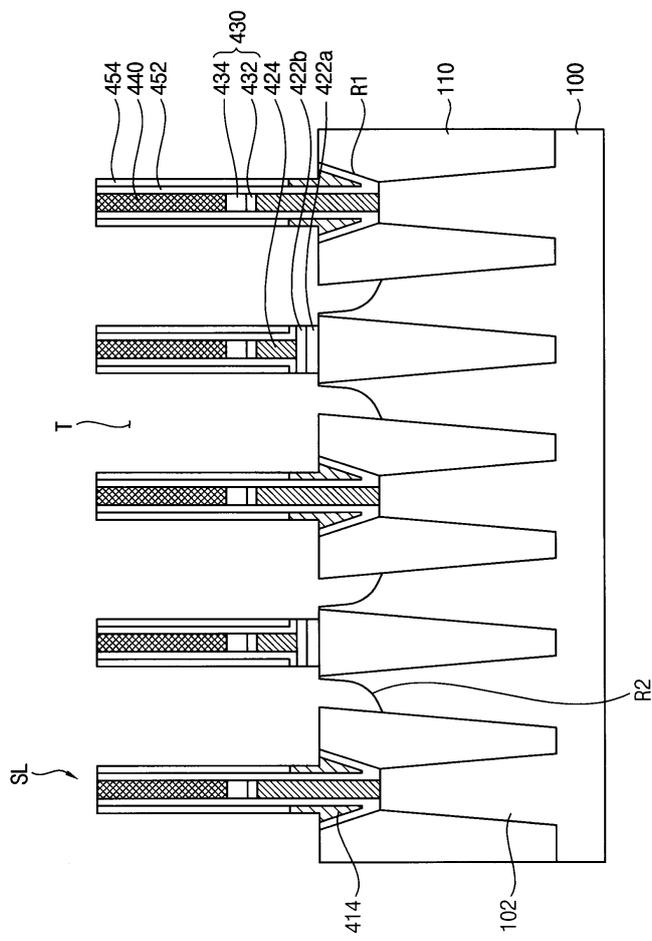
도면10a



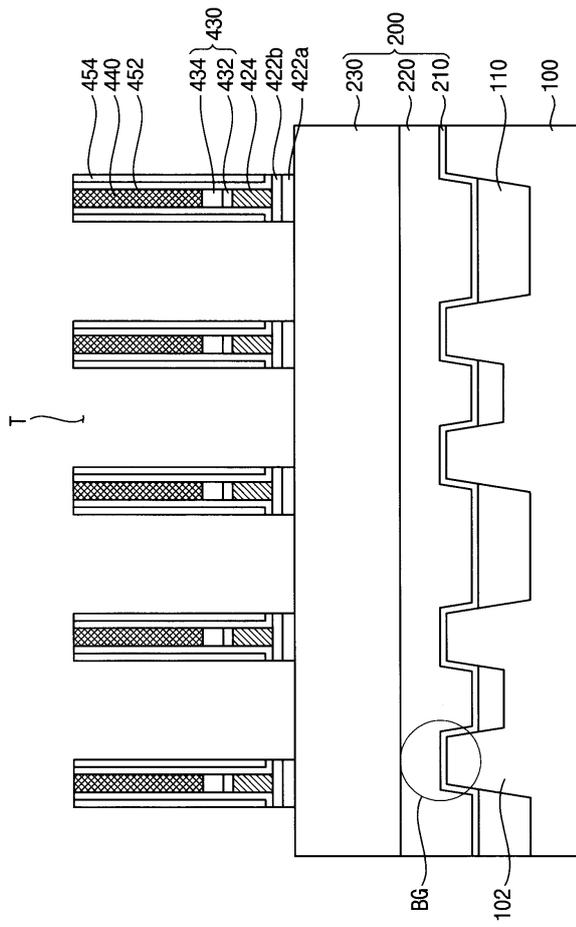
도면10b



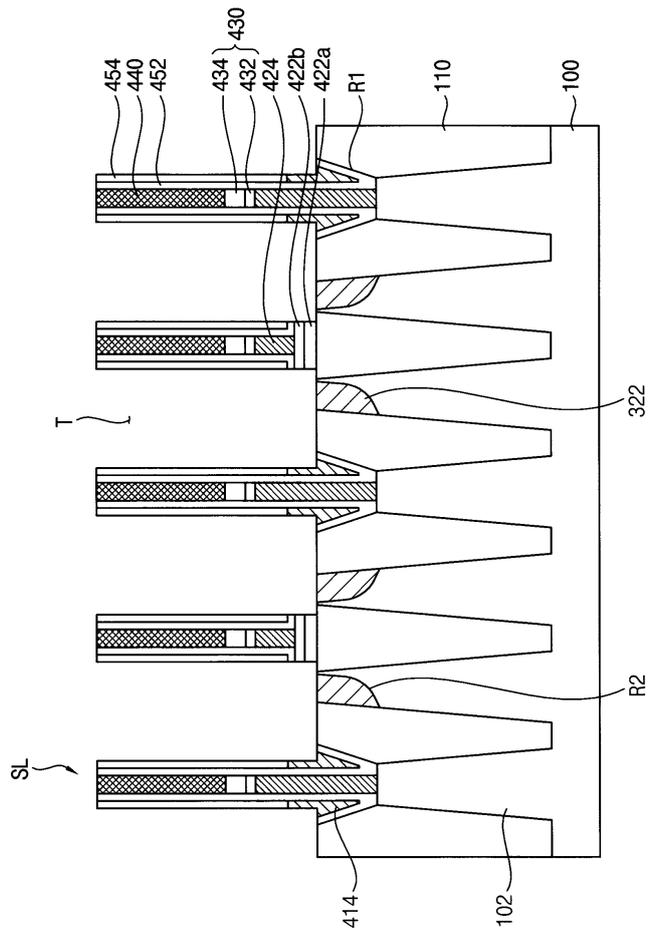
도면11a



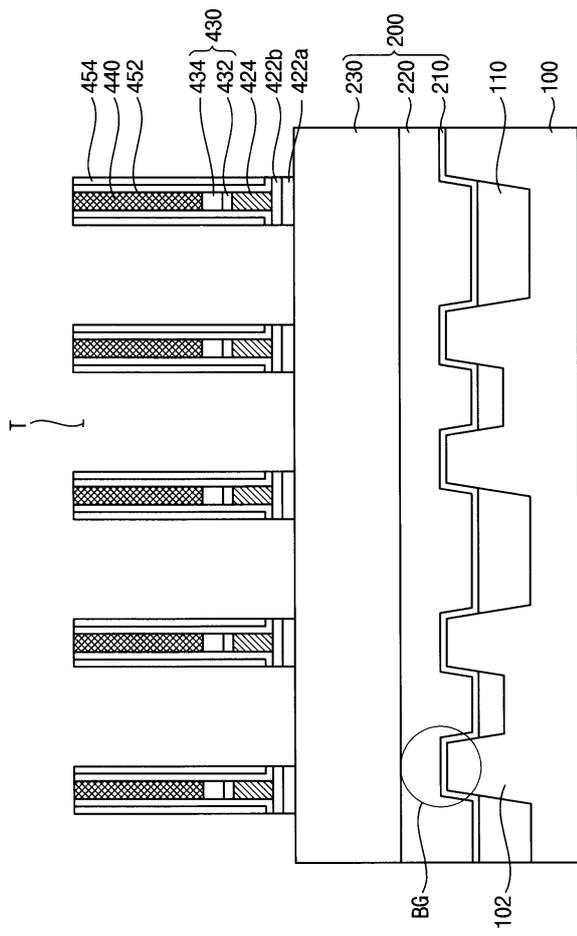
도면11b



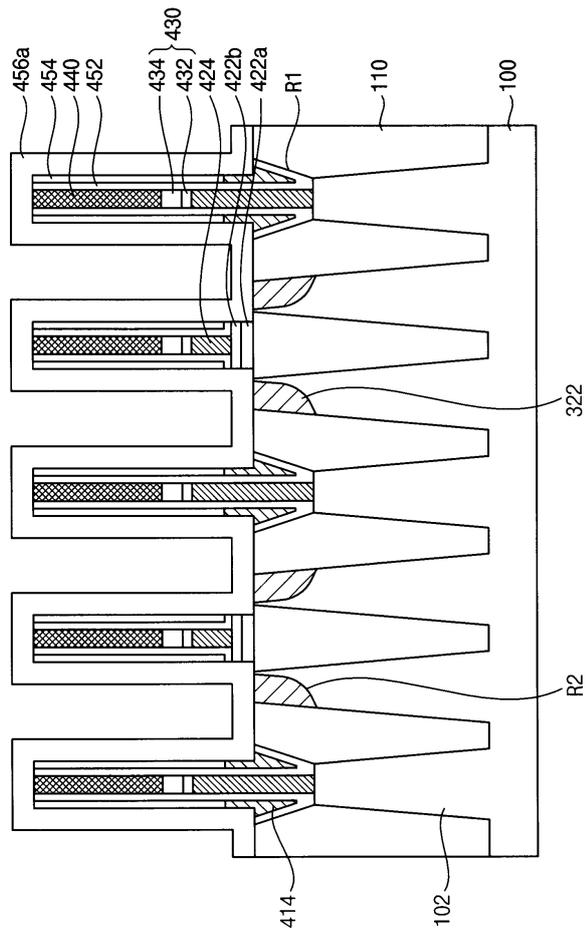
도면12a



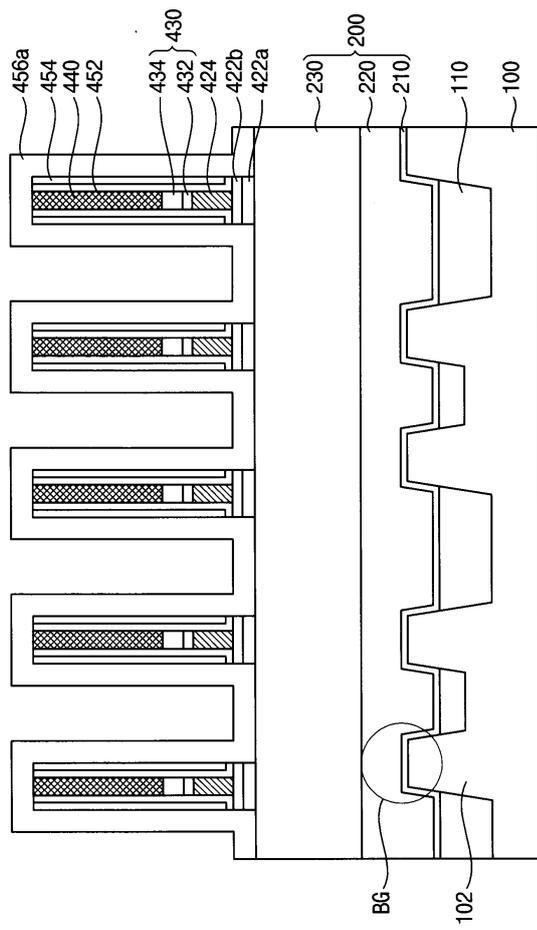
도면12b



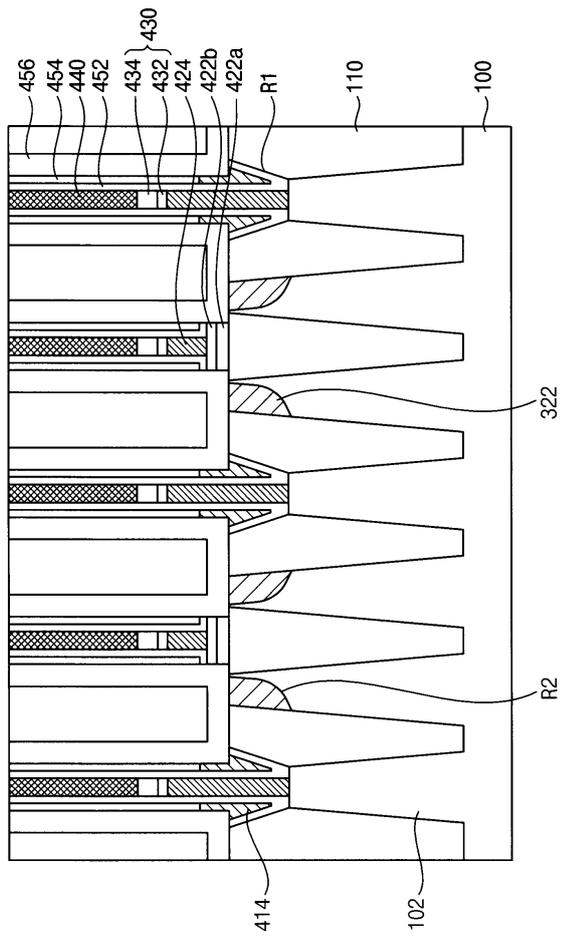
도면13a



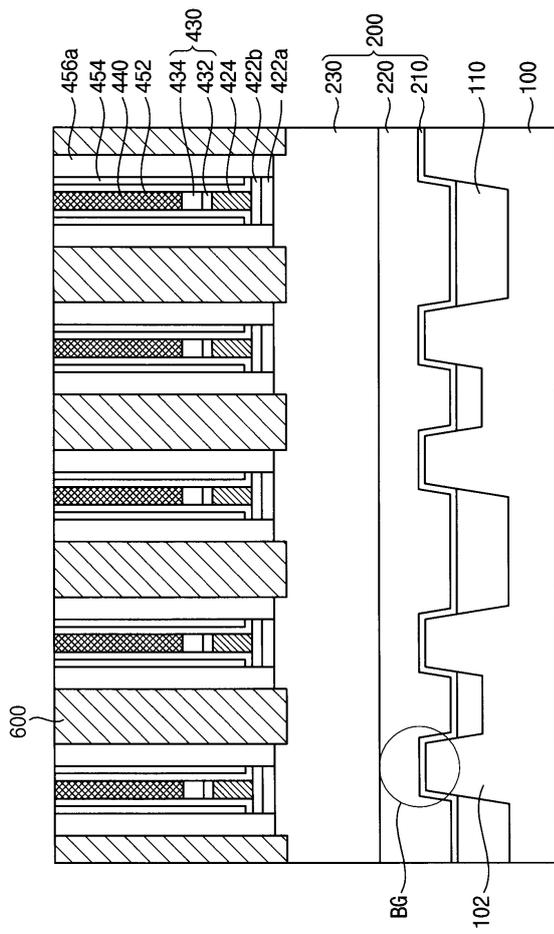
도면13b



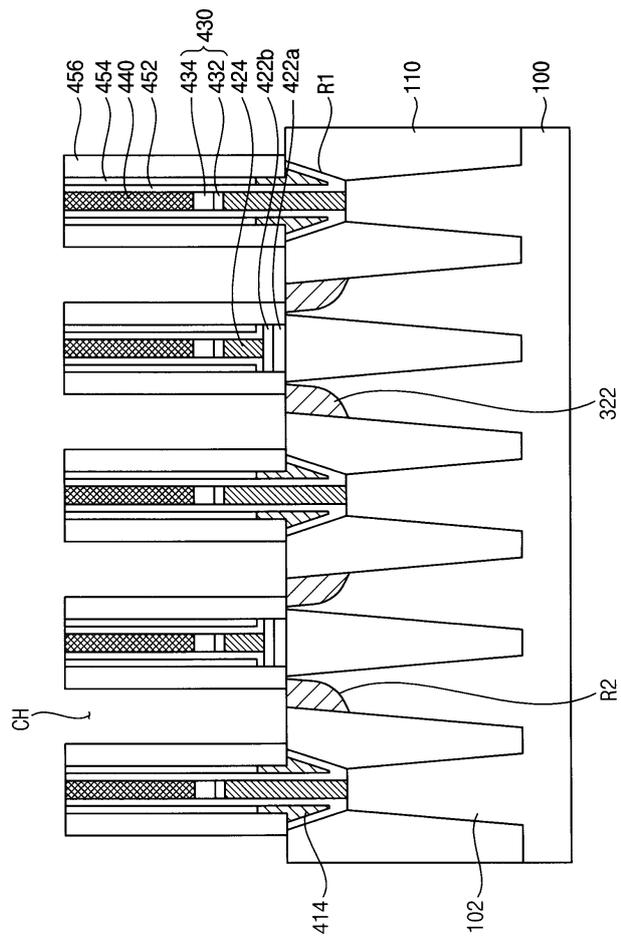
도면14a



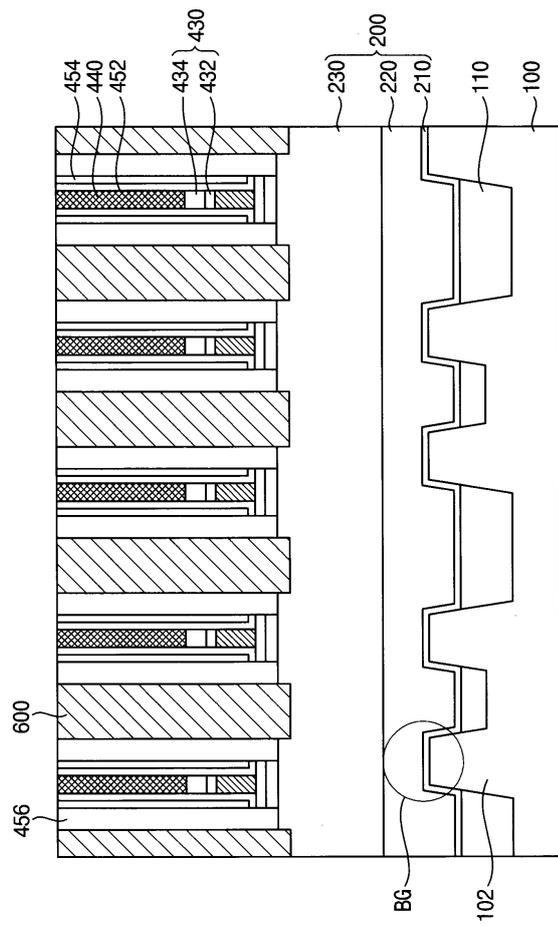
도면14b



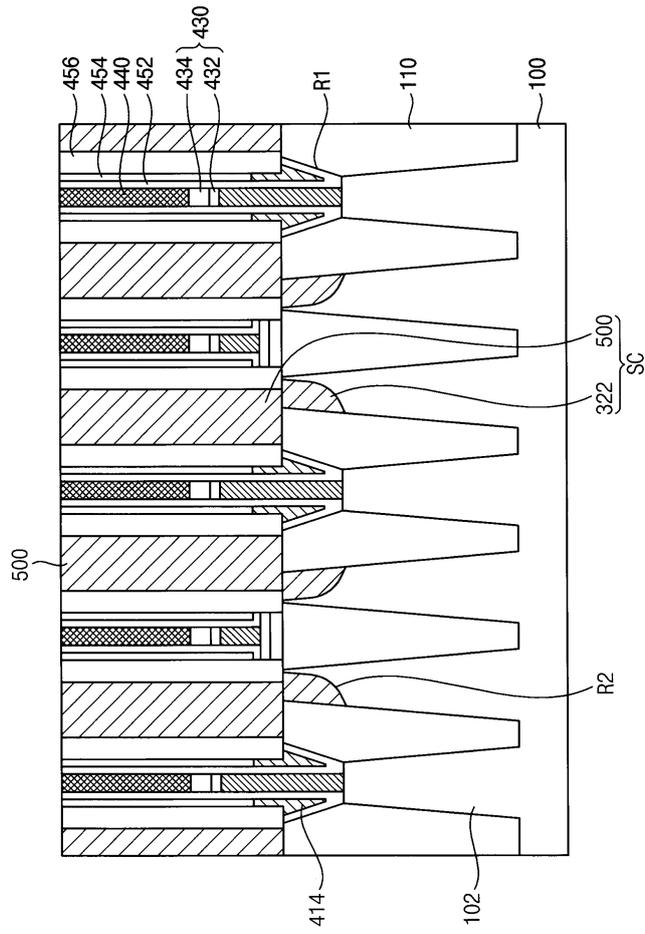
도면15a



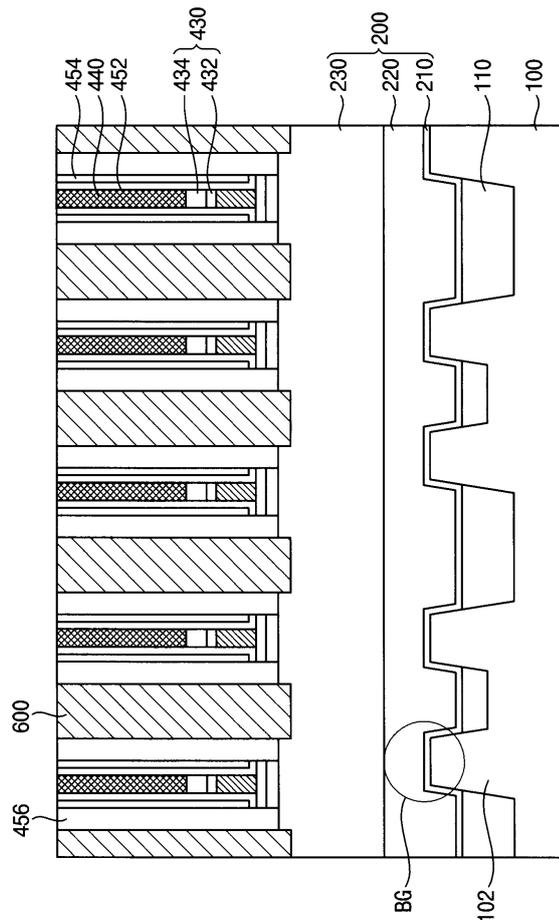
도면15b



도면16a



도면16b



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

소자 분리막에 의해 한정되는 다수의 활성영역을 구비하는 기관;

소자 분리막에 의해 한정되는 다수의 활성영역을 구비하는 기관;

상기 활성영역을 가로질러 제1 방향을 따라 연장하고 제2 방향을 따라 일정한 간격으로 정렬하는 다수의 워드라인들;

상기 활성영역에 배치되어 불순물을 포함하고, 상기 활성영역의 중앙부에 위치하는 제1 접합부 및 상기 활성영역의 양 단부에 위치하고 내부에 매립 반도체막을 구비하는 제2 접합부를 포함하는 접합영역;

상기 제1 방향을 따라 일정한 간격을 갖도록 상기 제2 방향을 따라 연장하고 상기 제1 접합부와 접속하는 다수의 비트라인들; 및

상기 제2 접합부와 접속하도록 상기 비트라인 사이에 위치하여 상기 매립 반도체 막과 함께 데이터를 저장하는 전하 저장부와 연결되는 스토리지 콘택 구조물을 형성하는 매립 콘택을 포함하는 반도체 소자.

【변경후】

소자 분리막에 의해 한정되는 다수의 활성영역을 구비하는 기관;

소자 분리막에 의해 한정되는 다수의 활성영역을 구비하는 기관;

상기 활성영역을 가로질러 제1 방향을 따라 연장하고 제2 방향을 따라 일정한 간격으로 정렬하는 다수의 워드라인들;

상기 활성영역에 배치되어 불순물을 포함하고, 상기 활성영역의 중앙부에 위치하는 제1 접합부 및 상기 활성영역의 양 단부에 위치하고 내부에 매립 반도체막을 구비하는 제2 접합부를 포함하는 접합영역;

상기 제1 방향을 따라 일정한 간격을 갖도록 상기 제2 방향을 따라 연장하고 상기 제1 접합부와 접속하는 다수의 비트라인들; 및

상기 제2 접합부와 접속하도록 상기 비트라인 사이에 위치하여 상기 매립 반도체 막과 함께 데이터를 저장하는 전하 저장부와 연결되는 스토리지 콘택 구조물을 형성하는 매립 콘택을 포함하는 반도체 소자.