

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁸
H01L 21/60 (2006.01)

(45) 공고일자 2006년02월02일
(11) 등록번호 10-0548578
(24) 등록일자 2006년01월24일

(21) 출원번호 10-2004-0056546
(22) 출원일자 2004년07월20일

(65) 공개번호 10-2006-0007682
(43) 공개일자 2006년01월26일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 서민석
서울특별시 성동구 하왕십리2동 한신무학아파트 3동 1110호

(74) 대리인 강성배

심사관 : 백양규

(54) 시스템 인 패키지의 비아패턴 형성방법

요약

본 발명은 웨이퍼 대 웨이퍼(wafer to wafer) 또는 칩 대 칩(chip to chip)을 수직으로 적층하고, 비아패턴으로 적층된 웨이퍼 또는 칩들간을 회로적으로 상호 연결하여 제조하는 시스템 인 패키지(system in package)의 비아패턴 형성방법을 개시한다. 개시된 본 발명에 따른 시스템 인 패키지의 비아패턴 형성방법은, 웨이퍼 상에 비아패턴 형성 영역을 노출시키는 감광막패턴을 형성하는 단계와, 상기 노출된 웨이퍼 영역을 식각하여 깊은 트렌치를 형성하는 단계와, 상기 감광막패턴을 포함한 트렌치 표면 상에 제1씨드층을 증착하는 단계와, 상기 트렌치를 매립하도록 제1씨드층 상에 솔더금속막을 도금하는 단계와, 상기 감광막패턴이 노출되도록 솔더금속막과 제1씨드층을 식각하는 단계와, 상기 트렌치 저면에만 잔류되도록 상기 트렌치 내에 매립된 제1씨드층을 포함한 솔더금속막의 일부 두께를 제거하는 단계와, 상기 잔류된 제1씨드층 및 솔더금속막과 트렌치 표면 및 감광막패턴 상에 제2씨드층을 증착하는 단계와, 상기 트렌치를 매립하도록 제2씨드층 상에 금속막을 도금하는 단계와, 상기 감광막패턴이 노출되도록 금속막과 제2씨드층을 식각하는 단계와, 상기 감광막패턴을 제거하여 웨이퍼의 상부면에 제1범프를 형성하는 단계와, 상기 솔더금속막이 노출되도록 웨이퍼의 후면을 선택적으로 식각하여 제2범프를 형성하는 단계를 포함하는 것을 특징으로 한다.

대표도

도 3g

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래 시스템 인 패키지의 비아패턴 형성방법을 설명하기 위한 공정별 단면도.

도 2는 종래 다른 시스템 인 패키지의 비아패턴 형성방법을 설명하기 위한 도면.

도 3a 내지 도 3g는 본 발명에 따른 시스템 인 패키지의 제조방법을 설명하기 위한 공정별 단면도.

도 4a 및 도 4b는 본 발명에 따른 비아패턴을 이용하여 시스템 인 패키지를 구현하는 과정을 도시한 도면.

* 도면의 주요 부분에 대한 부호의 설명 *

31 : 웨이퍼 32 : 감광막패턴

33 : 트렌치 34 : 제1씨드층

35 : 솔더금속막 36 : 제2씨드층

37 : 금속막 40 : 비아패턴

40a : 제1범프 40b : 제2범프

50 : 시스템 인 패키지

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 같은 반도체 패키지에 관한 것으로, 보다 상세하게는, 같은 종류 또는 다양한 종류의 반도체소자를 칩 또는 웨이퍼 상태로 적층하고 비아패턴으로 연결하여 구성하는 시스템 인 패키지의 비아패턴 형성방법에 관한 것이다.

주지된 바와 같이, 반도체소자는 기존에 군사적 목적이나 컴퓨터를 중심으로 사용되었다. 그런데, 인터넷과 통신기술의 발달로 급속히 정보화 사회로 진행되면서, 그 적용의 폭이 점점 넓어지고 있다. 핸드폰, PDA를 위시한 모바일 제품군에서 시작하여 TV, 오디오 등의 전통적 가전제품, 심지어는 가정용 보일러에 이르기까지 전기가 들어가는 곳이면 반도체소자가 사용되지 않는 곳이 없다. 이러 다양한 제품군에 적용되기 위해 다양한 기능의 반도체소자가 요구되며, 특히, 휴대폰 등의 모바일 제품에서는 소형, 다기능, 고속 제품에 대한 요구가 커지고 있다.

그러나, 반도체소자 자체의 미세화로 제조기술은 회로의 복잡함에 따른 개발기간의 연장, 막대한 설비투자, 공정비용의 비약적 증가로 인해 각각의 제품에 적절히 대응하기가 점점 어려워지고 있다.

이에, 하나의 대안으로 같은 종류 또는 다양한 종류의 반도체소자를 칩 상태 (chip level) 또는 웨이퍼 상태(wafer level)로 수직으로 적층하고, 비아패턴으로 적층된 웨이퍼 또는 칩들간을 회로적으로 상호 연결하여 하나의 패키지로 만드는 일명 시스템 인 패키지(System In Package : 이하, SIP)가 주목되고 있다.

이러한 SIP는 기존의 단일칩 패키지와는 상이하게 수직으로 칩을 쌓게 되므로, 동종 칩의 적층으로 저장밀도를 높이거나, 정보 저장기능, 논리연산 기능의 칩을 쌓아 복합 기능의 패키지를 제조함으로써 적용되는 최종제품을 보다 소형화, 경량화 및 다기능화 할 수 있다.

아울러, 상기 SIP는 기존에 개발된 반도체 칩을 조합하여 패키징하는 것이므로, 빠른 개발기간을 가지며, 기존의 설비를 그대로 이용함으로써 최종제품의 부가가치를 향상시키고, 다양한 고객의 요구에 대응이 용이하며, 다양한 제품군을 통해 신규시장을 창출하는 효과를 갖는다.

한편, SIP를 제조하기 위해 칩 대 칩(chip to chip) 또는 웨이퍼 대 웨이퍼 (wafer to wafer)를 수직으로 쌓고 비아패턴으로 상호 연결함에 있어서, 종래에는 다음과 같은 방법으로 비아패턴을 형성하고 있다.

도 1a 내지 도 1d는 종래 SIP의 비아패턴 형성방법을 설명하기 위한 공정별 단면도이다.

먼저, 도 1a에 도시된 바와 같이, 제조 완료된 웨이퍼(1) 상에 공지의 포토리소그래피 공정에 따라 비아패턴 형성 영역을 노출시키는 감광막패턴(2)을 형성한다.

다음으로, 도 1b에 도시된 바와 같이, 상기 감광막패턴을 식각장벽으로 이용해서 노출된 웨이퍼 영역들을 식각하여 깊은 트렌치(3)를 형성한다. 그런다음, 식각장벽으로 이용된 감광막패턴을 제거한다. 이때, 상기 트렌치(3)는 웨이퍼(1)를 관통하지 않는 깊이로 형성함이 바람직하다.

이어서, 도 1c에 도시된 바와 같이, 트렌치(3) 내에 도전막, 예컨대, 전기전도성이 우수한 금속막을 매립(gap fill)시켜 비아패턴(4)을 형성한다. 이때, 상기 트렌치(3)의 매립은 1차로 씨드층을 형성한 후, 2차로 도금 공정을 진행하는 방식으로 이루어진다.

그리고나서, 도 1d에 도시된 바와 같이, 상기 비아패턴(4)이 노출되도록 웨이퍼(1)의 후면을 그라인딩하여 최종적으로 비아패턴(4)의 형성을 완성한다.

그러나, 전술한 종래의 비아패턴 형성방법은 칩 대 칩 또는 웨이퍼 대 웨이퍼간의 적층시 비아패턴에 범프를 추가 형성해 주어야만 하는 바, 공정이 복잡하다는 문제점이 있다.

이에, 도 2에 도시된 바와 같이, 비아패턴(4)이 형성된 웨이퍼(1)의 후면에 대해 상기 비아패턴(4)은 식각하지 않고 웨이퍼(1)만을 식각하는 플라즈마 식각을 이용한 백그라인딩을 적용하여 상기 웨이퍼(1)의 후면 일부 두께를 더 식각해 줌으로써 비아패턴(4)의 형성시 금속 범프(10)를 함께 형성해주는 방법이 제안되었다.

그런데, 이 방법은 트렌치 매립 물질이 대개의 경우 Cu막인 것과 관련해서 범프의 용융점(melting point)가 높아 본딩 공정이 고온에서 진행되어야 하는 등의 공정상의 어려움이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래의 제반 문제점을 해결하기 위해 안출된 것으로서, 공정 단순를 이룰 수 있는 SIP의 비아패턴 형성방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명은, 웨이퍼 대 웨이퍼 또는 칩 대 칩을 수직으로 적층하고, 비아패턴으로 적층된 웨이퍼 또는 칩들간을 회로적으로 상호 연결하여 제조하는 SIP의 비아패턴 형성방법으로서, 웨이퍼 상에 비아패턴 형성 영역을 노출시키는 감광막패턴을 형성하는 단계; 상기 노출된 웨이퍼 영역을 식각하여 깊은 트렌치를 형성하는 단계; 상기 감광막패턴을 포함한 트렌치 표면 상에 제1씨드층을 증착하는 단계; 상기 트렌치를 매립하도록 제1씨드층 상에 솔더 금속막을 도금하는 단계; 상기 감광막패턴이 노출되도록 솔더금속막과 제1씨드층을 식각하는 단계; 상기 트렌치 저면에만 잔류되도록 상기 트렌치 내에 매립된 제1씨드층을 포함한 솔더금속막의 일부 두께를 제거하는 단계; 상기 잔류된 제1씨드층 및 솔더금속막과 트렌치 표면 및 감광막패턴 상에 제2씨드층을 증착하는 단계; 상기 트렌치를 매립하도록 제2씨드층 상에 금속막을 도금하는 단계; 상기 감광막패턴이 노출되도록 금속막과 제2씨드층을 식각하는 단계; 상기 감광막패턴을 제거하여 웨이퍼의 상부면에 제1범프를 형성하는 단계; 및 상기 솔더금속막이 노출되도록 웨이퍼의 후면을 선택적으로 식각하여 제2범프를 형성하는 단계를 포함하는 것을 특징으로 하는 시스템 인 패키지의 비아패턴 형성방법을 제공한다.

(실시예)

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

먼저, 본 발명의 기술적 원리를 설명하면, 본 발명은 SIP를 제조하기 위한 비아패턴을 형성함에 있어서 트렌치 매립시 전해도금법을 이용하여 트렌치의 저면은 솔더금속막으로 매립시키고, 그 위쪽은 전기전도성이 우수한 금속막, 예컨대, Cu막으로 매립시킨다. 그리고, 비아패턴의 위쪽, 즉, 웨이퍼의 상부면쪽에는 도금 공정후에 감광막패턴을 제거하여 범프를 형성해 주며, 아울러, 비아패턴의 아래쪽, 즉, 웨이퍼의 하부면쪽에는 웨이퍼만을 선택적으로 식각하는 백그라인딩 방법으로 범프를 형성해 준다.

이렇게 하면, 웨이퍼의 하부면에 형성된 범프는 솔더금속막으로 이루어지므로, 저온에서 종래의 방법 보다 신뢰성이 높은 웨이퍼 대 웨이퍼, 또는, 칩 대 칩의 본딩을 이룰 수 있게 된다. 또한, 비아패턴의 형성시 웨이퍼의 상,하부면쪽 모두에 범프를 동시에 형성시킴으로써 공정 단순화를 이룰 수 있다.

자세하게, 도 3a 내지 도 3g는 본 발명에 따른 SIP의 비아패턴 형성방법을 설명하기 위한 공정별 단면도로서, 이를 설명하면 다음과 같다. 여기서, 각 도면은 비아패턴 형성 영역에 대해서만 도시하도록 한다.

도 3a를 참조하면, 반도체 제조 공정이 완료된 웨이퍼(31)를 마련한 후, 상기 웨이퍼(31)의 상부면 상에 5~20 μ m의 두께로 감광막을 도포한다. 그런다음, 상기 감광막을 노광 및 현상하여 비아홀 형성 영역을 노출시키는 감광막패턴(32)을 형성한 후, 이러한 감광막패턴(32)을 식각 장벽으로 이용해서 노출된 웨이퍼 영역을 식각하여 깊은 트렌치(33)를 형성한다. 이때, 상기 트렌치(33)는 웨이퍼(31)를 관통하지 않는 깊이, 예컨대, 20~70 μ m의 깊이로 형성한다.

도 3b를 참조하면, 트렌치를 매립하기 위해 감광막패턴(32)을 포함한 트렌치 표면 상에 제1씨드층(34)을 증착한다. 상기 제1씨드층(34)은, 예컨대, 스퍼터 등의 PVD 방법으로 증착하며, 그리고, 1000~4000Å의 두께로 증착한다. 아울러, 씨드층 물질로는 솔더와 동일한 금속으로 형성할 수 있다.

한편, 상기 제1씨드층(34)의 형성시, 웨이퍼(31)와의 접착력을 향상시키고, 특히, 후속에서 트렌치(33) 내에 매립되는 금속이 웨이퍼(31)의 내부로 침투되는 것을 방지하기 위해 확산방지막을 추가로 증착해줄 수 있다.

계속해서, 트렌치(33)를 완전 매립하도록 제1씨드층(34) 상에 도금 공정을 통해 솔더금속막(35)을 형성한다.

도 3c를 참조하면, 감광막패턴(32)이 노출되도록 솔더금속막(35)과 제1씨드층(34)을 CMP(Chemical Mechanical Polishing) 또는 에치백(Etchback)으로 전면 식각한다. 이때, 상기 CMP 또는 에치백을 이용한 전면 식각시에는 감광막패턴(32)의 일부도 함께 제거해줄 수 있다.

도 3d를 참조하면, 결과물에 대해 임의의 식각액을 이용한 습식 식각 공정을 수행하여 트렌치(33)에 매립된 솔더금속막(35) 및 제1씨드층(34)의 일정 부분을 제거하고, 이를 통해, 상기 트렌치(33)의 저면에만 솔더금속막(35)이 잔류되도록 만든다. 이때, 잔류시키는 솔더금속막(35)의 두께는 웨이퍼(31)의 후면에서 범프를 형성할 수 있을 정도의 두께, 예컨대, 5~20 μ m 정도로 한다.

도 3e를 참조하면, 웨이퍼(31) 상의 잔류된 감광막패턴(32)과 트렌치(33)의 측면 및 잔류된 솔더금속막(35) 및 제1씨드층(34) 상에 상기 제1씨드층(34)과 동일 방법, 두께 및 물질로 제2씨드층(36)을 형성한다. 그런다음, 상기 트렌치(33)를 완전 매립시키도록 제2씨드층(36) 상에 전해도금 공정으로 Cu막과 같이 전기전도성이 우수한 금속막(37)을 형성한다. 상기 제2씨드층(36)은 금속막(37)과 동일 물질로 형성할 수 있다.

도 3f를 참조하면, 감광막패턴(32)이 노출되도록 상기 금속막(37)과 제2씨드층(36)을 CMP 또는 에치백 공정으로 전면 식각하고, 이를 통해, 비아패턴(40)을 형성한다. 이때, 상기 제2씨드층(36)을 포함한 금속막(37)의 CMP 또는 에치백시에는 앞서와 마찬가지로 감광막패턴(32)의 일부를 함께 제거해줄 수 있다.

도 3g를 참조하면, 잔류된 감광막패턴을 제거하고, 이를 통해, 웨이퍼(31) 상부면의 비아패턴(40) 부위에 제2씨드층(36)을 포함한 전기전도성이 우수한 금속막(37)으로 이루어진 제1범프(40a)를 형성해준다. 이때, 상기 제1범프(40a)는 감광막패턴의 두께, 예컨대, 5~20 μ m의 두께로 형성된다.

계속해서, 웨이퍼(31)의 후면 소정 두께를 실리콘의 식각선택비가 높은 식각 방법, 예컨대, 프레임 플라즈마 건식 식각(flame plasma dry etch) 방법으로 백그라인딩하고, 이를 통해, 상기 웨이퍼(31) 후면의 비아패턴(40) 부위에 솔더금속막(35)으로 이루어진 제2범프(40b)를 형성해준다. 이때, 백그라인딩되는 웨이퍼(31)의 후면 두께는 15~65 μ m 정도가 되도록 하여 솔더금속막(35)이 노출되도록 만들며, 이 결과로 얻어지는 제2범프(40b)는 5~20 μ m의 두께가 되도록 한다.

여기서, 종래에는 비아패턴의 형성후에 범프를 형성해야 하므로, 그 공정이 번거롭지만, 본 발명은 상기 비아패턴(40)의 형성시 웨이퍼의 상,하부면쪽 모두에 범프(40a, 40b)를 형성해줌으로써 상기 범프(40a, 40b)를 포함한 비아패턴(40)의 형성 공정을 종래의 그것 보다 단순화시킬 수 있다.

상기에서, 본 발명의 바람직한 실시예에서는 제1범프의 재질로 Cu막과 같이 전기전도성이 우수한 금속막을 적용하였지만, 필요에 따라 제2범프의 재질로 동일한 솔더금속막을 적용하는 것도 가능하다.

한편, 전술한 본 발명의 방법에 따라 범프를 포함한 비아패턴을 형성한 웨이퍼들은, 도 4a에 도시된 바와 같이, 웨이퍼 대 웨이퍼로 범프(40a, 40b)끼리 정렬하여 수직으로 적층시킨다.

이어서, 도 4b에 도시된 바와 같이, 적층된 웨이퍼들(31)에 대해서 솔더금속막(35)으로 이루어진 제2범프(40b)가 녹는 온도에서 본딩 작성을 수행한다.

이후, 도시하지는 않았으나, 웨이퍼 대 웨이퍼 본딩된 결과물을 칩 레벨로 분리시켜 SIP를 제조한다.

상기에서, 웨이퍼 대 웨이퍼가 아닌, 웨이퍼의 소잉(sawing)을 통해 개별 칩들로 분리시킨 후, 칩 대 칩으로 정렬하여 적층시킨 후, 본딩 공정을 진행하는 것도 가능하다.

발명의 효과

이상에서와 같이, 본 발명은 비아패턴의 형성시 웨이퍼의 상,하부면 모두에 범프를 함께 형성해줌으로써 상기 범프를 포함한 비아패턴 형성 공정을 종래와 비교해서 단순화시킬 수 있다.

또한, 본 발명은 범프 물질로 솔더를 이용하므로써 본딩 공정에서의 신뢰성을 향상시킬 수 있으며, 특히, 종래 보다 상대적으로 저온 공정을 진행하는 것으로 인해 소자에 대한 열적 충격 인가도 줄일 수 있다.

이상, 여기에서는 본 발명을 특정 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구의 범위는 본 발명의 정신과 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당업계에서 통상의 지식을 가진 자가 용이하게 알 수 있다.

(57) 청구의 범위

청구항 1.

웨이퍼 대 웨이퍼(wafer to wafer), 또는, 칩 대 칩(chip to chip)을 수직으로 적층하고, 비아패턴으로 적층된 웨이퍼 또는 칩들간을 회로적으로 상호 연결하여 제조하는 시스템 인 패키지(system in package)의 비아패턴 형성방법으로서,

웨이퍼 상에 비아패턴 형성 영역을 노출시키는 감광막패턴을 형성하는 단계;

상기 노출된 웨이퍼 영역을 식각하여 깊은 트렌치를 형성하는 단계;

상기 감광막패턴을 포함한 트렌치 표면 상에 제1씨드층을 증착하는 단계;

상기 트렌치를 매립하도록 제1씨드층 상에 솔더금속막을 도금하는 단계;

상기 감광막패턴이 노출되도록 솔더금속막과 제1씨드층을 식각하는 단계;

상기 트렌치 저면에만 잔류되도록 상기 트렌치 내에 매립된 제1씨드층을 포함한 솔더금속막의 일부 두께를 제거하는 단계;

상기 잔류된 제1씨드층 및 솔더금속막과 트렌치 표면 및 감광막패턴 상에 제2씨드층을 증착하는 단계;

상기 트렌치를 매립하도록 제2씨드층 상에 금속막을 도금하는 단계;

상기 감광막패턴이 노출되도록 금속막과 제2씨드층을 식각하는 단계;

상기 감광막패턴을 제거하여 웨이퍼 상부면에 제1범프를 형성하는 단계; 및

상기 솔더금속막이 노출되도록 웨이퍼의 후면을 선택적으로 식각하여 제2범프를 형성하는 단계를 포함하는 것을 특징으로 하는 시스템 인 패키지의 비아패턴 형성방법.

청구항 2.

제 1 항에 있어서, 상기 감광막 패턴은 5~20 μm 의 두께로 형성하는 것을 특징으로 하는 시스템 인 패키지의 비아패턴 형성 방법.

청구항 3.

제 1 항에 있어서, 상기 트렌치는 20~70 μm 의 깊이로 형성하는 것을 특징으로 하는 시스템 인 패키지의 비아패턴 형성 방법.

청구항 4.

제 1 항에 있어서, 상기 제1씨드층 및 제2씨드층은 PVD 방법에 따라 1000~4000Å의 두께로 증착하는 것을 특징으로 하는 시스템 인 패키지의 비아패턴 형성방법.

청구항 5.

제 1 항 또는 제 4 항에 있어서, 상기 제1씨드층 및 제2씨드층은 솔더 또는 금속막과 동일 물질로 이루어진 것을 특징으로 하는 시스템 인 패키지의 비아패턴 형성방법.

청구항 6.

제 1 항에 있어서, 상기 제1씨드층 및 제2씨드층의 증착시 웨이퍼와의 접착력을 향상시키고, 웨이퍼 내부로 금속이 침투되는 것을 방지하기 위해 확산방지막을 함께 증착하는 것을 특징으로 하는 시스템 인 패키지의 비아패턴 형성방법.

청구항 7.

제 1 항에 있어서, 상기 트렌치 내에 매립된 제1씨드층을 포함한 솔더금속막의 일부 두께를 제거하는 단계는 습식 식각 공정으로 수행하는 것을 특징으로 하는 시스템 인 패키지의 비아패턴 형성방법.

청구항 8.

제 1 항 또는 제 7 항에 있어서, 상기 트렌치 내에 매립된 제1씨드층을 포함한 솔더금속막의 일부 두께를 제거하는 단계는 솔더 금속막의 잔류 두께가 5~20 μm 가 되도록 수행하는 것을 특징으로 하는 시스템 인 패키지의 비아패턴 형성방법.

청구항 9.

제 1 항에 있어서, 상기 제1범프는 5~20 μm 의 두께로 형성하는 것을 특징으로 하는 시스템 인 패키지의 비아패턴 형성방법.

청구항 10.

제 1 항에 있어서, 상기 웨이퍼 후면의 선택적 식각은 프레임 플라즈마 건식 식각(flame plasma dry etch) 방법으로 수행하는 것을 특징으로 하는 시스템 인 패키지의 비아패턴 형성방법.

청구항 11.

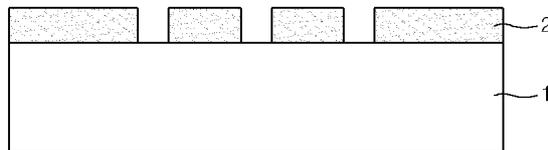
제 1 항 또는 제 10 항에 있어서, 상기 웨이퍼 후면의 선택적 식각은 웨이퍼 후면의 15~65 μm 가 제거되도록 수행하는 것을 특징으로 하는 시스템 인 패키지의 비아패턴 형성방법.

청구항 12.

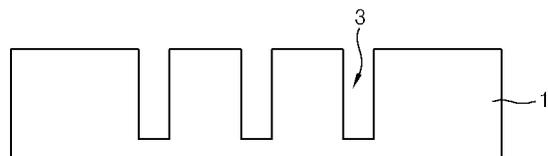
제 1 항에 있어서, 상기 제2범프는 5~20 μm 의 두께로 형성하는 것을 특징으로 하는 시스템 인 패키지의 비아패턴 형성방법.

도면

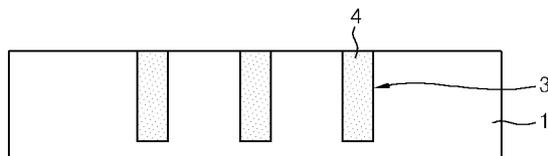
도면1a



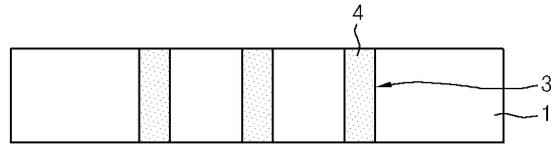
도면1b



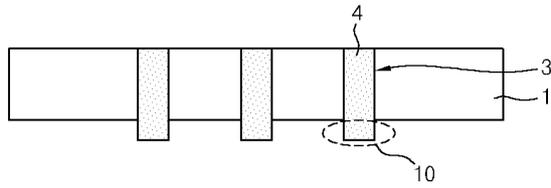
도면1c



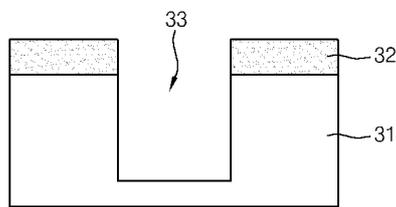
도면1d



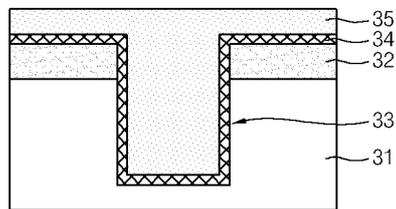
도면2



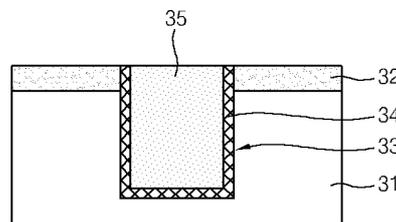
도면3a



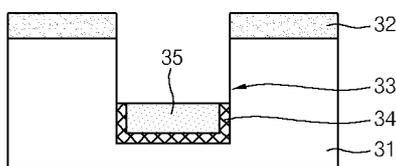
도면3b



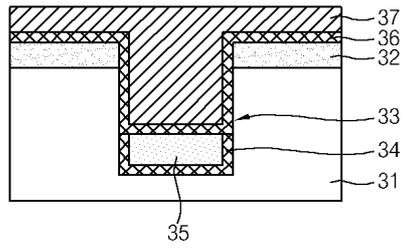
도면3c



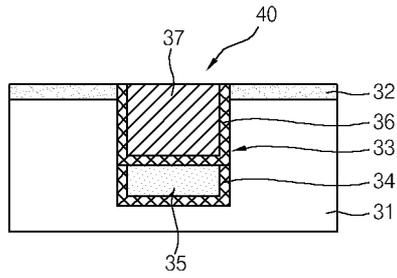
도면3d



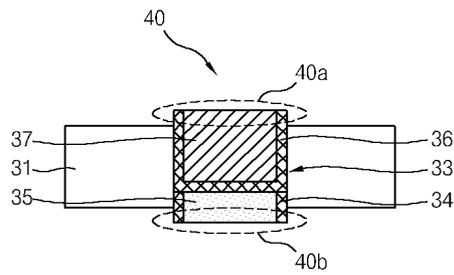
도면3e



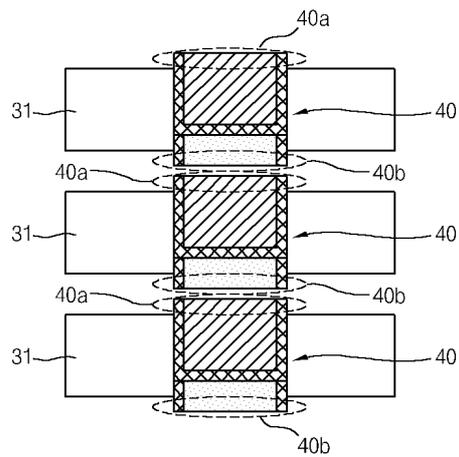
도면3f



도면3g



도면4a



도면4b

