

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 1/24 (2006.01)

G06F 13/14 (2006.01)

G06F 13/26 (2006.01)



# [12] 发明专利说明书

专利号 ZL 03136619.8

[45] 授权公告日 2007 年 2 月 28 日

[11] 授权公告号 CN 1302358C

[22] 申请日 2003.5.21 [21] 申请号 03136619.8

[73] 专利权人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

[72] 发明人 张 键 李延松

[56] 参考文献

CN1233799A 1999.11.3

USA5968156A 1999.10.19

CN1234562A 1999.11.10

审查员 盖 浩

[74] 专利代理机构 北京凯特来知识产权代理有限公司

代理人 郑立明

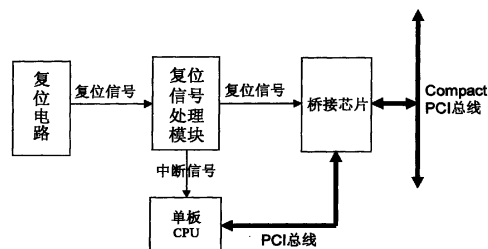
权利要求书 3 页 说明书 11 页 附图 4 页

[54] 发明名称

一种桥接芯片的复位方法及其装置

[57] 摘要

本发明涉及一种桥接芯片的复位方法及其装置。本发明的核心为：当与 CompactPCI(紧凑外部设备互联)总线相连的桥接芯片需要复位时，首先通过中断信号将该桥接芯片的数据传输过程中断，之后再向桥接芯片发送复位信号进行相应的复位处理。因此，本发明可以有效地避免当桥接芯片收到复位指令并进行复位处理时，因其他设备与该桥接芯片正在进行的数据传输过程的异常而导致 CompactPCI 总线挂死，影响整个通信系统的数据通信过程。



1、一种桥接芯片的复位方法，其特征在于包括：

确定需要复位的桥接芯片，并产生复位信号；

将复位信号进行延迟处理，同时中断该桥接芯片与总线间的数据传输过程；

当所述的数据传输过程中断后，将经过延迟处理后的复位信号发送给该桥接芯片，该桥接芯片复位。

2、根据权利要求1所述的一种桥接芯片的复位方法，其特征在于所述的将复位信号进行延迟处理过程中延迟的时间为：大于一次总线突发操作持续的时间。

3、根据权利要求1所述的一种桥接芯片的复位方法，其特征在于所述的中断该桥接芯片与总线间的数据传输过程为：

向单板中央处理器CPU发送中断信号，由单板CPU通知该桥接芯片处理完成正在进行的数据传输后，不再响应新发起的数据传输操作。

4、根据权利要求3所述的一种桥接芯片的复位方法，其特征在于所述的向单板CPU发送中断信号为：

当该信号为低电平时，直接输出给单板CPU；

当该信号为高电平时，则输出高阻，并通过外接的上拉电阻拉到高电平后输出给单板CPU。

5、根据权利要求3或4所述的一种桥接芯片的复位方法，其特征在于所述的中断信号为采用高优先级的中断信号或不可屏蔽的中断信号。

6、一种桥接芯片的复位装置，其特征在于包括：

复位电路：根据需要产生桥接芯片的复位信号，并将所述的复位信号发送给复位信号处理模块；

复位信号处理模块：接收复位电路输出的复位信号，对所述的复位信号进行延迟处理后输出给桥接芯片，并在接收复位信号的同时向单板CPU发送用于中止该桥接芯片与总线间数据传输过程的中断信号。

7、根据权利要求6所述的一种桥接芯片的复位装置，其特征在于所述的复位信号处理模块为采用可编程逻辑电路PLD或电子器件组成的电子电路实现。

8、根据权利要求6所述的一种桥接芯片复位装置，其特征在于所述的复位信号处理模块包括：

状态机：用于根据接收的复位电路输出的复位信号确定不同的状态机状态，并根据不同的状态机状态对复位信号延时处理子模块和中断信号生成子模块进行控制操作；

复位信号延时处理子模块：根据状态机的状态对复位信号进行延时处理，并当桥接芯片与总线间不存在正在传输的数据时，将复位信号发送给桥接芯片；

中断信号生成子模块：根据状态机的状态向单板CPU发送用于中断该桥接芯片与总线间数据传输过程的中断信号，令桥接芯片不再响应新的数据传输操作请求。

9、根据权利要求8所述的一种桥接芯片复位装置，其特征在于所述的不同状态机状态包括：S0，S1，S2和S3共四个状态，其中：

当状态机处于初始S0状态时，复位信号延时处理子模块输出的复位信号跟随输入的复位信号变化；

当输入的复位信号变为无效时，状态机从S0状态变为S1状态；

当输入的复位信号从无效变为有效时，状态机从S1状态变为S2状态，此时中断信号生成子模块输出有效的中断信号；

经过设定的延时时间后，状态机从S2状态变为S3状态，此时中断信号无效；

再经过设定的延时时间后，状态机从S3状态回到S0状态，此时复位信号延时处理子模块输出有效的复位信号。

10、根据权利要求6所述的一种桥接芯片的复位装置，其特征在于所述的复位信号处理模块与单板CPU间设有上拉电阻，所述上拉电阻连接到单板CPU的输入/输出电压端。

## 一种桥接芯片的复位方法及其装置

### 技术领域

本发明涉及数据通信技术领域，尤其涉及一种桥接芯片的复位方法及其装置。

### 背景技术

在目前的数据通信技术领域中，数据通信设备的单板内部各芯片之间通过PCI（外部设备互联）总线互联，而各个单板之间则是通过CompactPCI（紧凑外部设备互联）总线互相连接。为了实现数据通信设备内部的单板与外部设备进行数据通信，则需要将数据通信设备的PCI总线与CompactPCI总线进行互联，目前所采用的互联方式为在PCI总线与CompactPCI总线间设置桥接芯片，通过桥接芯片实现数据通信设备的单板间的数据通信，即单板内部各芯片依次通过自身的PCI总线、桥接芯片，以及其他单板内部各芯片的PCI总线、桥接芯片与其他单板内部各芯片实现数据通信。

所述的桥接芯片包括两个PCI总线接口，分别为一次侧PCI总线接口和二次侧PCI总线接口。其中，一次侧PCI总线接口与CompactPCI总线相连，二次侧PCI总线接口与单板内部的PCI总线相连，如图1所示，桥接芯片提供数据通信设备中的CompactPCI总线侧与单板内部PCI总线侧的桥接功能，从而实现不同单板间的数据通信。

数据通信设备内部不同单板间的信息交互通过各自的桥接芯片来实现，如图2所示。当数据通信设备中的某一个单板因某种人为或客观原因需要复位时，如果该桥接芯片没有与其他设备进行数据通信，则复位操作不会对CompactPCI总线造成不良影响，但是，如果对正在进行数据通信的桥接芯片进行复位，则可能导致在CompactPCI总线上产生异常的时序，而这种异常的时序很可能引起CompactPCI总线上其他桥接芯片状态的混乱，进一步导致CompactPCI总线挂死，而无法进行数据通信。

现结合图2对上述可能导致CompactPCI总线挂死的原因作进一步说明，参见图2，如果桥接芯片A通过CompactPCI总线与桥接芯片B进行数据通信，当数据传输正在进行时，如果外界的复位信号将桥接芯片A复位，则有可能引起桥接芯片B的状态发生异常，使CompactPCI总线上的信号时序不符合总线规范中的定义，进而影响到同一条总线上其他PCI设备的正常工作。如果桥接芯片A与桥接芯片B之间没有数据传输，那么桥接芯片A的复位就不会对总线造成任何不利影响。按照PCI总线规范，当PCI设备的复位信号有效时，该设备应当立即处于复位状态并将其与总线隔离，而不管当前是否正在进行数据传输。这样就有可能引起与被复位设备进行通信的其他设备的状态异常，从而将总线挂死，所有使用这条总线的数据传输都将中断。

由上述描述可以看出，现有的桥接芯片复位方法存在着可能导致总线挂死的问题，这在数据通信过程当中是不能够被接受的。

## 发明内容

鉴于上述现有技术所存在的问题，本发明的目的是提供一种桥接芯片的复位方法及其装置，以避免当桥接芯片收到复位指令时，仍存在正在进行传输处理的数据而导致CompactPCI总线挂死，影响整个CompactPCI总线的正常数据通信。

对于上述目的本发明是采用以下方案实现的：

本发明所述的一种桥接芯片的复位方法，包括：

确定需要复位的桥接芯片，并产生复位信号；

将复位信号进行延迟处理，同时中断该桥接芯片与总线间的数据传输过程；

当所述的数据传输过程中断后，将经过延迟处理后的复位信号发送给该桥接芯片，该桥接芯片复位。

所述的将复位信号进行延迟处理过程中延迟的时间为：大于一次总线突发操作持续的时间。

所述的中断该桥接芯片与总线间的数据传输过程为：

向单板CPU（中央处理器）发送中断信号，由单板CPU通知该桥接芯片处理完成正在进行的数据传输后，不再响应新发起的数据传输操作。

所述的向单板CPU发送中断信号为：

当该信号为低电平时，直接输出给单板CPU；

当该信号为高电平时，则输出高阻，并通过外接的上拉电阻拉到高电平后输出给单板CPU。

所述的中断信号为采用高优先级的中断信号或不可屏蔽的中断信号。

本发明所述的一种桥接芯片的复位装置，包括：

复位电路：根据需要产生桥接芯片的复位信号，并将所述的复位信号发送给复位信号处理模块；

复位信号处理模块：接收复位电路输出的复位信号，对所述的复位信号进行延迟处理后输出给桥接芯片，并在接收复位信号的同时向单板CPU发送用于中止该桥接芯片与总线间数据传输过程的中断信号。

所述的复位信号处理模块为采用PLD（可编程逻辑电路）或通常的电子器件组成的电子电路实现。

所述的复位信号处理模块包括：

状态机：用于根据接收的复位电路输出的复位信号确定不同的状态机状态，并根据不同的状态机状态对复位信号延时处理子模块和中断信号生成子模块进行控制操作；

复位信号延时处理子模块：根据状态机的状态对复位信号进行延时处理，并当桥接芯片与总线间不存在正在传输的数据时，将复位信号发送给桥接芯片；

中断信号生成子模块：根据状态机的状态向单板CPU发送用于中断该桥接芯片与总线间数据传输过程的中断信号，令桥接芯片不再响应新的数据传输操作请求。

所述的不同的状态机状态包括：S0，S1，S2和S3共4个状态，其中：

当状态机处于初始S0状态时，复位信号延时处理子模块输出的复位信号跟随输入的复位信号变化；



当输入的复位信号变为无效时，状态机从S0状态变为S1状态；

当输入的复位信号从无效变为有效时，状态机从S1状态变为S2状态，

此时中断信号生成子模块输出有效的中断信号；

经过设定的延时时间后，状态机从S2状态变为S3状态，此时中断信号无效；

再经过设定的延时时间后，状态机从S3状态回到S0状态，此时复位信号延时处理子模块输出有效的复位信号。

所述的复位信号处理模块与单板CPU间设有上拉电阻，所述上拉电阻连接到单板CPU的输入/输出电压端。

由本发明所提供的技术方案可以看出，本发明在对系统中的某一桥接芯片作复位处理时，首先通过中断信号将该桥接芯片与CompactPCI总线间的数据传输过程终止，使该桥接芯片不再响应新的数据传输操作请求，同时保证桥接芯片处理完成正在进行的数据传输过程，然后再进行针对该桥接芯片的复位处理。因此，本发明可以有效地避免当桥接芯片收到复位指令并进行复位处理时，因其他设备与该桥接芯片正在进行的数据传输过程的异常而导致CompactPCI总线挂死，影响整个系统的数据通信过程。

本发明的上述优点通过对比实验的结果便可以清楚地看出：未采用本发明时，一般桥接芯片反复被复位30次左右就会挂死CompactPCI总线，使该总线上的其他设备无法使用总线；采用本发明之后，使用同样的方法对桥接芯片复位1万次，总线上的其他设备仍然可以正常进行通信，而没有受到任何不良影响。

## 附图说明

图1为桥接芯片的应用结构示意图；

图2为桥接为芯片与CompactPCI总线的应用结构示意图；

图3为现有的桥接芯片复位方案示意图；

图4为本发明提供的桥接芯片复位方法流程图；

图5为本发明提供的桥接芯片复位装置结构示意图；

图6为图5的信号时序图；

图7为图5中复位信号处理模块与CPU间的连接结构示意图；

图8为图5中复位信号处理模块的结构示意图。

## 具体实施方式

本发明的核心是将针对桥接芯片的复位信号进行延时处理，以保证可以在桥接芯片与总线间正在进行的数据传输过程完成后对桥接芯片进行复位，从而避免影响整个系统数据传输的正常进行。

现对本发明所述的一种桥接芯片的复位方法的具体实施方式作进一步说明，如图4所示，本发明所述的方法包括：

执行步骤1，通信设备或通信系统中确定需要对某一桥接芯片进行复位处理，复位桥接芯片的目的可能是为了将桥接芯片与CompactPCI总线隔离，也可以是为了令单板重新启动并重新初始化其中的各芯片；为此需要执行步骤2以产生对桥接芯片作复位处理时需要的复位信号，复位信号通常由系统中的复位电路产生，所述的复位电路为现有技术中已有应用，在此不再赘述。

具备了步骤2产生的复位信号后，复位过程便可以进入图4所示的步骤3，步骤3包含两个操作，一个是将复位信号进行延迟处理，另一个是中断该桥接芯片与CompactPCI总线间的数据传输过程，步骤3也是本发明的核心所在；

所述的将复位电路产生的复位信号进行延时处理过程具体为：将所述的复位信号延迟大于一次总线突发操作持续的时间后，再发送给桥接芯片，保证当桥接芯片接收到复位信号时，在桥接芯片和CompactPCI总线间不存在传输处理过程中的数据，以避免桥接芯片的复位导致正在传输数据的异常，从而影响整个系统数据传输的正常进行；

所述的中断该桥接芯片与CompactPCI总线间的数据传输过程具体为：首先向单板CPU发送中断信号，令该桥接芯片完成与总线间正进行的数据传输处理后，不再响应其他设备发起的数据传输操作请求，以实现桥接芯片与CompactPCI总线的隔离；同时为了保证输入单板CPU的电压不超过允许的范围，以免损坏单板CPU，需要对输入单板CPU的中断信号进行处理，即采用目前较为常用的可以实现不同电压芯片间互连的漏级开路输出模式，当中断信号为低电平时，直接输出给单板CPU，当中断信号为高电平时，则输出高阻，并通过外接的上拉电阻拉到高电平后输出给单板CPU；为达到上述目的也可以使用电阻分压的方式来解决，不过电阻的取值较为麻烦；

另外，输入单板CPU的中断信号通常具有着不同的优先级别，为保证单板CPU对本发明所述的中断信号的可靠响应，需要采用高优先级的中断

信号或不可屏蔽的中断信号，例如，在X86系列处理器的NMI（Non Maskable Interrupt，不可屏蔽中断）中断信号，或PowerPC系列处理器的NMI中断信号和软复位中断信号，以便于单板CPU的及时响应。

经过了步骤3后，桥接芯片与CompactPCI总线间已经不存在正在传输的数据了，此时，我们便可以执行步骤4，将经过延迟处理后的复位信号发送给该桥接芯片，该桥接芯片根据接收到的复位信号进行复位，从而在未影响整个数据通信系统数据传输正常进行的情况下，实现了该桥接芯片与CompactPCI总线的隔离。

基于上述本发明所述的方法，本发明还提供了一种桥接芯片的复位装置，该装置的结构如图5所示，具体包括：

**复位电路：**根据通信设备或数据通信系统的需要产生桥接芯片的复位信号，该复位信号发送给复位信号处理模块，本发明与现有技术的区别就在于现有技术中是直接将复位电路产生的复位信号发送给桥接芯片，而在本发明中是将复位电路产生的复位信号先发送给新增加的复位信号处理模块进行处理后，再发送给桥接芯片；

**复位信号处理模块：**该模块接收复位电路输出的复位信号，对该复位信号进行延迟处理后输出给单板CPU，并在接收复位信号的同时向单板CPU发送用于中断该桥接芯片的数据传输过程的中断信号；

所述的复位信号处理模块还进一步包括状态机、复位信号延时处理子模块和中断信号生成子模块，其中：

状态机：用于根据接收的复位电路输出的复位信号确定不同的状态机状态，并根据不同的状态机状态对复位信号延时处理子模块和中断信号生成子模块进行控制操作；

所述的状态机有S0，S1，S2和S3共4个状态，根据复位输入信号的变化而在这4个状态中变化，初始为S0状态，当状态机处于S0状态时，复位信号延时处理子模块输出的复位信号跟随输入的复位信号变化；当输入的复位信号变为无效时，状态机从S0状态变为S1状态；当输入的复位信号从无效变为有效时，状态机从S1状态变为S2状态，此时中断信号生成子模块输出有效的中断信号；经过设定的延时时间后，例如30毫秒，状态机从S2状态变为S3状态，此时中断信号无效；再经过设定的延时时间后，例如30毫秒，状态机从S3状态回到S0状态，此时复位信号延时处理子模块输出有效的复位信号，状态机的状态变化参见图6所示；

复位信号延时处理子模块：用于根据状态机的状态对复位信号进行延时处理后输出给桥接芯片，当桥接芯片与总线间不存在正在传输的数据时，将复位信号发送给桥接芯片；

所述的状态机与复位信号延时处理子模块配合对复位信号延迟的时间应该大于桥接芯片响应一次数据传输操作并完成传输过程需要的时间，具体延迟的时间选择可以根据桥接芯片的数据处理能力进行确定，例如，某桥接芯片内部的缓冲区有256个字节，该桥接芯片与CompactPCI总线相连的数据线带宽为64位，则需要对复位信号延迟的时间大于 $256 / (64/8) = 32$ 个时钟周期；

中断信号生成子模块：用于根据状态机的状态，向单板CPU发送用于中断该桥接芯片与总线间数据传输过程的中断信号，令桥接芯片不再响应任何新的数据传输操作请求，以有效地将桥接芯片与CompactPCI总线隔离，保证当桥接芯片接收到经延时处理后的复位信号时，在桥接芯片和总线间不存在正在传输的数据；

所述的复位信号处理模块可以采用PLD（可编程逻辑电路），PLD具有体积小、容量大、功耗低等优点，目前在电子技术领域的电路设计中已经有了较为广泛的应用，通常一片PLD可以实现较多中小规模逻辑电路的功能，而且针对各种功能的设计灵活方便；

本发明所述的装置的时序图如图6所示，由图6可以看出，当由复位电路输出给复位信号处理模块的复位信号发生跳变而变为有效电平时，复位信号处理模块同时将产生发送给单板CPU的中断信号，而输出给桥接芯片的复位信号则需要在发送中断信号或者说是接收复位电路产生的复位信号后经过一段时间的延迟时间后，再将复位信号发送给桥接芯片，桥接芯片根据该经过延迟处理后的复位信号进行复位处理，图6中，所示的中断处理时间为通过单板CPU对桥接芯片与CompactPCI总线进行隔离的处理时间，中断信号是下降沿有效的信号，从中断信号跳变后至复位信号处理模块输出复位信号时均为中断处理时间，所示的延迟时间为复位信号处理模块接收到复位信号时间与桥接芯片接收到复位信号时间之间的间隔；

当然，本发明中所述的复位信号处理模块也可以采用普通电子器件设计相应的电子电路实现，例如，其中对复位信号的延时便可以用一个计数器实现；

另外，对于单板CPU来说还需要保证引入的中断信号的电压与其相匹配，否则，一方面可能导致单板CPU无法识别中断信号，另一方面还可能导致单板CPU管脚的损坏，例如，假设中断信号的电压是3.3V，而单板CPU能承受的输入信号电压为2.5V，则该中断信号输入单板CPU后将会由于输入电压过高而导致单板CPU的损坏；为了实现复位信号处理模块发送给单板CPU的中断信号的电压值一致，本发明中所述的复位信号处理模块与单板CPU间还需要设置有上拉电阻，如图7所示，所述上拉电阻连接到单板CPU的中断输入端，当中断信号为低电平时，直接输出给单板CPU，当中断信号为高电平时，则输出高阻，并通过所述的上拉电阻拉到单板CPU的输入/输出电压值后再输出给单板CPU，这种漏级开路输出模式的设置使单板CPU可以适应不同电压的中断信号，保证单板CPU管脚引入不同电压的中断信号时均不会被损坏，且可有效识别。

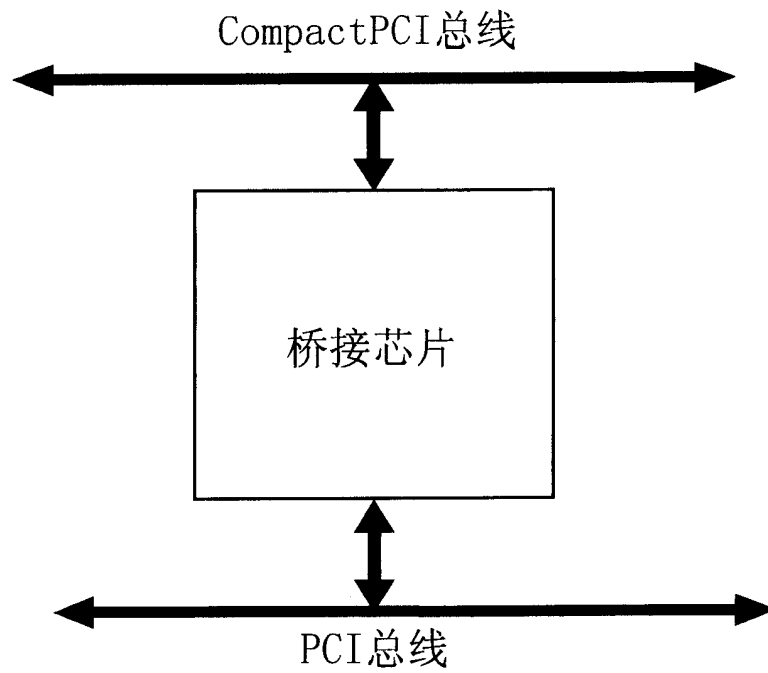


图1

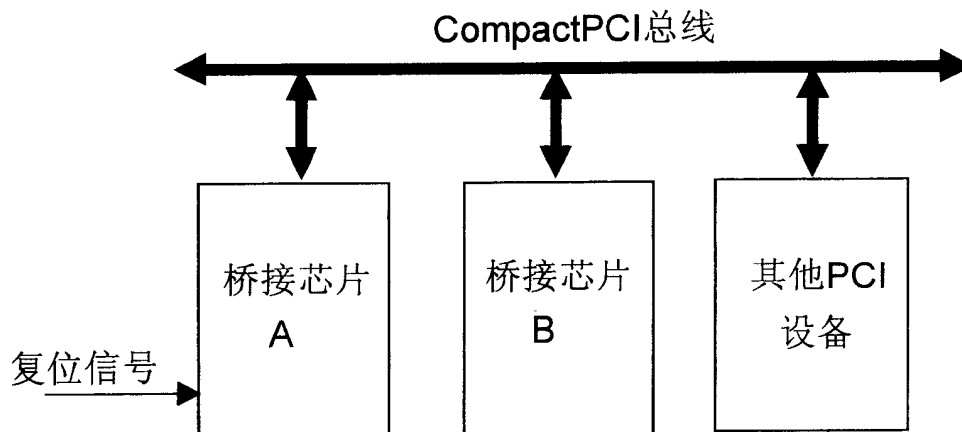


图2



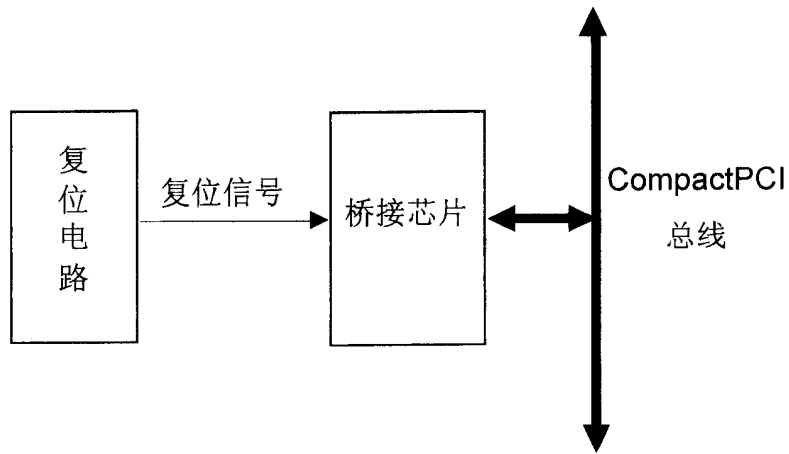


图3

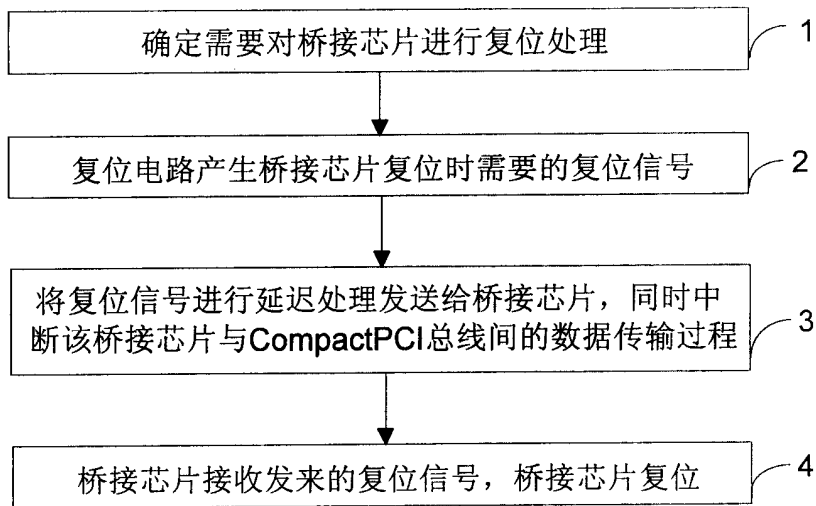


图4

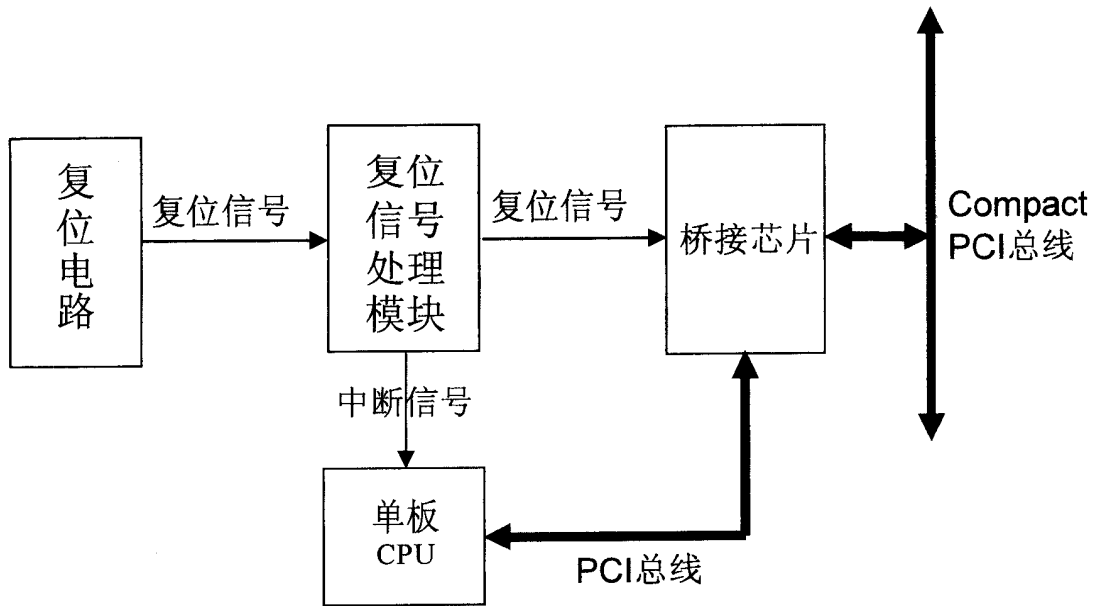


图5

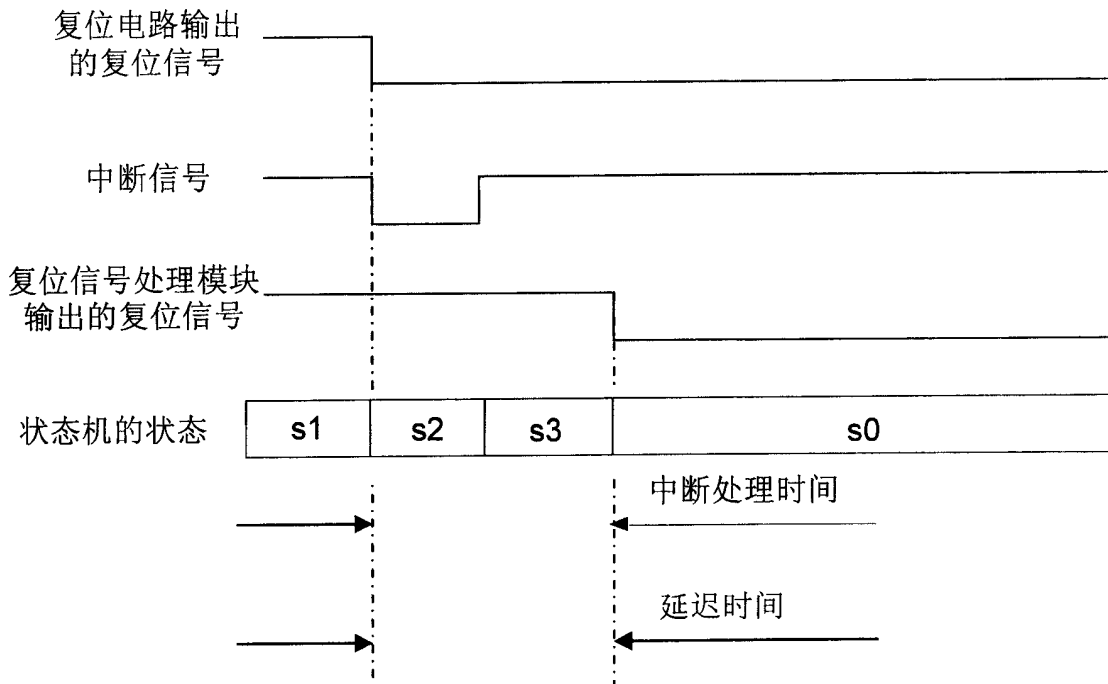


图6

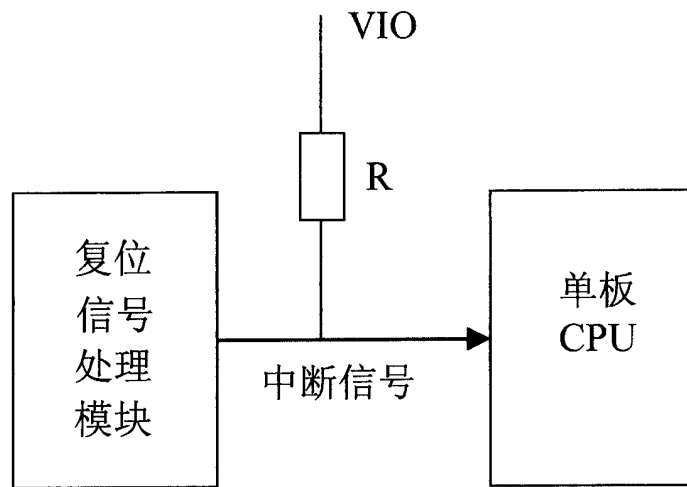


图7

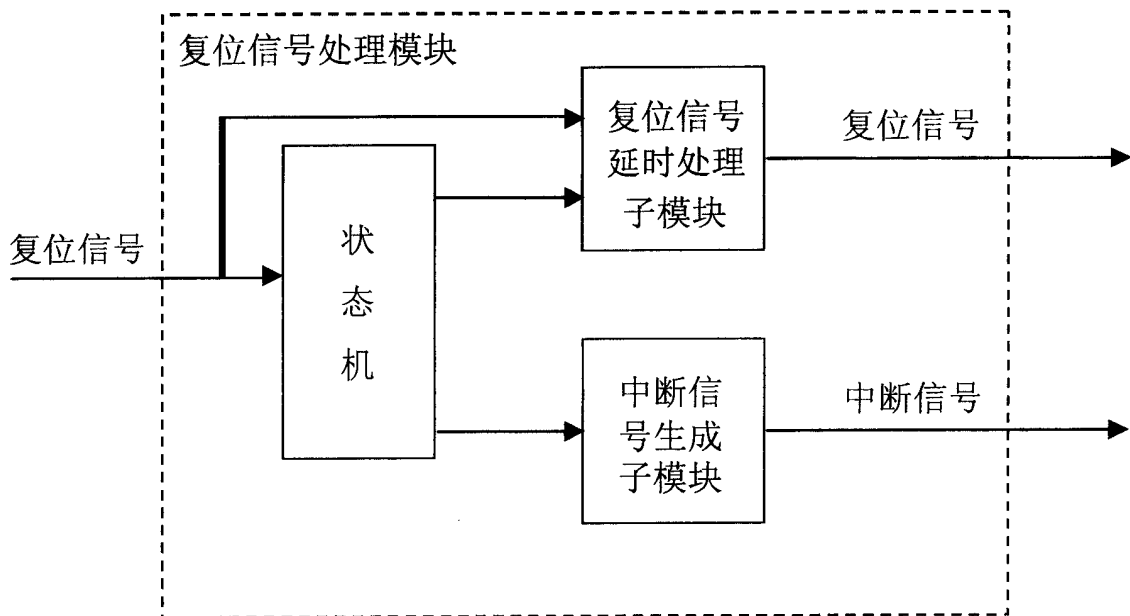


图8