



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년09월14일  
(11) 등록번호 10-2155480  
(24) 등록일자 2020년09월08일

(51) 국제특허분류(Int. Cl.)  
H04N 5/3745 (2011.01) H04N 5/369 (2011.01)  
(21) 출원번호 10-2014-0084690  
(22) 출원일자 2014년07월07일  
심사청구일자 2019년06월24일  
(65) 공개번호 10-2016-0005573  
(43) 공개일자 2016년01월15일  
(56) 선행기술조사문헌  
KR1020070038338 A\*  
KR1020130043716 A\*  
US20070052813 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전자 주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
이전숙  
서울특별시 송파구 올림픽로51길 61-9 (풍납동)  
안정착  
경기도 용인시 기흥구 동백7로 80, 2201동 1704호  
(동백동, 백현마을코아루아파트)  
(뒷면에 계속)  
(74) 대리인  
특허법인가산

전체 청구항 수 : 총 8 항

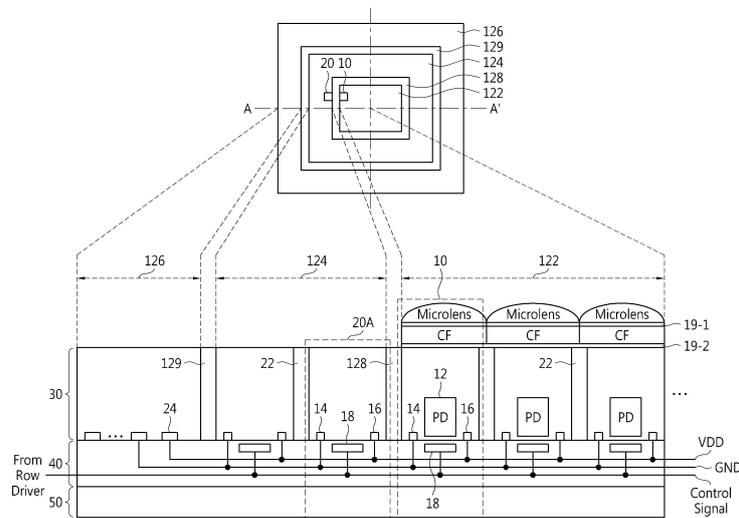
심사관 : 양정미

(54) 발명의 명칭 이미지 센서, 이를 포함하는 이미지 처리 시스템, 및 이를 포함하는 휴대용 전자 장치

(57) 요약

본 발명의 실시 예에 따른 이미지 센서는 액티브 픽셀 영역에 형성되는 제1픽셀, 상기 액티브 픽셀 영역에 인접하는 더미 영역에 형성되는 제2픽셀, 및 상기 제1픽셀과 상기 제2픽셀 사이에 형성되는 제1DTI(deep trench isolation)를 포함한다.

대표도 - 도5



(72) 발명자

**정희근**

경기도 수원시 팔달구 권광로 246, 113동 1702호  
(인계동, 래미안노블클래스)

**이경호**

경기도 수원시 영통구 영통로174번길 12, 204동  
602호 (망포동, 그대가센터럴파크)

---

## 명세서

### 청구범위

#### 청구항 1

액티브 픽셀 영역에 형성되는 제1픽셀;  
상기 액티브 픽셀 영역에 인접하는 더미 영역에 형성되는 제2픽셀;  
상기 제1픽셀과 상기 제2픽셀 사이에 형성되는 제1DTI(deep trench isolation);  
상기 더미 영역에 인접하는 가드링 영역에 형성되고, 제1전압을 수신하는 가드링; 및  
상기 더미 영역과 상기 가드링 영역 사이에 형성되는 제2DTI 포함하고;  
상기 제1픽셀은 광전 변환 소자(photoelectric conversion element)를 포함하고,  
상기 제2픽셀은 광전 변환 소자를 포함하지 않고,  
상기 제2픽셀은 복수의 트랜지스터들을 포함하고,  
상기 복수의 트랜지스터들 각각의 게이트 단자는 플로팅되는(floated) 이미지 센서.

#### 청구항 2

삭제

#### 청구항 3

제1항에 있어서,  
제1컬럼 라인; 및  
제2컬럼 라인을 더 포함하고,  
상기 제1픽셀은 상기 제1컬럼 라인과 접속되며,  
상기 제2픽셀은 상기 제2컬럼 라인과 접속되지 않는 이미지 센서.

#### 청구항 4

삭제

#### 청구항 5

액티브 픽셀 영역에 형성되는 제1픽셀;  
상기 액티브 픽셀 영역에 인접하는 더미 영역에 형성되는 제2픽셀;  
상기 제1픽셀과 상기 제2픽셀 사이에 형성되는 제1DTI(deep trench isolation);  
상기 더미 영역에 인접하는 가드링 영역에 형성되고, 제1전압을 수신하는 가드링; 및  
상기 더미 영역과 상기 가드링 영역 사이에 형성되는 제2DTI 포함하고;  
상기 제1픽셀은 광전 변환 소자(photoelectric conversion element)를 포함하고,  
상기 제2픽셀은 광전 변환 소자를 포함하지 않고, 상기 제2픽셀은 복수의 트랜지스터들을 포함하며,  
상기 복수의 트랜지스터들 각각의 게이트 단자는 상기 가드링과 접속되고, 상기 제1전압은 접지 전압과 정전압 중에서 어느 하나인 이미지 센서.

#### 청구항 6

제5항에 있어서,  
 제1컬럼 라인; 및  
 제2컬럼 라인을 더 포함하고,  
 상기 제1픽셀은 상기 제1컬럼 라인과 접속되며,  
 상기 제2픽셀은 상기 제2컬럼 라인과 접속되지 않는 이미지 센서.

**청구항 7**

이미지 데이터를 생성하는 이미지 센서; 및  
 상기 이미지 데이터를 처리하는 프로세서를 포함하며,  
 상기 이미지 센서는,  
 액티브 픽셀 영역에 형성되는 제1픽셀;  
 상기 액티브 픽셀 영역에 인접하여 위치하는 더미 영역에 형성되는 제2픽셀;  
 상기 제1픽셀과 상기 제2픽셀 사이에 형성되는 제1DTI;  
 상기 더미 영역에 인접하는 가드링 영역에 형성되고, 제1전압을 수신하는 가드링; 및  
 상기 더미 영역과 상기 가드링 영역 사이에 형성되는 제2DTI를 포함하되,  
 상기 제2픽셀은 복수의 트랜지스터들을 포함하고,  
 상기 복수의 트랜지스터들 각각의 게이트 단자는 플로팅되는(floated) 이미지 처리 시스템.

**청구항 8**

제7항에 있어서,  
 상기 제1픽셀은 광전 변환 소자를 포함하고,  
 상기 제2픽셀은 광전 변환 소자를 포함하지 않는 이미지 처리 시스템.

**청구항 9**

제7항에 있어서,  
 상기 이미지 데이터를 상기 프로세서로 전송하는 카메라 시리얼 인터페이스(camera serial interface)를 더 포함하는 이미지 처리 시스템.

**청구항 10**

이미지 데이터를 생성하는 이미지 센서; 및  
 상기 이미지 데이터를 디스플레이하는 디스플레이를 포함하며,  
 상기 이미지 센서는,  
 액티브 픽셀 영역에 형성되는 제1픽셀;  
 상기 액티브 픽셀 영역에 인접하는 더미 영역에 형성되는 제2픽셀;  
 상기 제1픽셀과 상기 제2픽셀 사이에 형성되는 제1DTI;  
 상기 더미 영역에 인접하는 가드링 영역에 형성되고, 각각이 제1전압을 수신하는 가드링; 및  
 상기 더미 영역과 상기 가드링 영역 사이에 형성되는 제2DTI를 더 포함하며,  
 상기 제1픽셀은 광전 변환 소자를 포함하고,

상기 제2픽셀은 광전 변환 소자를 포함하지 않고,

상기 제2픽셀은 복수의 트랜지스터들을 포함하며,

상기 복수의 트랜지스터들 각각의 게이트 단자는 상기 가드링과 접속되고, 상기 제1전압은 접지 전압과 정전압 중에서 어느 하나인 휴대용 전자 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 개념에 따른 실시 예는 이미지 센서에 관한 것으로, 특히 액티브 픽셀 영역과 가드링 영역 사이에 더미 영역을 형성할 수 있는 이미지 센서, 이를 포함하는 이미지 처리 시스템, 및 이를 포함하는 휴대용 전자 장치에 관한 것이다.

**배경 기술**

[0002] 이미지 센서는 광 이미지(optical image)를 전기적 신호로 변환하는 장치이다. 상기 이미지 센서는 디지털 카메라 또는 다른 이미지 처리 장치에 사용된다.

[0003] 이미지 센서는 CCD(charged coupled device) 이미지 센서와 CMOS (complementary metal-oxide-semiconductor) 이미지 센서로 분류된다.

[0004] 이미지 센서는 복수의 픽셀들이 매트릭스 형태로 배열된 액티브 픽셀 영역(또는 액티브 픽셀 어레이)을 포함한다. 상기 복수의 픽셀들 각각은 광전 변환 소자를 포함하고, 상기 광전 변환 소자는 입사되는 빛의 양에 따라 가변되는 전기 신호를 생성하며, 이미지 센서는 상기 전기 신호를 처리하여 이미지 데이터를 생성할 수 있다.

[0005] 액티브 픽셀 영역에 형성된 복수의 픽셀들 각각은 복수의 트랜지스터들을 포함하며, 상기 복수의 픽셀들 사이에서 발생하는 크로스토크(crosstalk)를 줄이기 위해 DTI(deep trench isolation)가 형성된다.

[0006] 상기 DTI는 에칭(etching) 공정을 이용하여 일정한 패턴으로 형성되고, 상기 액티브 픽셀 영역의 중앙 부분에 형성되는 복수의 픽셀들과 달리 가로 방향 및 세로 방향 각각의 양 에지들(edges)에 형성되는 복수의 픽셀들 각각에 포함되는 트랜지스터들과 DTI들은 제조 공정상의 문제로 인해 균일성(uniformity)이 저하되어 패턴 불량을 야기할 수 있다.

[0007] 상기 패턴 불량으로 인해 이미지 센서의 이미지 품질이 낮아질 수 있으므로, 트랜지스터들과 DTI들의 균일성 저하 문제를 해결하여 상기 이미지 품질을 향상하기 위한 노력이 요구된다.

**발명의 내용**

**해결하려는 과제**

[0008] 본 발명이 이루고자 하는 기술적인 과제는, 액티브 픽셀 영역에 형성되는 픽셀들 각각의 트랜지스터들과, 상기 픽셀들 사이에 형성되는 DTI(deep trench isolation)의 균일성(uniformity)을 높임으로써 성능을 향상시킬 수 있는 이미지 센서, 이를 포함하는 이미지 처리 시스템, 및 이를 포함하는 휴대용 전자 장치를 제공하는 것이다.

**과제의 해결 수단**

[0009] 본 발명의 실시 예에 따른 이미지 센서는 액티브 픽셀 영역에 형성되는 제1픽셀과, 상기 액티브 픽셀 영역에 인접하는 더미 영역에 형성되는 제2픽셀, 및 상기 제1픽셀과 상기 제2픽셀 사이에 형성되는 제1DTI(deep trench isolation)를 포함한다.

[0010] 상기 제1픽셀은 광전 변환 소자(photoelectric conversion element)를 포함하고, 상기 제2픽셀은 광전 변환 소자를 포함하지 않는다.

[0011] 실시 예에 따라, 상기 이미지 센서는 제1컬럼 라인 및 제2컬럼 라인을 더 포함하고, 상기 제1픽셀은 상기 제1컬럼 라인과 접속되며, 상기 제2픽셀은 상기 제2컬럼 라인과 접속되지 않는다.

[0012] 다른 실시 예에 따라, 상기 제2픽셀은 복수의 트랜지스터들을 포함하고, 상기 복수의 트랜지스터들 각각의 게이

트 단자는 플로팅된다(floated).

- [0013] 상기 이미지 센서는 상기 더미 영역에 인접하는 가드링(guardring) 영역에 형성되고, 제1전압을 수신하는 가드링 및 상기 더미 영역과 상기 가드링 영역 사이에 형성되는 제2DTI를 더 포함한다.
- [0014] 실시 예에 따라, 상기 제2픽셀은 복수의 트랜지스터들을 포함하며, 상기 복수의 트랜지스터들 각각의 게이트 단자는 상기 가드링과 접속된다. 상기 제1전압은 접지 전압이거나, 정전압일 수 있다.
- [0015] 본 발명의 실시 예에 따른 이미지 처리 시스템은 이미지 데이터를 생성하는 이미지 센서 및 상기 이미지 데이터를 처리하는 프로세서를 포함하며, 상기 이미지 센서는 액티브 픽셀 영역에 형성되는 제1픽셀과, 상기 액티브 픽셀 영역에 인접하여 위치하는 더미 영역에 형성되는 제2픽셀과, 상기 제1픽셀과 상기 제2픽셀 사이에 형성되는 제1DTI와, 상기 더미 영역에 인접하는 가드링 영역에 형성되고, 제1전압을 수신하는 가드링, 및 상기 더미 영역과 상기 가드링 영역 사이에 형성되는 제2DTI를 포함한다.
- [0016] 실시 예에 따라, 상기 제1픽셀은 광전 변환 소자를 포함하고, 상기 제2픽셀은 광전 변환 소자를 포함하지 않는다.
- [0017] 상기 제2픽셀은 컬러 필터를 포함하지 않을 수 있고, 마이크로 렌즈를 포함하지 않을 수 있다.
- [0018] 상기 이미지 처리 시스템은 상기 이미지 데이터를 상기 프로세서로 전송하는 카메라 시리얼 인터페이스(camera serial interface)를 더 포함한다.
- [0019] 본 발명의 실시 예에 따른 휴대용 전자 장치는 이미지 데이터를 생성하는 이미지 센서 및 상기 이미지 데이터를 디스플레이하는 디스플레이를 포함하며, 상기 이미지 센서는 액티브 픽셀 영역에 형성되는 제1픽셀과, 상기 액티브 픽셀 영역에 인접하는 더미 영역에 형성되는 제2픽셀과, 상기 제1픽셀과 상기 제2픽셀 사이에 형성되는 제1DTI와, 상기 더미 영역에 인접하는 가드링 영역에 형성되고, 각각이 제1전압을 수신하는 가드링, 및 상기 더미 영역과 상기 가드링 영역 사이에 형성되는 제2DTI를 더 포함하며, 상기 제1픽셀은 광전 변환 소자를 포함하고, 상기 제2픽셀은 광전 변환 소자를 포함하지 않는다.

**발명의 효과**

- [0020] 본 발명의 실시 예에 따른 이미지 센서는 액티브 픽셀 영역과 가드링 영역 사이에 더미 영역을 형성하고, 상기 더미 영역에 상기 액티브 픽셀 영역에 형성된 액티브 픽셀과 동일한 트랜지스터들과 DTI 구조를 갖는 더미 픽셀을 형성함으로써, 상기 액티브 픽셀의 트랜지스터들의 균일성과, 상기 액티브 픽셀들 사이에 형성되는 DTI의 균일성을 높일 수 있는 효과가 있다. 따라서 상기 이미지 센서의 성능이 향상되는 효과가 있다.

**도면의 간단한 설명**

- [0021] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.
  - 도 1은 본 발명의 일 실시 예에 따른 이미지 처리 시스템의 블록도를 나타낸다.
  - 도 2 내지 도 4 각각은 도 1에 도시된 액티브 픽셀 영역과 더미 영역을 포함하는 이미지 센서의 개략적인 블록도이다.
  - 도 5는 도 1에 도시된 액티브 픽셀 영역, 더미 영역, 및 가드링 영역을 포함하는 이미지 센서의 단면도이다.
  - 도 6 내지 도 8은 도 5에 도시된 더미 영역에 포함된 제2픽셀의 단면도들의 실시 예들을 나타낸다.
  - 도 9 내지 도 12는 4-트랜지스터 구조를 갖는 제2픽셀의 다양한 실시 예들에 따른 회로도들을 나타낸다.
  - 도 13 내지 도 16은 3-트랜지스터 구조를 갖는 제2픽셀의 다양한 실시 예들에 따른 회로도들을 나타낸다.
  - 도 17 내지 도 20은 5-트랜지스터 구조를 갖는 제2픽셀의 다양한 실시 예들에 따른 회로도들을 나타낸다.
  - 도 21 내지 도 24는 포토게이트 구조를 갖는 제2픽셀의 다양한 실시 예들에 따른 회로도들을 나타낸다.
  - 도 25는 도 1에 도시된 이미지 센서를 포함하는 전자 시스템의 일 실시 예를 나타내는 블록도이다.
  - 도 26은 도 1에 도시된 이미지 센서를 포함하는 전자 시스템의 다른 실시 예를 나타내는 블록도이다.
  - 도 27은 본 발명의 실시 예에 따른 이미지 센서의 제조공정을 나타낸 플로우차트이다.

**발명을 실시하기 위한 구체적인 내용**

- [0022] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명은 단지 본 발명의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.
- [0023] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.
- [0024] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않은 채, 제1구성 요소는 제2구성 요소로 명명될 수 있고 유사하게 제2구성 요소는 제1구성 요소로도 명명될 수 있다.
- [0025] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0026] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0027] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 나타낸다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0028] 이하, 본 명세서에 첨부된 도면들을 참조하여 본 발명의 실시 예들을 상세히 설명한다.
- [0029] 도 1은 본 발명의 일 실시 예에 따른 이미지 처리 시스템의 블록도를 나타낸다.
- [0030] 도 1을 참조하면, 이미지 처리 시스템(100)은 휴대용 전자 장치로 구현될 수 있다. 상기 휴대용 전자 장치는 랩탑 컴퓨터(laptop computer), 이동 전화기, 스마트 폰(smart phone), 태블릿(tablet) PC, PDA(personal digital assistant), EDA (enterprise digital assistant), 디지털 스틸 카메라(digital still camera), 디지털 비디오 카메라(digital video camera), PMP(portable multimedia player), 모바일 인터넷 장치(mobile internet device(MID), 웨어러블 컴퓨터, 사물 인터넷 (internet of things(IoT)) 장치, 또는 만물 인터넷(internet of everything(IoE)) 장치로 구현될 수 있다.
- [0031] 이미지 처리 시스템(100)은 광학 렌즈(103), CMOS 이미지 센서(110), 디지털 신호 프로세서(digital signal processor(DSP); 200), 및 디스플레이(300)를 포함한다. 각 구성 요소(110과 200)는 칩(chip)으로 구현될 수 있다.
- [0032] CMOS 이미지 센서(110)는 광학 렌즈(103)를 통하여 입력된(또는 캡처된) 피사체(101)에 대한 이미지 데이터(IDATA)를 생성할 수 있다.
- [0033] CMOS 이미지 센서(110)는 액티브 픽셀(또는 APS(active pixel sensor)) 영역(122), 더미 영역(124), 로우 드라이버(130), 타이밍 생성기(140), 상관 이중 샘플링(correlated double sampling(CDS)) 블록(150), 비교기 블록(152), 아날로그-디지털 변환 블록(analog-to-digital conversion(ADC) block; 154), 제어 레지스터 블록

(160), 램프 신호 생성기(170), 및 버퍼(180)를 포함한다.

- [0034] 액티브 픽셀 영역(122)은 복수의 제1픽셀들을 포함할 수 있다. 상기 복수의 제1픽셀들 각각은 입사광에 따라 생성되는 광전하를 축적하고 축적된 광전하에 상응하는 픽셀 신호를 생성할 수 있다. 상기 복수의 제1픽셀들은 매트릭스(matrix) 형태로 배열될 수 있다.
- [0035] 상기 복수의 제1픽셀들 각각은 액티브 픽셀을 나타내며, 실시 예에 따라 상기 복수의 제1픽셀들 중에서 적어도 하나는 옵티컬 블랙 픽셀(optical black pixel)로 구현될 수 있다. 상기 복수의 제1픽셀들 각각은 복수의 트랜지스터들과 광전 변환 소자를 포함할 수 있다. 예컨대, 상기 광전 변환 소자는 포토다이오드(photo diode), 포토트랜지스터(photo transistor), 포토게이트(photogate), 또는 핀드 포토다이오드(pinned photo diode)로 구현될 수 있다.
- [0036] 더미 영역(124)은 액티브 픽셀 영역(122)에 인접하여 형성될 수 있다. 실시 예에 따라, 더미 영역(124)은 도 1에 도시된 바와 같이 액티브 픽셀 영역(122)을 둘러싼 형태로 형성될 수 있으나, 이에 한정되는 것은 아니고, 액티브 픽셀 영역(122)의 가로 방향 및/또는 세로 방향에 형성될 수도 있다.
- [0037] 더미 영역(124)은 복수의 제2픽셀들을 포함할 수 있다. 상기 복수의 제2픽셀들은 매트릭스 형태로 배열될 수 있다.
- [0038] 상기 복수의 제2픽셀들 각각은 상기 복수의 제1픽셀들 각각과 동일한 구조로 구현될 수도 있고 서로 다른 구조로 구현될 수도 있다. 예컨대, 상기 복수의 제1픽셀들 각각이 4-트랜지스터 구조를 갖는다면, 상기 복수의 제2픽셀들 각각은 4-트랜지스터 구조를 가질 수 있다.
- [0039] 복수의 제2픽셀들 각각의 구조는 실시 예에 따라 다양한 형태로 변형될 수 있고, 각 실시 예에 따른 상기 복수의 제2픽셀들 각각의 구조는 도 5 내지 도 24를 참조하여 상세히 설명될 것이다.
- [0040] 로우 드라이버(130)는, 타이밍 생성기(140)의 제어에 따라, 복수의 제1픽셀들 각각의 동작을 제어하기 위한 복수의 제어 신호들을 액티브 픽셀 영역(122)으로 전송할 수 있다. 실시 예에 따라, 로우 드라이버(130)는 상기 복수의 제어 신호들을 더미 영역(124)으로 전송할 수도 있다. 즉, 로우 드라이버(130)는 로우 단위로 복수의 픽셀들의 작동을 제어할 수 있다.
- [0041] 타이밍 생성기(140)는, 제어 레지스터 블록(160)의 제어에 따라, 로우 드라이버(130), CDS 블록(150), ADC 블록(154), 및 램프 신호 생성기(170)의 작동을 제어한다.
- [0042] CDS 블록(150)은 액티브 픽셀 영역(122)에 구현된 복수의 컬럼 라인들 각각으로부터 출력된 픽셀 신호에 대해 상관 이중 샘플링을 수행한다.
- [0043] 비교기 블록(152)은 CDS 블록(150)으로부터 출력된 복수의 상관 이중 샘플링된 픽셀 신호들 각각과 램프 신호 생성기(170)로부터 출력된 램프 신호를 서로 비교하고, 비교의 결과에 따라 복수의 비교 신호들을 출력한다.
- [0044] ADC 블록(154)은 비교기 블록(152)으로부터 출력된 복수의 비교 신호들 각각을 디지털 신호로 변환하고, 복수의 디지털 신호들을 버퍼(180)로 출력한다.
- [0045] 제어 레지스터 블록(160)은, DSP(200)의 제어에 따라, 타이밍 생성기(140), 램프 신호 생성기(170), 및 버퍼(180)의 작동을 제어한다.
- [0046] 버퍼(180)는 ADC 블록(154)으로부터 출력된 복수의 디지털 신호들에 대응되는 이미지 데이터(IDATA)를 DSP(200)로 전송한다.
- [0047] DSP(200)는 이미지 신호 프로세서(210), 센서 컨트롤러(220), 및 인터페이스(230)를 포함한다.
- [0048] 이미지 신호 프로세서(210)는 제어 레지스터 블록(160)을 제어하는 센서 컨트롤러(220)와, 인터페이스(210)를 제어한다. 실시 예에 따라, 이미지 센서(110)와 DSP(200) 각각은 칩으로 구현되고, 하나의 패키지, 예컨대 멀티-칩 패키지(multi-chip package)로 구현될 수 있다. 다른 실시 예에 따라, 이미지 센서(110)와 이미지 신호 프로세서(210) 각각은 칩으로 구현되고 하나의 패키지, 예컨대 멀티-칩 패키지로 구현될 수 있다. 또 다른 실시 예에 따라, 이미지 센서(110)와 이미지 신호 프로세서(210)는 하나의 칩으로 구현될 수도 있다.
- [0049] 이미지 신호 프로세서(210)는 버퍼(180)로부터 전송된 이미지 데이터(IDATA)를 처리하고, 처리된 이미지 데이터를 인터페이스(230)로 전송한다.
- [0050] 센서 컨트롤러(220)는, 이미지 신호 프로세서(210)의 제어에 따라, 제어 레지스터 블록(160)을 제어하기 위한

다양한 제어 신호들을 생성한다.

- [0051] 인터페이스(230)는 이미지 신호 프로세서(210)에서 처리된 이미지 데이터를 디스플레이(300)로 전송한다.
- [0052] 디스플레이(300)는 인터페이스(230)로부터 출력된 이미지 데이터를 디스플레이한다. 예컨대, 디스플레이(300)는 TFT-LCD(thin film transistor-liquid crystal display), LED(light emitting diode) 디스플레이, OLED(organic LED) 디스플레이, 또는 AMOLED(active-matrix OLED) 디스플레이로 구현될 수 있다.
- [0053] 도 2 내지 도 4 각각은 도 1에 도시된 액티브 픽셀 영역과 더미 영역을 포함하는 이미지 센서의 개략적인 블록도이다.
- [0054] 도 1 내지 도 4를 참조하면, 이미지 센서(110A~110C, 집합적으로 110)는 액티브 픽셀 영역(122)과 더미 영역(124A~124C, 집합적으로 124)을 포함할 수 있다. 액티브 픽셀 영역(122)은 복수의 제1픽셀들(AP 또는 10)을 포함할 수 있고, 더미 영역(124)은 복수의 제2픽셀들(DP 또는 20)을 포함할 수 있다.
- [0055] 도 1 내지 도 4는 복수의 제2픽셀들(20) 각각이 대응되는 컬럼 라인(CL1~CLm)에 접속되는지 여부 및/또는 복수의 제어 신호들을 수신하는지 여부에 따른 실시예들이 도시되어 있다. 복수의 제2픽셀들(20) 각각의 구조와 작동은 도 5 내지 도 24를 참조하여 상세히 설명될 것이다.
- [0056] 도 2를 참조하면, 로우 드라이버(130)는 복수의 제어 신호들을 복수의 제1픽셀들(10) 각각으로 전송할 수 있다. 복수의 제1픽셀들(10) 각각은, 상기 복수의 제어 신호들에 따라, 컬럼 라인들(CL2~CLm-1) 각각으로 출력할 수 있다. 각 제1픽셀(10)은 대응되는 각 컬럼 라인(CL2~CLm-1)에 접속된다.
- [0057] 복수의 제2픽셀들(20) 각각은 컬럼 라인들(CL1~CLm) 각각에 접속되지 않고 로우 드라이버(130)로부터 출력된 복수의 제어 신호들을 수신하지 않는다. 따라서, CDS 블록(150)은 복수의 제1픽셀들(10) 각각으로부터 출력된 픽셀 신호에 대해서만 상관 이중 샘플링을 수행할 수 있다.
- [0058] 도 3을 참조하면, 로우 드라이버(130)는 로우 단위로 복수의 제어 신호들을 복수의 제1픽셀들(10) 각각과 복수의 제2픽셀들(20) 각각으로 전송할 수 있다.
- [0059] 복수의 제1픽셀들(10) 각각은, 상기 복수의 제어 신호들에 따라, 복수의 제1픽셀들(10) 각각에 접속된 컬럼 라인들(CL2~CLm-1) 각각으로 픽셀 신호를 출력할 수 있다. 그러나, 복수의 제2픽셀들(20) 각각은 컬럼 라인들(CL1~CLm) 각각에 접속되지 않는다. 따라서, CDS 블록(150)은 복수의 제1픽셀들(10) 각각으로부터 출력된 픽셀 신호에 대해서만 상관 이중 샘플링을 수행할 수 있다.
- [0060] 도 4를 참조하면, 복수의 제2픽셀들(20) 각각은 복수의 제어 신호들을 수신하지는 않으나 컬럼 라인들(CL1~CLm) 중에서 대응하는 어느 하나에 접속될 수 있다. 복수의 제2픽셀들(20) 각각은 복수의 제어 신호들을 수신하지 않으므로 작동하지 않고, 컬럼 라인들(CL1~CLm) 중에서 대응되는 어느 하나에 접속되어 있더라도 픽셀 신호를 출력하지 않을 수 있다.
- [0061] 도 5는 도 1에 도시된 액티브 픽셀 영역, 더미 영역, 및 가드링 영역을 포함하는 이미지 센서를 A-A' 방향을 따라 수직으로 절단한 단면도(cross-sectional view)이고, 도 6 내지 도 8은 도 5에 도시된 더미 영역에 포함된 제2픽셀의 단면도들의 실시 예들을 나타낸다.
- [0062] A-A' 단면의 우측 절반은 좌측 절반과 대칭이므로, 도 5에서는 설명의 편의를 위해 A-A' 단면의 좌측 절반만을 도시하기로 한다.
- [0063] 도 5 내지 도 8 각각에 도시된 이미지 센서의 단면도는 BSI(backside illumination) 방식인 경우를 도시하였으나, 실시 예에 따라 이미지 센서는 FSI(frontside illumination) 방식으로 구현될 수 있다.
- [0064] 도 1, 및 도 5 내지 도 8을 참조하면, 본 발명의 실시 예에 따른 이미지 센서(110)는 액티브 픽셀 영역(122), 더미 영역(124), 가드링 영역(126), 제1DTI(deep trench isolation; 128), 및 제2DTI(129)를 포함할 수 있다.
- [0065] 액티브 픽셀 영역(122)은 복수의 제1픽셀들(10), 및 복수의 제1픽셀들(10) 사이에 형성되는 DTI(22)를 포함할 수 있다. 도 5에서는 제1픽셀(10)의 일 실시 예로서 액티브 픽셀이 도시되어 있으나, 실시 예에 따라 제1픽셀(10)은 옵티컬 블랙 픽셀로 구현될 수도 있다. 본 명세서에서는 제1픽셀(10)이 액티브 픽셀인 경우에 대해 서술하기로 한다.
- [0066] 더미 영역(124)에는 복수의 제2픽셀들(20A, 20B, 20C, 또는 20D) 및 복수의 제2픽셀들(20A, 20B, 20C, 또는 20D) 사이에 DTI(22)가 형성될 수 있다.

- [0067] 제1픽셀(10)과 제2픽셀(20A, 20B, 20C, 또는 20D)은 에피텍셀 층(epitaxial layer; 30), 및 배선층(40)을 포함할 수 있다.
- [0068] 에피텍셀 층(30)은 예컨대, 실리콘(silicon)을 성장시켜 생성할 수 있다. 에피텍셀 층(30)은 광전 변환 소자(PD 또는 12), 접지 전압 단자(14), 및 전원 전압 단자(16)를 포함할 수 있다.
- [0069] 제2픽셀(20A, 20B, 20C, 또는 20D)은 광전 변환 소자(12)에 상응하는 광전 변환 소자를 포함하지 않는다. 그러나, 실시 예에 따라 제2픽셀(20A, 20B, 20C, 또는 20D)이 광전 변환 소자(PD 또는 12)를 포함할 수 있다.
- [0070] 광전 변환 소자(12)는 마이크로 렌즈를 통과한 입사광의 세기에 따라 생성된 광전하를 축적할 수 있다. 예컨대, 광전 변환 소자(12)는 포토다이오드(photo diode), 포토트랜지스터(photo transistor), 포토게이트(photogate), 또는 핀드 포토다이오드(pinned photo diode)로 구현될 수 있다.
- [0071] 접지 전압 단자(14)는 가드링 영역(126)의 복수의 가드링들(24) 중에서 접지 전압(GND)을 수신하는 가드링과 접속될 수 있다. 접지 전압(GND)은 예컨대, 0V 일 수 있다.
- [0072] 전원 전압 단자(16)는 가드링 영역(126)의 복수의 가드링들(24) 중에서 전원 전압(VDD)을 수신하는 가드링과 접속될 수 있다. 전원 전압(VDD)은 예컨대, 2V에서 5V의 범위를 가질 수 있다.
- [0073] 에피텍셀 층(30)은 복수의 트랜지스터들 각각의 소스 단자(미도시)와 드레인 단자(미도시), 및 플로팅 디퓨전 노드(floating diffusion node; 미도시)를 더 포함할 수 있다.
- [0074] 배선층(40)은 상기 복수의 트랜지스터들 각각의 게이트 단자(18) 및 복수의 도전 라인들을 포함할 수 있다.
- [0075] 도 5 내지 도 8에서는 설명의 편의를 위해 하나의 게이트 단자(18)와 하나의 제어 신호(CS)만을 도시하였으나, 게이트 단자(18)의 수와 제어 신호(CS)의 수는 복수 개일 수 있다.
- [0076] 게이트 단자(18)는 로우 드라이버(130)로부터 전송되는 각각의 제어 신호(CS)를 입력받거나 플로팅 디퓨전 노드(미도시)에 연결될 수 있다. 게이트(18)와 에피텍셀 층(30) 사이에는 게이트 절연막(미도시)이 형성될 수 있다.
- [0077] 게이트 절연막(미도시)은 SiO<sub>2</sub>, SiON, SiN, Al<sub>2</sub>O<sub>3</sub>, Si<sub>3</sub>N<sub>4</sub>, GexOyNz, GexSiyOz 또는 고유전율 물질일 수 있고, 고유전율 물질은 HfO<sub>2</sub>, ZrO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, Ta<sub>2</sub>O<sub>5</sub>, 하프늄 실리케이트, 지르코늄 실리케이트 또는 이들의 조합 등을 원자층 증착법으로 형성된 것일 수 있다.
- [0078] 복수의 도전 라인들은 제1픽셀(10) 및/또는 제2픽셀(20A, 20B, 20C, 또는 20D)로 접지 전압(GND), 전원 전압(VDD), 및 제어 신호(CS)를 전송할 수 있다.
- [0079] 도 5를 참조하면, 전원 전압 단자(16)와 접속되는 전원 전압(VDD)을 전송하는 도전 라인(16)은 가드링 영역(126)의 복수의 가드링들(24) 중에서 전원 전압(VDD)을 수신하는 가드링과 접속될 수 있고, 접지 전압 단자(14)와 접속되는 접지 전압(GND)을 전송하는 도전 라인(14)은 가드링 영역(126)의 복수의 가드링들(24) 중에서 접지 전압(GND)을 수신하는 가드링과 접속될 수 있으며, 게이트 단자(18)와 접속되고 제어 신호(CS)를 전송하는 도전 라인(18)은 로우 드라이버(130)에 접속될 수 있다.
- [0080] 도 6을 참조하면, 제2픽셀(20B)의 게이트 단자(18)는 제어 신호(CS)를 전송하는 도전 라인(CS)에 접속되지 않을 수 있다.
- [0081] 도 7을 참조하면, 제2픽셀(20C)의 게이트 단자(18)는 접지 전압(GND)을 전송하는 가드링에 접속된 도전 라인에 접속될 수 있다.
- [0082] 도 8을 참조하면, 제2픽셀(20D)의 게이트 단자(18)는 전원 전압(VDD)을 전송하는 가드링에 접속된 도전 라인에 접속될 수 있다.
- [0083] 따라서, 도 6 내지 도 8에 각각 도시된 제2픽셀(20B, 20C, 또는 20D)은 작동하지 않으므로 픽셀 신호를 출력하지 않을 수 있다.
- [0084] 실시 예에 따라, 제1픽셀(10)과 제2픽셀(20A, 20B, 20C, 또는 20D) 각각은 캐리어 기판(carrier substrate; 50)을 더 포함할 수 있다.
- [0085] 도 5에 도시된 제1픽셀(10)은 마이크로 렌즈(microlens), 제1평탄층(19-1), 컬러 필터(CF), 및 제2평탄층(19-2)을 더 포함할 수 있고, 도 5에 도시된 제2픽셀(20)은 상기 마이크로 렌즈, 제1평탄층(19-1), 컬러 필터(CF), 및 제2평탄층(19-2)를 포함하지 않을 수 있다.

- [0086] 마이크로 렌즈는 제1픽셀(10)의 상부(입사광이 먼저 도달하는 위치를 상부라 가정함)에 제1픽셀(10)에 대응하는 위치에 형성될 수 있으며, 상기 마이크로 렌즈는 집광력(light gathering power)을 높여 이미지 품질을 높이기 위해 사용될 수 있다.
- [0087] 컬러 필터(CF)는 상기 마이크로 렌즈의 하부에 형성될 수 있고, 특정 파장의 빛(예컨대, 레드(red), 그린(green), 블루(blue), 마젠타(magenta), 옐로우(yellow), 또는 사이언(cyan))을 선택적으로 투과시킬 수 있다.
- [0088] 제1평탄층(19-1)과 제2평탄층(19-2) 각각은 컬러 필터(CF)의 상부와 하부 각각에 형성될 수 있고, 상기 마이크로 렌즈 및 컬러 필터(CF)를 통해 입사되는 입사광이 반사되는 것을 방지할 수 있다. 즉, 제1평탄층(19-1)과 제2평탄층(19-2)은 입사광을 효율적으로 투과시킴으로써 이미지 센서(110)의 성능(예컨대, 수광 효율 및 광 감도)을 향상시킬 수 있다.
- [0089] 실시 예에 따라, 제2픽셀(20)은 상기 마이크로 렌즈, 제1평탄층(19-1), 컬러 필터(CF), 및 제2평탄층(19-2) 중에서 적어도 하나를 더 포함하거나, 차광막(미도시)을 더 포함할 수도 있다. 상기 차광막(미도시)은 예컨대, 금속 물질을 포함할 수 있다.
- [0090] DTI(22)는 제1픽셀들(10)의 사이, 제2픽셀들(20A, 20B, 20C, 또는 20D) 사이에 형성되어 픽셀들(10, 20A, 20B, 20C, 또는 20D) 사이를 전기적으로 분리함으로써, 인접하는 픽셀들(10, 20A, 20B, 20C, 또는 20D) 사이에서 전기적 크로스토크(electric crosstalk) 및/또는 광학적 크로스토크(optical crosstalk)를 방지할 수 있다.
- [0091] 상기 전기적 크로스토크는 인접하는 픽셀들(10, 20A, 20B, 20C, 또는 20D) 사이에서 캐리어(carrier)의 교환에 따라 신호 대 잡음비(signal-to-noise ratio)를 저하시키는 현상이다.
- [0092] 상기 광학적 크로스토크는 에피텍셀 층(30) 내부로 입사되는 빛이 인접하는 다른 영역으로 투과됨에 따라 신호 대 잡음비를 저하시키는 현상이다.
- [0093] 각 DTI(22)의 높이는 실시 예들에 따라 에피텍셀 층(30)에서 다양하게 형성될 수 있다.
- [0094] 제1DTI(128)는 액티브 픽셀 영역(122)과 더미 영역(124) 사이에 형성되고, 제2DTI(129)는 더미 영역(124)과 가드링 영역(126) 사이에 형성된다.
- [0095] 제1DTI(128)와 제2DTI(129) 각각은 DTI(22)와 실질적으로 동일하며, 단지 각 영역들(122, 124, 및 126)을 구분하는 용도로서 별도로 정의한 것에 불과하며, 실시 예에 따라, 이미지 센서(110)는 제2DTI(129)를 포함하지 않을 수도 있다.
- [0096] 가드링 영역(126)은 더미 영역(124)에 인접하고, 액티브 픽셀 영역(122)과 더미 영역(124)을 둘러싸는 형태로 구현될 수 있다. 가드링 영역(126)은 액티브 픽셀 영역(122)과 외부와의 상호 영향을 최소화하기 위해 형성된다.
- [0097] 가드링 영역(126)은 각각이 외부로부터 접지 전압(GND) 또는 전원 전압(VDD)을 수신하는 적어도 하나의 가드링(24)을 포함할 수 있고, 상술한 바와 같이 접지 전압(GND)을 수신하는 가드링은 제1픽셀(10) 및/또는 제2픽셀(20A, 20B, 20C, 또는 20D)의 접지 전압 단자(14)와 접속될 수 있고, 전원 전압(VDD)을 수신하는 가드링은 전원 전압 단자(16)와 접속될 수 있다.
- [0098] 도 9 내지 도 12는 4-트랜지스터 구조를 갖는 제2픽셀의 다양한 실시 예들에 따른 회로도를 나타낸다.
- [0099] 도 9 내지 도 12를 참조하면, 4-트랜지스터 구조를 갖는 제2픽셀(20-1A, 20-1B, 20-1C, 또는 20-1D)은 전송 트랜지스터(TX), 플로팅 디퓨전 노드(또는 플로팅 디퓨전 영역, FD), 리셋 트랜지스터(RX), 드라이브 트랜지스터(DX), 및 선택 트랜지스터(SX)를 포함할 수 있다.
- [0100] 전송 트랜지스터(TX)는 전송 제어 신호(TG)에 응답하여 동작할 수 있고, 리셋 트랜지스터(RX)는 리셋 제어 신호(RS)에 응답하여 동작할 수 있으며, 선택 트랜지스터(SX)는 선택 제어 신호(SEL)에 응답하여 동작할 수 있다.
- [0101] 도 9를 참조하면, 제2픽셀(20-1A)은 각 제어 신호(TG, RS, 및 SEL)을 수신하는 각 트랜지스터(TX, RX, 및 SX)를 포함하나, 광전 변환 소자를 포함하지 않을 수 있다. 상기 광전 변환 소자가 없으므로 제2픽셀(20-1A)은 빛에 의해 생성되는 픽셀 신호를 생성하지 않으며, 미약한 노이즈 성분만을 갖는 픽셀 신호(OUT)를 대응되는 컬럼 라인(CLi)으로 출력할 수 있다.
- [0102] 도 9에서는 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)이 서로 접속되어 제2픽셀(20-1A)의 픽셀 신호가 대응되는 컬럼 라인(CLi)으로 출력되는 형태로 도시되었으나, 실시 예에 따라 상기 픽셀 신호가 전혀 출력되지 않

도록, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)이 서로 접속되지 않을 수 있다.

- [0103] 도 10을 참조하면, 제2픽셀(20-1B)의 각 트랜지스터(TX, RX, 및 SX)의 게이트는 플로팅된다. 또한, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)은 서로 접속되지 않는다.
- [0104] 도 11을 참조하면, 제2픽셀(20-1C)의 각 트랜지스터(TX, RX, 및 SX)의 게이트는 접지 전압(GND)을 전송하는 도전 라인에 접속된다. 또한, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)은 서로 접속되지 않는다.
- [0105] 도 12를 참조하면, 제2픽셀(20-1D)의 각 트랜지스터(TX, RX, 및 SX)의 게이트는 전원 전압(VDD)을 전송하는 도전 라인에 접속된다. 또한, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)은 서로 접속되지 않는다.
- [0106] 도 13 내지 도 16은 3-트랜지스터 구조를 갖는 제2픽셀의 다양한 실시 예들에 따른 회로도를 나타낸다.
- [0107] 도 13 내지 도 16을 참조하면, 3-트랜지스터 구조를 갖는 제2픽셀(20-2A, 20-2B, 20-2C, 또는 20-2D)은 리셋 트랜지스터(RX), 드라이브 트랜지스터(DX) 및 선택 트랜지스터(SX)를 포함한다. 그러나, 제2픽셀(20-2A, 20-2B, 20-2C, 또는 20-2D)은 광전 변환 소자를 포함하지 않는다.
- [0108] 도 13을 참조하면, 제2픽셀(20-2A)은 각 제어 신호(RS, 및 SEL)를 수신하는 각 트랜지스터(RX와 SX)를 포함하나 광전 변환 소자를 포함하지 않고, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)은 서로 접속된다.
- [0109] 도 14를 참조하면, 제2픽셀(20-2B)의 각 트랜지스터(RX와 SX)의 게이트는 플로팅된다. 또한, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)은 서로 접속되지 않는다.
- [0110] 도 15를 참조하면, 제2픽셀(20-2C)의 각 트랜지스터(RX, DX, 및 SX)의 게이트는 접지 전압(GND)을 전송하는 도전 라인에 접속된다. 또한, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)은 서로 접속되지 않는다.
- [0111] 도 16을 참조하면, 제2픽셀(20-2D)의 각 트랜지스터(RX, 및 SX)의 게이트는 전원 전압(VDD)을 전송하는 도전 라인에 접속된다. 또한, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)은 서로 접속되지 않는다.
- [0112] 도 17 내지 도 20은 5-트랜지스터 구조를 갖는 제2픽셀의 다양한 실시 예들에 따른 회로도를 나타낸다.
- [0113] 도 17 내지 도 20을 참조하면, 5-트랜지스터 구조를 갖는 제2픽셀(20-3A, 20-3B, 20-3C, 또는 20-3D)은 전송 트랜지스터(TX), 리셋 트랜지스터(RX), 드라이브 트랜지스터(DX), 및 선택 트랜지스터(SX)를 포함하고, 하나의 트랜지스터(GX)를 더 포함한다. 그러나, 제2픽셀(20-3A, 20-3B, 20-3C, 또는 20-3D)은 광전 변환 소자를 포함하지 않는다.
- [0114] 트랜지스터(GX)는 선택 신호(SEL)에 응답하여 전송 제어 신호(TG)를 전송 트랜지스터(TX)의 게이트로 전송할 수 있다.
- [0115] 도 17을 참조하면, 제2픽셀(20-3A)은 각 제어 신호(TG, RS, 및 SEL)를 수신하는 각 트랜지스터(TX, RX, GX, 및 SX)를 포함하나 광전 변환 소자를 포함하지 않고, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)은 서로 접속된다. 따라서 제2픽셀(20-3A)의 픽셀 신호(OUT)는 대응되는 컬럼 라인(CLi)으로 전송될 수 있다.
- [0116] 도 18을 참조하면, 제2픽셀(20-3B)의 각 트랜지스터(GX, RX, 및 SX)의 게이트는 플로팅된다. 또한, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)은 서로 접속되지 않는다.
- [0117] 도 19를 참조하면, 제2픽셀(20-3C)의 각 트랜지스터(GX, RX, 및 SX)의 게이트는 접지 전압(GND)을 전송하는 도전 라인에 접속된다. 또한, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)은 서로 접속되지 않는다.
- [0118] 도 20을 참조하면, 제2픽셀(20-3D)의 각 트랜지스터(GX, RX, 및 SX)의 게이트는 전원 전압(VDD)을 전송하는 도전 라인에 접속된다. 또한, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)은 서로 접속되지 않는다.
- [0119] 도 21 내지 도 24는 포토게이트 구조를 갖는 제2픽셀의 다양한 실시 예들의 회로도를 나타낸다.
- [0120] 도 21 내지 도 24를 참조하면, 포토게이트 구조를 갖는 제2픽셀(20-4A, 20-4B, 20-4C, 또는 20-4D)은 전송 트랜지스터(TX), 리셋 트랜지스터(RX), 드라이브 트랜지스터(DX), 및 선택 트랜지스터(SX)를 포함하고, 하나의 포토게이트(PX)를 더 포함한다. 포토게이트(PX)는 제어 신호(PG)에 응답하여 동작한다.
- [0121] 도 21을 참조하면, 제2픽셀(20-4A)은 각 제어 신호(TG, RS, PG, 및 SEL)를 수신하는 각 트랜지스터(TX, RX, PX, 및 SX)를 포함하고, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)은 서로 접속된다. 따라서 제2픽셀(20-4A)의 픽셀 신호(OUT)는 대응되는 컬럼 라인(CLi)으로 전송될 수 있다.

- [0122] 도 22를 참조하면, 제2픽셀(20-4B)의 각 트랜지스터(PX, TX, RX, 및 SX)의 게이트는 플로팅된다. 또한, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)은 서로 접속되지 않는다.
- [0123] 도 23을 참조하면, 제2픽셀(20-4C)의 각 트랜지스터(PX, TX, RX, 및 SX)의 게이트는 접지 전압(GND)을 전송하는 도전 라인에 접속된다. 또한, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)은 서로 접속되지 않는다.
- [0124] 도 24를 참조하면, 제2픽셀(20-4D)의 각 트랜지스터(PX, TX, RX, 및 SX)의 게이트는 전원 전압(VDD)을 전송하는 도전 라인에 접속된다. 또한, 선택 트랜지스터(SX)와 대응되는 컬럼 라인(CLi)은 서로 접속되지 않는다.
- [0125] 도 25는 도 1에 도시된 이미지 센서를 포함하는 전자 시스템의 일 실시 예를 나타내는 블록도이다.
- [0126] 도 1부터 도 25를 참조하면, 이미지 처리 시스템(400)은 MIPI<sup>®</sup> (mobile industry processor interface)를 사용 또는 지원할 수 있는 이미지 처리 시스템으로 구현될 수 있다.
- [0127] 상기 이미지 처리 시스템은 랩탑 컴퓨터, 이동 전화기, 스마트 폰, 태블릿 PC, PDA, EDA, 디지털 스틸 카메라, 디지털 비디오 카메라, PMP, 모바일 인터넷 장치, 웨어러블 컴퓨터, IoT 장치, 또는 IoE 장치로 구현될 수 있다.
- [0128] 이미지 처리 시스템(400)은 애플리케이션 프로세서(application processor; 410), 이미지 센서(110), 및 디스플레이(300)를 포함한다.
- [0129] 애플리케이션 프로세서(410)에 구현된 CSI(camera serial interface) 호스트(412)는 카메라 시리얼 인터페이스(CSI)를 통하여 이미지 센서(110)의 CSI 장치(110-1)와 시리얼 통신할 수 있다. 실시 예에 따라, CSI 호스트(412)는 디시리얼라이저(DES)를 포함할 수 있고, CSI 장치(110-1)는 시리얼라이저(SER)를 포함할 수 있다.
- [0130] 이미지 센서(110)는, 도 1부터 도 24를 참조하여 설명한 바와 같이, 액티브 픽셀 영역(122)에 형성되는 제1픽셀(10)과, 액티브 픽셀 영역(124)에 인접하는 더미 영역(124)에 형성되는 제2픽셀(20), 및 제1픽셀(10)과 제2픽셀(20) 사이에 형성되는 제1DTI(128)를 포함한다.
- [0131] 애플리케이션 프로세서(410)에 구현된 DSI(display serial interface(DSI)) 호스트(411)는 디스플레이 시리얼 인터페이스(DSI)를 통하여 디스플레이(300)의 DSI 장치(300-1)와 시리얼 통신할 수 있다. 실시 예에 따라, DSI 호스트(411)는 시리얼라이저(SER)를 포함하고 DSI 장치(300-1)는 디시리얼라이저(DES)를 포함할 수 있다.
- [0132] 예컨대, 이미지 센서(110)로부터 출력된 이미지 데이터(IDATA)는 CSI를 통해 애플리케이션 프로세서(410)로 전송될 수 있다. 애플리케이션 프로세서(410)는 이미지 데이터(IDATA)를 처리하고, 처리된 이미지 데이터를 DSI를 통해 디스플레이(300)로 전송할 수 있다.
- [0133] 이미지 처리 시스템(400)은 애플리케이션 프로세서(410)와 통신할 수 있는 RF 칩(440)을 더 포함할 수 있다. 이미지 처리 시스템(400)의 PHY(physical layer; 413)와 RF 칩(440)의 PHY(physical layer; 441)는 MIPI DigRF에 따라 데이터를 주고받을 수 있다.
- [0134] CPU(414)는 DSI 호스트(411), CSI 호스트(412), 및 PHY(413) 각각의 작동을 제어할 수 있고, 하나 또는 그 이상의 코어들을 포함할 수 있다.
- [0135] 애플리케이션 프로세서(410)는 집적 회로, 시스템 온 칩(system on chip(SoC))으로 구현될 수 있고, 이미지 센서(110)의 작동을 제어할 수 있는 프로세서 또는 호스트를 의미할 수 있다.
- [0136] 이미지 처리 시스템(400)은 GPS 수신기(450), DRAM(dynamic random access memory)과 같은 휘발성 메모리(452), 플래시-기반 메모리와 같은 불휘발성 메모리로 구현된 데이터 저장 장치(454), 마이크(456), 또는 스피커(458)를 포함할 수 있다. 데이터 저장 장치(454)는 애플리케이션 프로세서(410)에 착탈 가능한 외장 메모리로 구현될 수 있다. 또한, 데이터 저장 장치(454)는 UFS(universal flash storage), MMC (multimedia card), 임베디드 MMC(embedded MMC(eMMC), 또는 메모리 카드로 구현될 수 있다.
- [0137] 또한, 이미지 처리 시스템(400)은 적어도 하나의 통신 프로토콜(또는 통신 표준), 예컨대, UWB(ultra-wideband; 460), WLAN(Wireless LAN; 462), WiMAX (worldwide interoperability for microwave access; 464), 또는 LTE<sup>™</sup> (long term evolution; 미도시) 등을 이용하여 외부 장치와 통신할 수 있다.
- [0138] 실시 예에 따라 이미지 처리 시스템(400)은 NFC 모듈, WiFi 모듈, 또는 블루투스 모듈을 더 포함할 수 있다.

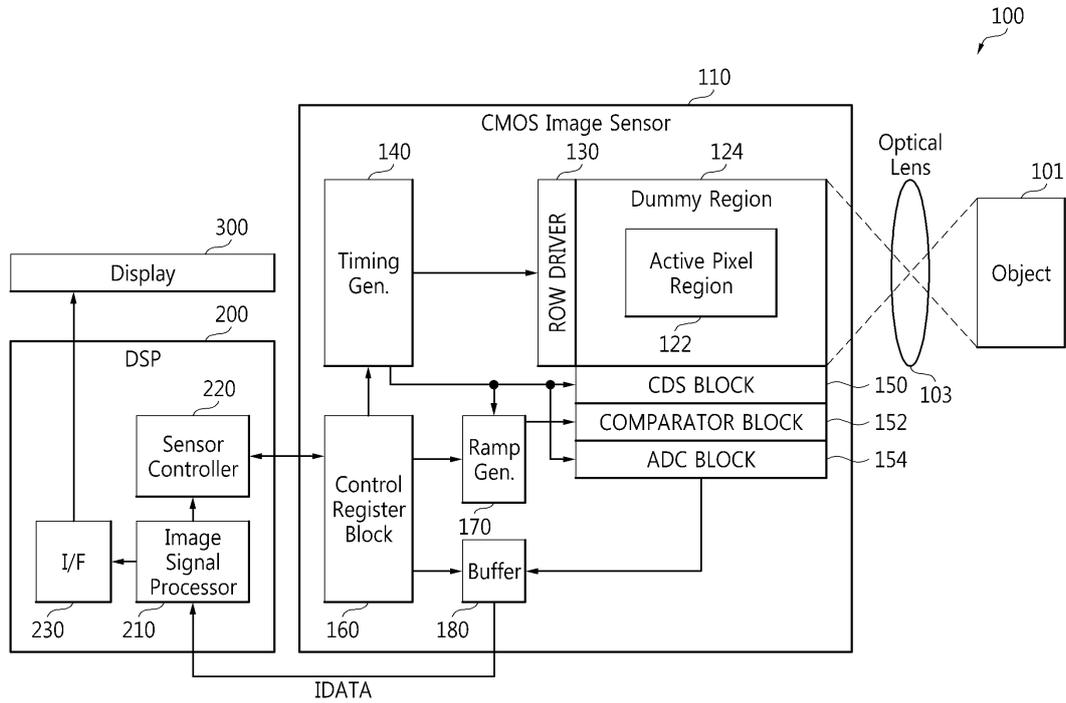
- [0139] 도 26은 도 1에 도시된 이미지 센서를 포함하는 전자 시스템의 다른 실시 예를 나타내는 블록도이다.
- [0140] 도 1부터 도 26을 참조하면, 전자 시스템(2600)은 이미지 센서(110), 프로세서(2610), 메모리(2620), 디스플레이 유닛(2630) 및 인터페이스(2640)를 포함할 수 있다.
- [0141] 프로세서(2610)는 이미지 센서(110)의 동작을 제어할 수 있다. 예컨대, 프로세서(2610)는 이미지 센서(110)로부터 출력되는 픽셀 신호를 처리하여 이미지 데이터를 생성할 수 있다.
- [0142] 메모리(2620)는 이미지 센서(110)의 동작을 제어하기 위한 프로그램과 프로세서(2610)에 의해 생성된 이미지 데이터를 저장할 수 있다. 프로세서(2610)는 메모리(2620)에 저장된 프로그램을 실행할 수 있다. 예컨대, 메모리(2620)는 휘발성 메모리 또는 비휘발성 메모리로 구현될 수 있다.
- [0143] 디스플레이 유닛(2630)은 프로세서(2610) 또는 메모리(2620)로부터 출력되는 상기 이미지 데이터를 디스플레이할 수 있다.
- [0144] 인터페이스(2640)는 이미지 데이터를 입출력하기 위한 인터페이스로 구현될 수 있다. 실시 예에 따라, 인터페이스(2640)는 무선 인터페이스로 구현될 수 있다.
- [0145] 도 27은 본 발명의 실시 예에 따른 이미지 센서의 형성 과정을 나타낸 플로우차트이다.
- [0146] 도 27에 도시된 각 단계는 각 영역들(122, 124, 및 126), 픽셀들(10 또는 20), 및 DTI(128 및 129)의 형성 과정을 설명하기 위한 것으로서, 형성 순서를 의미하는 것은 아니다.
- [0147] 도 1부터 도 27을 참조하면, 본 발명의 실시 예에 따라 액티브 픽셀 영역(122)에 제1픽셀(10)이 형성되고, 더미 영역(124)에 제2픽셀(20)이 형성될 수 있다(S110).
- [0148] 제1픽셀(10)과 제2픽셀(20) 사이에는 제1DTI(128)이 형성되고(S120), 더미 영역(124)에 인접하여 가드링 영역(126)이 형성될 수 있다(S130).
- [0149] 더미 영역(124)과 가드링 영역(126) 사이에는 제2DTI(129)가 형성될 수 있다(S140).
- [0150] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**부호의 설명**

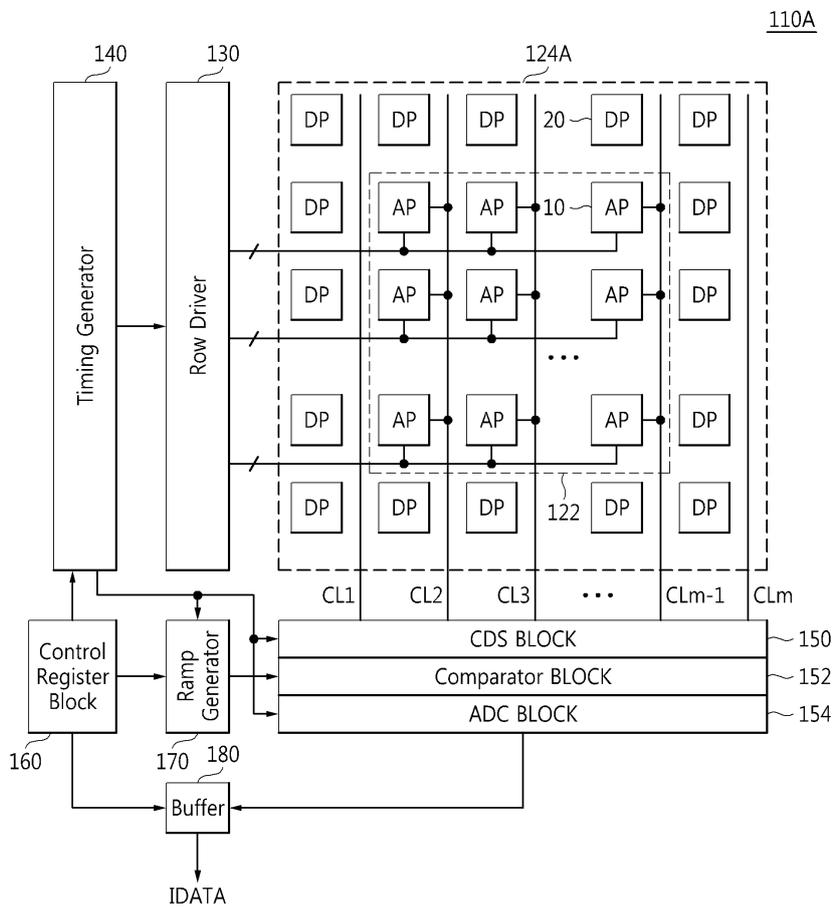
- [0151] 12: 광전 변환 소자
- 14: 접지 전압 단자
- 16: 전원 전압 단자
- 18: 게이트 단자
- 22: DTI(deep trench isolation)
- 24: 가드링
- 100, 400: 이미지 처리 시스템
- 110: 이미지 센서
- 122: 액티브 픽셀 영역
- 124: 더미 영역
- 126: 가드링 영역
- 128: 제1DTI
- 129: 제2DTI
- 2600: 전자 시스템

도면

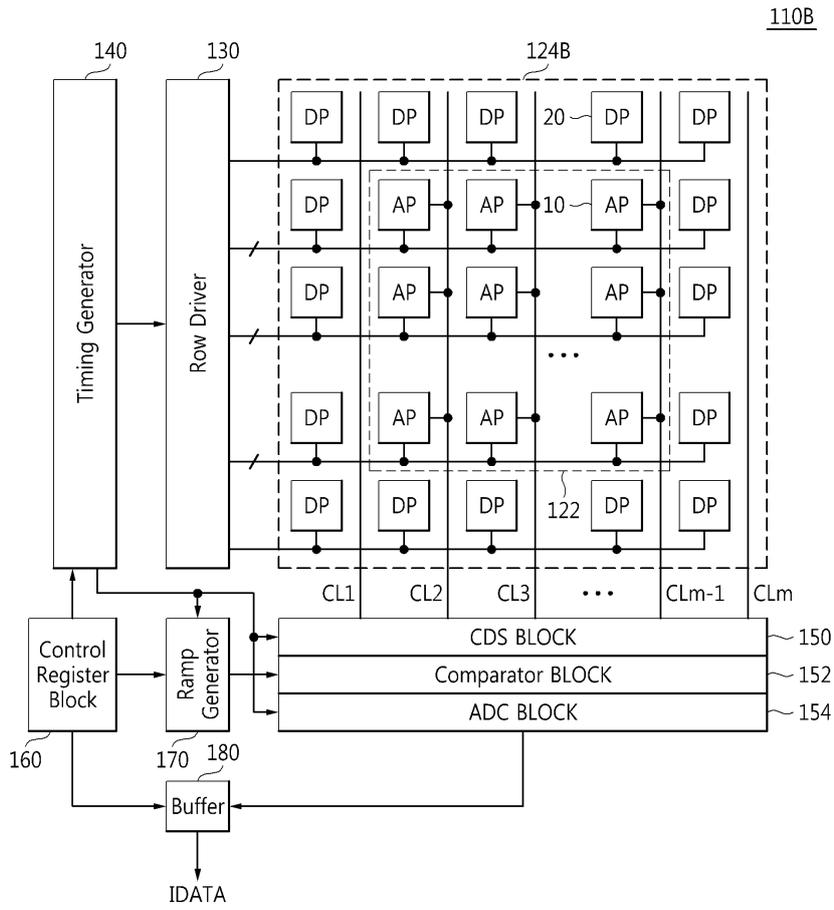
도면1



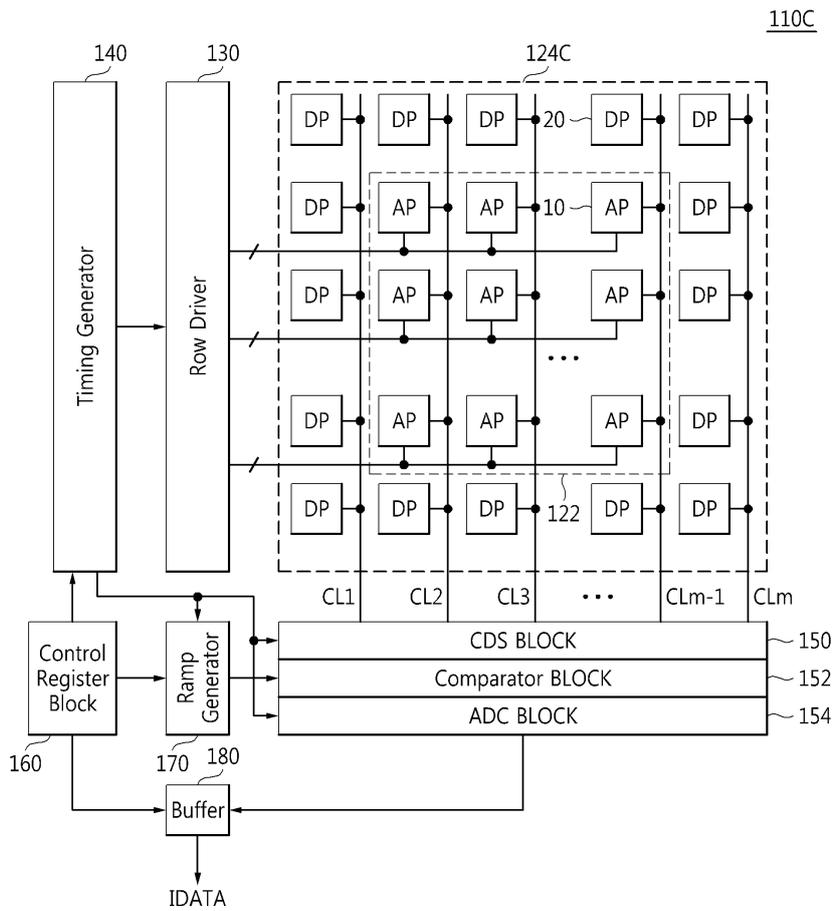
도면2



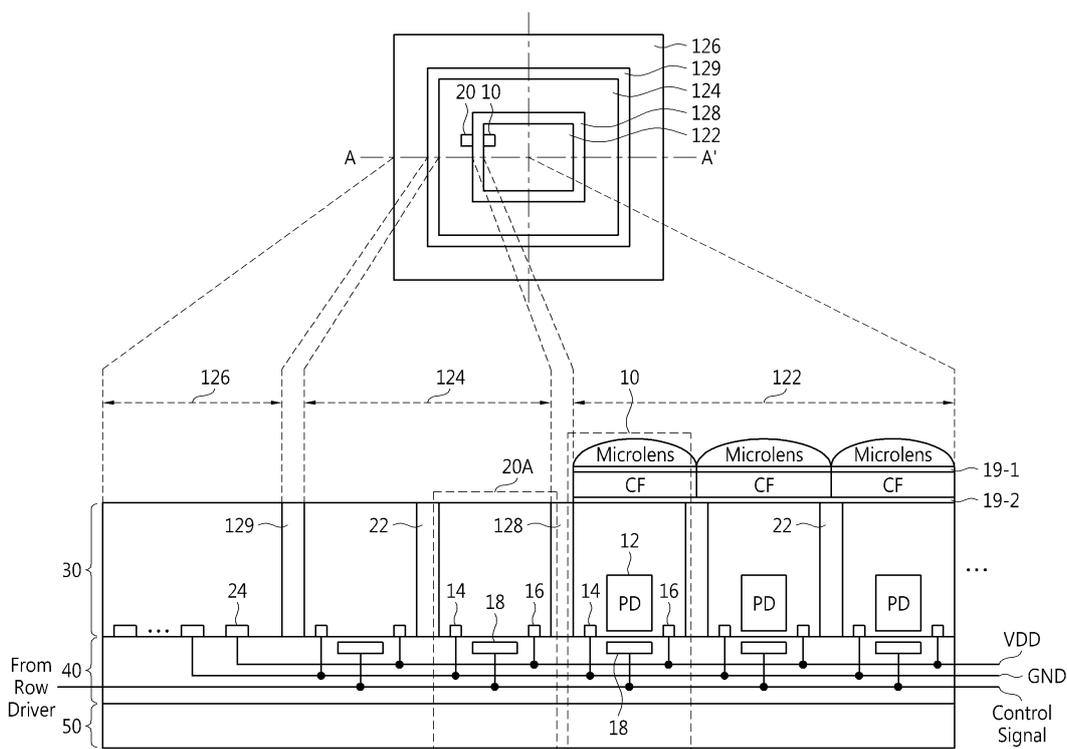
도면3



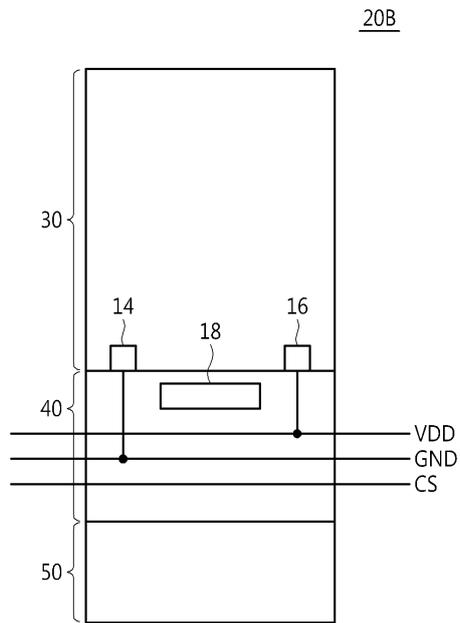
도면4



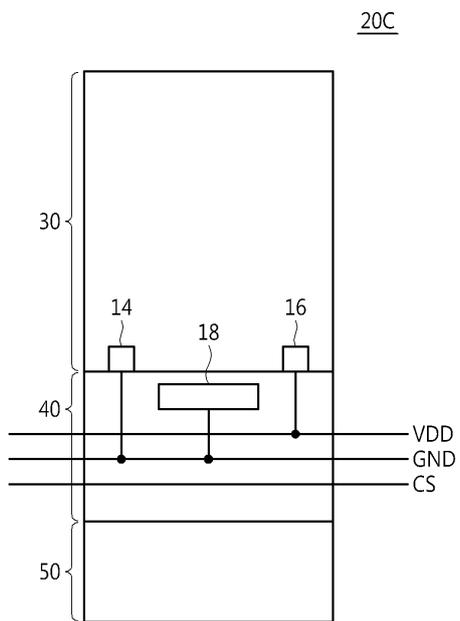
도면5



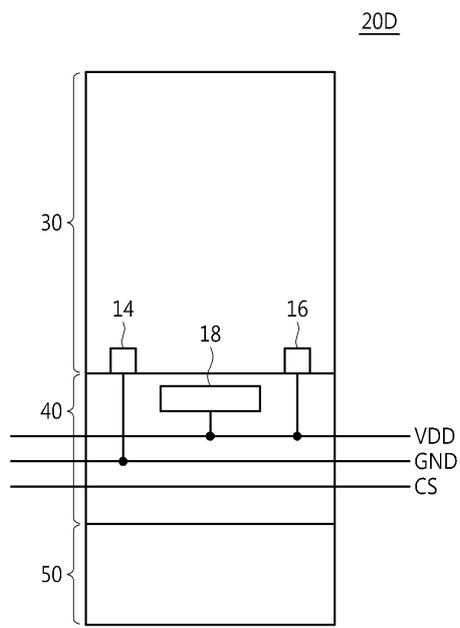
도면6



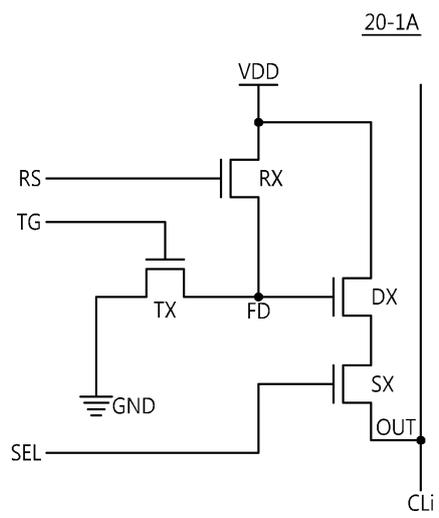
도면7



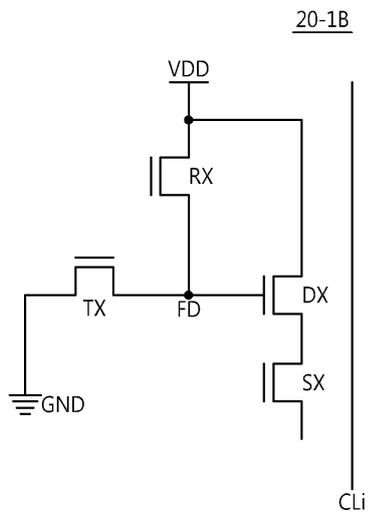
도면8



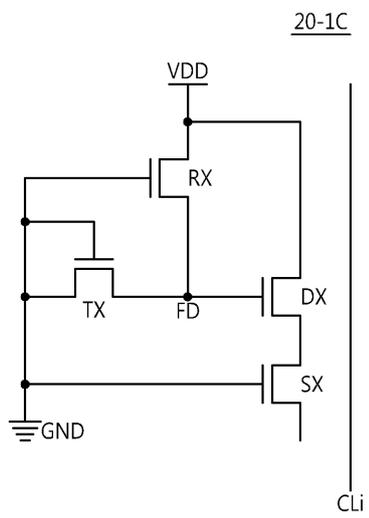
도면9



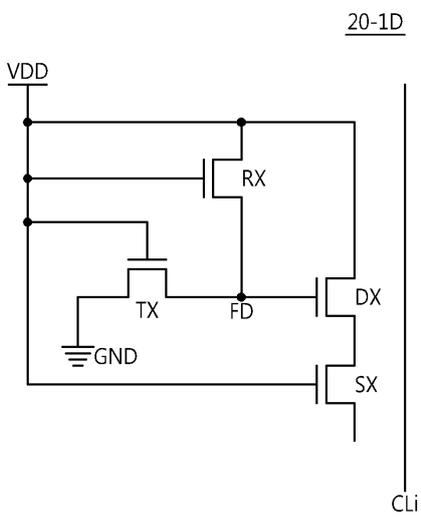
도면10



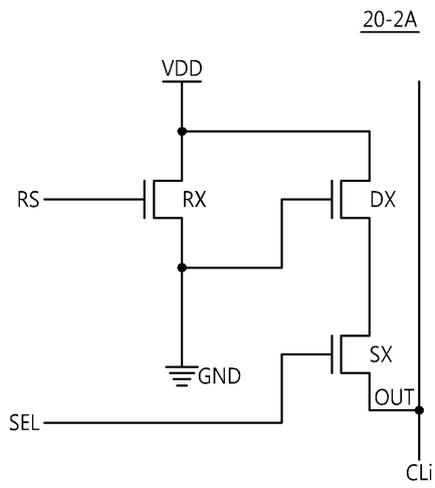
도면11



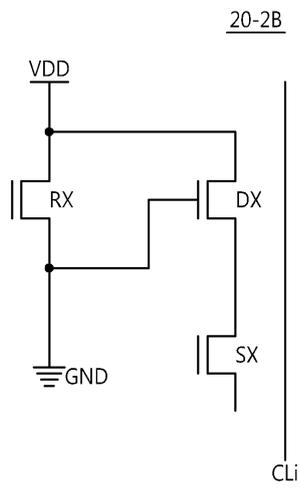
도면12



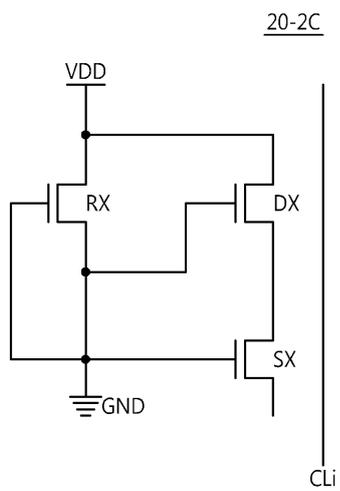
도면13



도면14

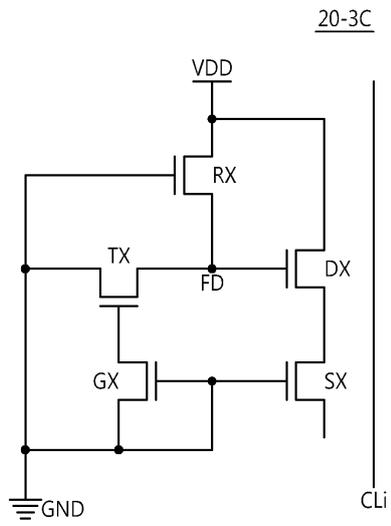


도면15

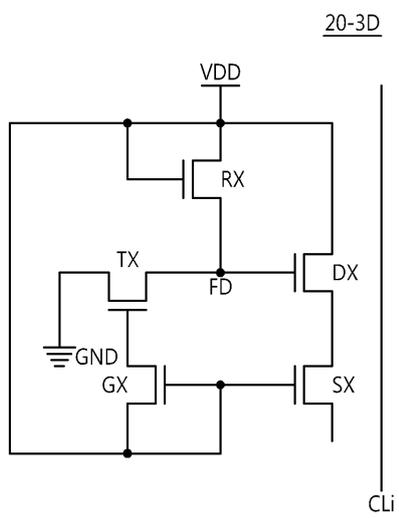




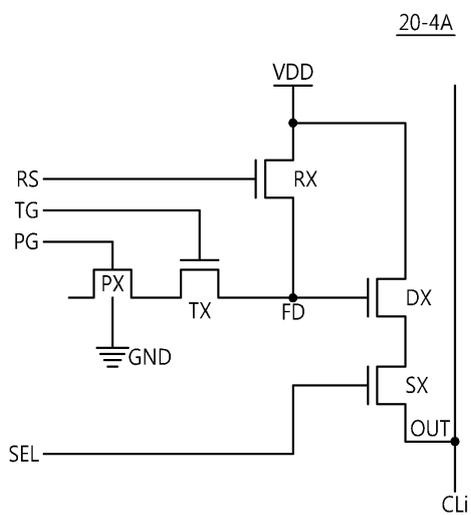
도면19



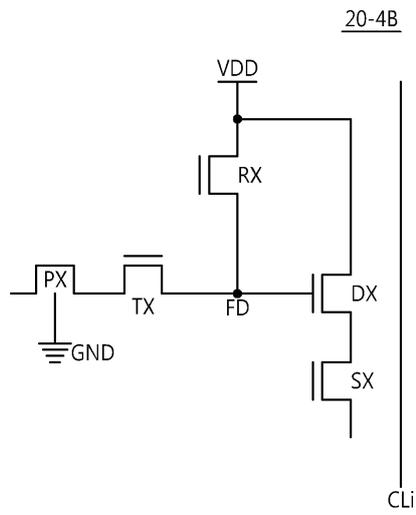
도면20



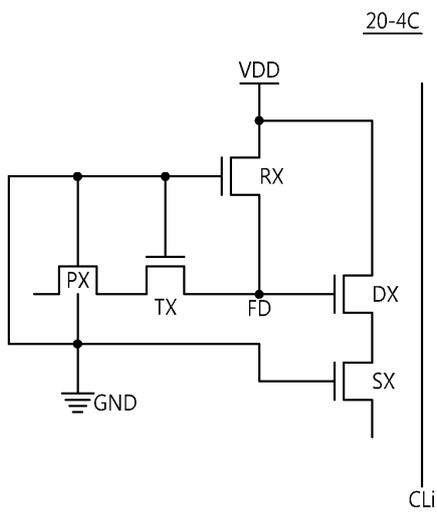
도면21



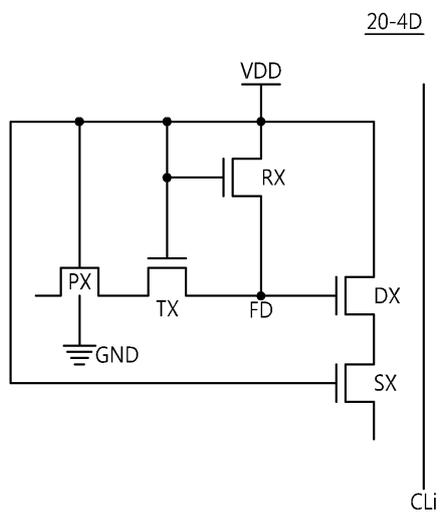
도면22



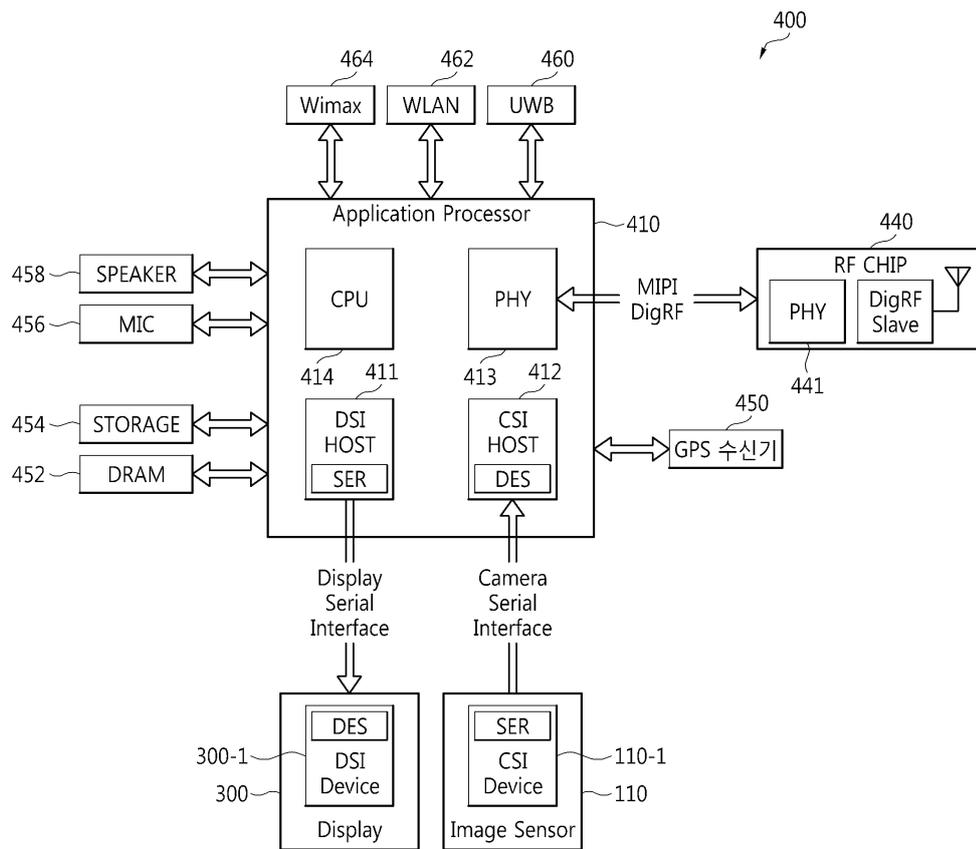
도면23



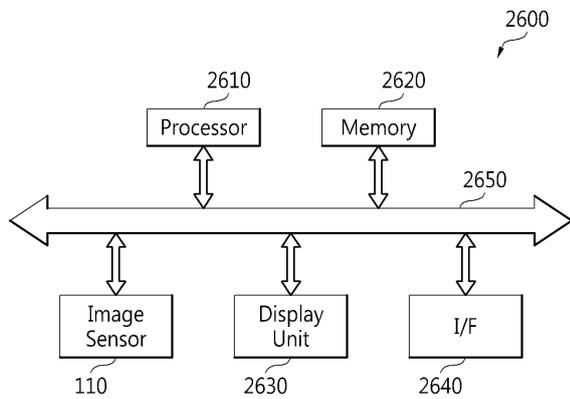
도면24



도면25



도면26



도면27

