



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0069117
(43) 공개일자 2015년06월23일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2013-0155150
(22) 출원일자 2013년12월13일
심사청구일자 없음

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
송인혁
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
엄기주
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

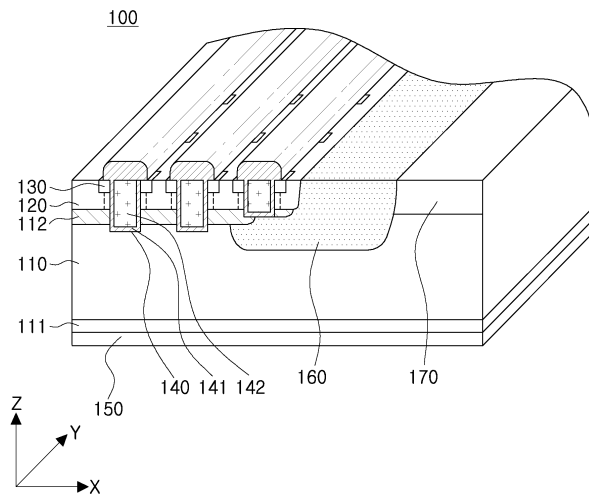
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 전력 반도체 소자

(57) 요약

본 개시는 온-동작시에 형성되는 채널을 통해 전류가 흐르는 활성 영역; 상기 활성 영역의 주변에 형성되는 단부 영역; 상기 활성 영역에 형성되며, 일 방향으로 길게 형성되는 복수의 트랜치; 및 상기 활성 영역에 형성되며, 상기 채널의 하부에 형성되는 제1 도전형의 정공 축적 영역;을 포함하고, 상기 단부 영역과 상기 활성 영역의 경계에 형성되는 트랜치는 인접하는 트랜치에 비해 깊이가 작은 전력 반도체 소자에 관한 것이다.

대표도 - 도1



(72) 발명자

장창수

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

박재훈

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

서동수

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

명세서

청구범위

청구항 1

온-동작시에 형성되는 채널을 통해 전류가 흐르는 활성 영역;
상기 활성 영역의 주변에 형성되는 단부 영역;
상기 활성 영역에 형성되며, 일 방향으로 길게 형성되는 복수의 트렌치; 및
상기 활성 영역에 형성되며, 상기 채널의 하부에 형성되는 제1 도전형의 정공 축적 영역;을 포함하고,
상기 단부 영역과 상기 활성 영역의 경계에 형성되는 트렌치는 인접하는 트렌치에 비해 깊이가 작은 전력 반도체 소자.

청구항 2

제1항에 있어서,
상기 단부 영역과 상기 활성 영역의 경계에 형성되는 정공 축적 영역은 인접하는 정공 축적 영역에 비하여 형성되는 깊이가 작은 전력 반도체 소자.

청구항 3

제1항에 있어서,
상기 단부 영역에 형성되는 제2 도전형의 전계 제한 영역을 더 포함하는 전력 반도체 소자.

청구항 4

제3항에 있어서,
상기 전계 제한 영역은 상기 활성 영역과 상기 단부 영역의 경계에 위치하는 상기 트렌치의 적어도 일부를 덮도록 형성되는 전력 반도체 소자.

청구항 5

제3항에 있어서,
상기 전계 제한 영역은 상기 활성 영역과 상기 단부 영역의 경계에 위치하는 상기 트렌치의 하부의 적어도 일부를 덮는 전력 반도체 소자.

청구항 6

제1항에 있어서,
상기 활성 영역과 상기 단부 영역의 경계에 위치하는 상기 트렌치는 인접하는 트렌치보다 작은 폭을 갖는 전력 반도체 소자.

청구항 7

제1 도전형의 제1 반도체 영역;

상기 제1 반도체 영역의 상부에 형성되며, 상기 제1 반도체 영역의 불순물 농도보다 더 높은 불순물 농도를 갖는 제1 도전형의 제2 반도체 영역;

상기 제2 반도체 영역의 상부에 형성되는 제2 도전형의 제3 반도체 영역;

상기 제3 반도체 영역의 상부 내측에 형성되는 제1 도전형의 제4 반도체 영역;

상기 제4 반도체 영역으로부터 상기 제1 반도체 영역까지 관입하여 형성되며, 일 방향으로 길게 형성되는 복수의 트렌치;를 포함하고,

상기 복수의 트렌치 중 최외곽에 위치하는 트렌치는 인접하는 트렌치에 비해 깊이가 작은 전력 반도체 소자.

청구항 8

제7항에 있어서,

상기 제2 반도체 영역 중 최외곽에 위치하는 제2 반도체 영역은 인접하는 정공 축적 영역에 비하여 형성되는 깊이가 작은 전력 반도체 소자.

청구항 9

제7항에 있어서,

상기 제1 반도체 영역의 상부에 형성되며, 상기 복수의 트렌치 중 최외곽에 위치하는 트렌치의 적어도 일부를 덮도록 형성되는 제2 도전형의 전계 제한 영역을 더 포함하는 전력 반도체 소자.

청구항 10

제9항에 있어서,

상기 전계 제한 영역은 상기 복수의 트렌치 중 최외곽에 위치하는 트렌치의 하부의 적어도 일부를 덮는 전력 반도체 소자.

청구항 11

제7항에 있어서,

상기 복수의 트렌치 중 최외곽에 위치하는 트렌치는 인접하는 트렌치에 비해 폭이 작은 전력 반도체 소자.

발명의 설명

기술분야

[0001] 본 개시는 전력 반도체 소자에 관한 것이다.

배경기술

[0002] 절연 게이트 바이폴라 트랜지스터(IGBT; Insulated Gate Bipolar Transistor)란 게이트를 MOS(Metal Oxide semiconductor)를 이용하여 제작하고, 후면에 p 형의 콜렉터층을 형성시킴으로써 바이폴라(bipolar)를 갖는 트랜지스터를 의미한다.

[0003] 종래 전력용 MOSFET(Metal Oxide semiconductor Field Effect Transistor)이 개발된 이후, MOSFET은 고속의 스

위칭 특성이 요구되는 영역에서 사용되어 왔다.

- [0004] 하지만, MOSFET은 구조적 한계로 인해 높은 전압이 요구되는 영역에서는 바이폴라 트랜지스터(bipolar transistor), 사이리스터(thyristor), GTO(Gate Turn-off Thyristors) 등이 사용되어 왔었다.
- [0005] IGBT는 낮은 순방향 손실과 빠른 스위칭 스피드를 특징으로 하여, 기존의 사이리스터(thyristor), 바이폴라 트랜지스터(bipolar transistor), MOSFET(Metal Oxide semiconductor Field Effect Transistor) 등으로는 실현이 불가능하였던 분야를 대상으로 적용이 확대되어 가고 있는 추세이다.
- [0006] IGBT의 동작 원리를 살펴보면, IGBT 소자가 온(on)된 경우에 양극(anode)에 음극(cathode)보다 높은 전압이 인가되고, 게이트 전극에 소자의 문턱 전압보다 높은 전압이 인가되면, 상기 게이트 전극의 하단에 위치하는 p형의 바디 영역의 표면의 극성이 역전되어 n형의 채널(channel)이 형성된다.
- [0007] 채널(channel)을 통해 드리프트(drift) 영역으로 주입된 전자 전류는 바이폴라 트랜지스터(bipolar transistor)의 베이스(base) 전류와 마찬가지로 IGBT 소자의 하부에 위치하는 고농도의 p형의 콜렉터층으로부터 정공(hole) 전류의 주입을 유도한다.
- [0008] 이러한 소수 캐리어(carrier)의 고농도 주입으로 인해 드리프트(drift) 영역에서의 전도도가 수십에서 수 백배 증가하는 전도도 변조(conductivity modulation)가 발생하게 된다.
- [0009] MOSFET과 달리 전도도 변조로 인하여 드리프트 영역에서의 저항 성분이 매우 작아지므로, 매우 큰 고압에서의 응용이 가능하다.
- [0010] 음극으로 흐르는 전류는 채널을 통해 흐르는 전자 전류와 p형의 바디와 n형의 드리프트 영역의 접합을 통해 흐르는 정공 전류로 나누어진다.
- [0011] IGBT는 기관의 구조상 양극과 음극 간의 pnp 구조이므로 MOSFET과 달리 다이오드(diode)가 내장되어 있지 않으므로 별도의 다이오드를 역 병렬로 연결해주어야 한다.
- [0012] 이러한 IGBT는 크게 내압(blocking voltage) 유지, 도통 손실의 감소 및 스위칭 속도의 증가를 주요 특성으로 한다.
- [0013] 종래에는 IGBT에 요구되는 전압의 크기가 증가하는 추세이며, 이와 함께 소자의 내구성이 높아질 것이 요구된다.
- [0014] 특히, 전도도 변조 현상(Conductivity modulation)을 극대화하기 위하여, 채널의 하부에 정공 축적 영역을 형성시킬 수 있다.
- [0015] IGBT의 도통 손실 개선을 위해 삽입된 정공 축적 층은 전류 밀도 향상에 큰 기여를 하지만, 전력 반도체 소자의 활성 영역과 단부 영역의 경계에 위치하는 p형 웰 영역의 p형의 불순물의 유효한 효과를 감소시키게 된다.
- [0016] 따라서 전력 반도체 소자의 활성 영역과 단부 영역의 경계에서 내압(BV;Breakdown Voltage)가 감소될 수 있다.
- [0017] 하기의 선행기술문헌의 특허문헌 1에 기재된 발명은 접합 구조를 갖는 반도체 장치에 관한 발명으로써, 셀 영역의 내전압보다 높은 내전압을 갖는 주변 영역을 개시하고 있다.

선행기술문헌

특허문헌

- [0018] (특허문헌 0001) 한국 공개특허공보 제2006-0066655호

발명의 내용

해결하려는 과제

- [0019] 본 개시는 활성 영역과 단부 영역의 경계의 내압을 향상시킨 전력 반도체 소자를 제공하고자 한다.

- 과제의 해결 수단**
- [0020] 본 개시의 일 실시 예에 따른 전력 반도체 소자는 온-동작시에 형성되는 채널을 통해 전류가 흐르는 활성 영역; 상기 활성 영역의 주변에 형성되는 단부 영역; 상기 활성 영역에 형성되며, 일 방향으로 길게 형성되는 복수의 트랜치; 및 상기 활성 영역에 형성되며, 상기 채널의 하부에 형성되는 제1 도전형의 정공 축적 영역;을 포함하고, 상기 단부 영역과 상기 활성 영역의 경계에 형성되는 트랜치는 인접하는 트랜치에 비해 깊이가 작을 수 있다.
- [0021] 일 실시 예에 있어서, 상기 단부 영역과 상기 활성 영역의 경계에 형성되는 정공 축적 영역은 인접하는 정공 축적 영역에 비하여 형성되는 깊이가 작을 수 있다.
- [0022] 일 실시 예에 있어서, 상기 단부 영역에 형성되는 제2 도전형의 전계 제한 영역을 더 포함할 수 있다.
- [0023] 일 실시 예에 있어서, 상기 전계 제한 영역은 상기 활성 영역과 상기 단부 영역의 경계에 위치하는 상기 트랜치의 적어도 일부를 덮도록 형성될 수 있다.
- [0024] 일 실시 예에 있어서, 상기 전계 제한 영역은 상기 활성 영역과 상기 단부 영역의 경계에 위치하는 상기 트랜치의 하부의 적어도 일부를 덮을 수 있다.
- [0025] 일 실시 예에 있어서, 상기 활성 영역과 상기 단부 영역의 경계에 위치하는 상기 트랜치는 인접하는 상기 트랜치보다 작은 폭을 가질 수 있다.
- [0026] 본 개시의 다른 실시 예에 따른 전력 반도체 소자는 제1 도전형의 제1 반도체 영역; 상기 제1 반도체 영역의 상부에 형성되며, 상기 제1 반도체 영역의 불순물 농도보다 더 높은 불순물 농도를 갖는 제1 도전형의 제2 반도체 영역; 상기 제2 반도체 영역의 상부에 형성되는 제2 도전형의 제3 반도체 영역; 상기 제3 반도체 영역의 상부 내측에 형성되는 제1 도전형의 제4 반도체 영역; 상기 제4 반도체 영역으로부터 상기 제1 반도체 영역까지 관입하여 형성되며, 일 방향으로 길게 형성되는 복수의 트랜치;를 포함하고, 상기 복수의 트랜치 중 최외곽에 위치하는 트랜치는 인접하는 트랜치에 비해 깊이가 작을 수 있다.
- [0027] 다른 실시 예에 있어서, 상기 제2 반도체 영역 중 최외곽에 위치하는 제2 반도체 영역은 인접하는 정공 축적 영역에 비하여 형성되는 깊이가 작을 수 있다.
- [0028] 다른 실시 예에 있어서, 상기 제1 반도체 영역의 상부에 형성되며, 상기 복수의 트랜치 중 최외곽에 위치하는 트랜치의 적어도 일부를 덮도록 형성되는 제2 도전형의 전계 제한 영역을 더 포함할 수 있다.
- [0029] 다른 실시 예에 있어서, 상기 전계 제한 영역은 상기 복수의 트랜치 중 최외곽에 위치하는 트랜치의 하부의 적어도 일부를 덮을 수 있다.
- [0030] 다른 실시 예에 있어서, 상기 복수의 트랜치 중 최외곽에 위치하는 트랜치는 인접하는 트랜치에 비해 폭이 작을

수 있다.

발명의 효과

[0031] 본 발명의 일 실시 예에 따른 전력 반도체 소자는 전계 제한 영역이 상기 활성 영역과 상기 단부 영역의 경계에 위치하는 상기 트렌치의 길이가 인접하는 트렌치에 비해 깊이가 얕기 때문에, 활성 영역과 단부 영역의 경계의 내압을 향상시킬 수 있다.

도면의 간단한 설명

[0032] 도 1은 본 개시의 일 실시 예에 따른 전력 반도체 소자의 개략적인 사시도를 도시한 것이다.
 도 2는 본 개시의 일 실시 예에 따른 전력 반도체 소자의 개략적인 단면도를 도시한 것이다.
 도 3는 본 개시의 다른 실시 예에 따른 전력 반도체 소자의 개략적인 단면도를 도시한 것이다.
 도 4는 본 개시의 또 다른 실시 예에 따른 전력 반도체 소자의 개략적인 단면도를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0033] 후술하는 본 개시에 대한 상세한 설명은, 본 발명이 실시될 수 있는 특정 실시예를 예시로서 도시하는 첨부 도면을 참조한다.

[0034] 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다.

[0035] 본 개시의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다.

[0036] 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다.

[0037] 또한, 각각의 개시된 실시 예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다.

[0038] 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 개시의 범위는, 적절하게 설명된다면, 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다.

[0039] 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.

[0040] 이하에서는, 본 개시가 속하는 기술분야에서 통상의 지식을 가진 자가 본 개시의 실시 예들을 용이하게 실시할 수 있도록 하기 위하여, 본 개시의 실시 예들에 관하여 첨부된 도면을 참조하여 상세히 설명하기로 한다.

[0041] 전력용 스위치는 전력용 MOSFET, IGBT, 여러 형태의 사이리스터 및 이와 유사한 것들 중 어느 하나에 의해 구현될 수 있다. 여기에 개시된 신규한 기술들 대부분은 IGBT를 기준으로 설명된다. 그러나 여기에서 개시된 여러 실시예들이 IGBT로 한정되는 것은 아니며, 예컨대 IGBT 외에도, 전력용 MOSFET와 여러 종류의 사이리스터를 포함하는 다른 형태의 전력용 스위치 기술에도 대부분 적용될 수 있다. 더욱이, 본 개시의 여러 실시 예들은 특정 p형 및 n형 영역을 포함하는 것으로 묘사된다. 그러나 여기에서 개시되는 여러 영역의 도전형이 반대인 소자에 대해서도 동일하게 적용될 수 있다는 것은 당연하다.

[0042] 또한, 여기서 사용되는 n형, p형은 제1 도전형 또는 제2 도전형이라고 정의될 수 있다. 한편, 제1 도전형, 제2 도전형은 상이한 도전형을 의미한다.

[0043] 또한, 일반적으로, '+'는 고농도로 도핑된 상태를 의미하고, '-'는 저농도로 도핑된 상태를 의미한다.

[0044] 이하에서 명확한 설명을 위하여, 제1 도전형은 n형, 제2 도전형을 p형으로 표시하도록 하지만, 이에 제한되는 것은 아니다.

- [0045] 또한, 제1 반도체 영역은 드리프트 영역, 제2 반도체 영역은 정공 축적 영역, 제3 반도체 영역은 바디 영역, 제 4 반도체 영역은 에미터 영역으로 표시하도록 하지만, 이에 제한되는 것은 아니다.
- [0046] 도 1은 본 개시의 일 실시 예에 따른 전력 반도체 소자(100)의 개략적인 사시도를 도시한 것이며, 도 2는 본 개시의 일 실시 예에 따른 전력 반도체 소자(100)의 개략적인 단면도를 도시한 것이다.
- [0047] 도 1 및 도 2를 참조하여, 본 개시의 일 실시 예에 따른 전력 반도체 소자(100)의 구조에 대해 설명하도록 한다.
- [0048] 본 개시의 일 실시 예에 따른 전력 반도체 소자(100)는 크게 온(on)-동작시에 전류가 흐르는 활성 영역(A)과 상기 활성 영역(A)의 주위에 형성되어 내압을 지지하는 단부 영역(T)로 구성된다.
- [0049] 우선 활성 영역(A)의 구조에 대해서 살펴보도록 한다.
- [0050] 상기 활성 영역(A)은 드리프트 영역(110), 정공 축적 영역(112), 바디 영역(120), 에미터 영역(130) 및 콜렉터 영역(150)으로 구성될 수 있다.
- [0051] 상기 드리프트 영역(110)은 n형의 불순물을 저농도로 주입하여 형성될 수 있다.
- [0052] 따라서 상기 드리프트 영역(110)은 소자의 내압을 유지하기 위해 비교적 두꺼운 두께를 가지게 된다.
- [0053] 상기 드리프트 영역(110)은 하부에 버퍼 영역(111)을 더 포함할 수 있다.
- [0054] 상기 버퍼 영역(111)은 n형의 불순물을 상기 드리프트 영역(110)의 후면에 주입하여 형성시킬 수 있다.
- [0055] 상기 버퍼 영역(111)은 소자의 공핍 영역이 확장될 때, 이를 지지하는 역할을 함으로써 소자의 내압을 유지하는 것에 도움을 준다.
- [0056] 따라서 상기 버퍼 영역(111)이 형성되는 경우에는 상기 드리프트 영역(110)의 두께를 얇게 할 수 있어, 전력 반도체 소자의 소형화를 가능케 할 수 있다.
- [0057] 상기 드리프트 영역(110)은 상부에 p형의 불순물을 주입하여 바디 영역(120)을 형성할 수 있다.
- [0058] 상기 바디 영역(120)은 p형의 도전형을 가짐으로써 상기 드리프트 영역(110)과 pn 접합을 형성하게 된다.
- [0059] 상기 바디 영역(120)의 상면 내측에는 n형의 불순물을 고농도로 주입하여 에미터 영역(130)을 형성할 수 있다.
- [0060] 상기 에미터 영역(130)으로부터 상기 바디 영역(120)을 관통하여 상기 드리프트 영역(110)까지 트렌치(140)가 형성될 수 있다.
- [0061] 즉, 상기 트렌치(140)는 상기 에미터 영역(130)으로부터 상기 드리프트 영역(110)의 일부까지 관입하도록 형성될 수 있다.
- [0062] 상기 트렌치(140)는 일 방향(y방향)으로 길게 형성될 수 있으며, 길게 형성된 방향에 수직한 방향(x방향)으로 일정한 간격을 가지며 배열될 수 있다.
- [0063] 상기 트렌치(140)는 상기 드리프트 영역(110), 상기 바디 영역(120) 및 상기 에미터 영역(130)과 접하는 부분에 게이트 절연층(141)이 형성될 수 있다.
- [0064] 상기 게이트 절연층(141)은 실리콘 옥사이드(SiO₂)일 수 있으나, 이에 제한되는 것은 아니다.
- [0065] 상기 트렌치(140)의 내부에는 도전성 물질(142)이 충전될 수 있다.
- [0066] 상기 도전성 물질(142)은 폴리 실리콘(Poly-Si) 또는 금속일 수 있으나, 이에 제한되는 것 아니다.
- [0067] 상기 도전성 물질(142)은 게이트 전극(미도시)와 전기적으로 연결되어, 본 발명의 일 실시 예에 따른 전력 반도체 소자(100)의 동작을 제어하게 된다.
- [0068] 상기 도전성 물질(142)에 양의 전압이 인가되는 경우, 상기 바디 영역(120)에 채널(C)이 형성된다.
- [0069] 구체적으로, 상기 도전성 물질(142)에 양의 전압이 인가되는 경우, 상기 바디 영역(120)에 존재하는 전자가 상기 트렌치 게이트(140) 쪽으로 끌려오게 되는데, 전자가 상기 트렌치 게이트(140)에 모여서 채널(C)이 형성되는

것이다.

- [0070] 즉, pn 접합으로 인해 전자와 정공이 재결합(recombination)되어 캐리어가 없는 공핍 영역에 상기 트랜치 게이트(140)가 전자를 끌어당겨 채널(C)이 형성됨으로써 전류가 흐를 수 있게 된다.
- [0071] 상기 드리프트 영역(110)의 하부 또는 상기 버퍼 영역(111)의 하부에는 p형의 불순물을 주입하여 콜렉터 영역(150)을 형성시킬 수 있다.
- [0072] 전력 반도체 소자가 IGBT인 경우, 상기 콜렉터 영역(150)은 전력 반도체 소자에 정공을 제공할 수 있다.
- [0073] 소수 캐리어(carrier)인 정공의 고농도 주입으로 인해 드리프트 영역에서의 전도도가 수십에서 수백 배 증가하는 전도도 변조(conductivity modulation)가 발생하게 된다.
- [0074] 특히, 상기 드리프트 영역(110)과 상기 바디 영역(120)의 사이에 형성되며, 상기 드리프트 영역(110)보다 n형의 불순물 농도가 더 높은 정공 축적 층(112)이 형성되는 경우, 상기 정공 축적 층(112)은 정공의 축적량을 크게 증가시킴으로써 전도도 변조 현상을 극대화시켜, 전력 반도체 소자의 온(on) 동작시의 손실을 감소시킬 수 있다.
- [0075] 상기 에미터 영역(130) 및 상기 바디 영역(120)의 노출된 상면에는 에미터 금속층(미도시)이 형성될 수 있으며, 상기 콜렉터 영역(150)의 하면에는 콜렉터 금속층(미도시)이 형성될 수 있다.
- [0076] 상기 활성 영역(A)과 상기 단부 영역(A)의 경계는 상기 활성 영역(A)의 최외곽부에 해당한다.
- [0077] 상기 트랜치(140) 중 상기 단부 영역(T)과 상기 활성 영역(A)의 경계에 형성된 트랜치(140)에 대해 좀 더 자세히 살펴보도록 한다.
- [0078] 이하에서 명확한 설명을 위하여, 상기 트랜치(140) 중 상기 단부 영역(T)과 상기 활성 영역(A)의 경계에 형성된 트랜치(140)를 경계 트랜치라 부르도록 한다.
- [0079] 상기 경계 트랜치는 상기 활성 영역(A)에 형성된 다른 트랜치에 비해 형성되는 깊이가 얕을 수 있다.
- [0080] 본 개시에서 설명하는 깊이란 최초에 마련된 드리프트 영역(110)의 상면으로 부터의 깊이를 의미한다.
- [0081] 즉, 경계 트랜치(140)를 형성하는 공정에서 상기 경계 트랜치는 상기 드리프트 영역(110)을 상기 트랜치(140)에 비해 조금 식각하여 형성될 수 있다.
- [0082] 상기 정공 축적 영역(112)은 상기 트랜치(140)를 형성하는 공정에서 일정한 깊이로 예비 트랜치를 형성한 후에 제1 도전형의 불순물을 주입하는 단계, 예비 트랜치를 상기 트랜치(140)의 깊이만큼 식각하는 단계를 포함하여 형성될 수 있다.
- [0083] 하지만 상기 경계 트랜치를 형성할 때에는 상기 경계 트랜치의 예비 트랜치를 다른 예비 트랜치에 비해 작은 깊이를 갖도록 식각한 후에 제1 도전형의 불순물을 주입할 수 있다.
- [0084] 따라서 상기 경계 트랜치에 대응하는 위치에 형성되는 정공 축적 영역(112)은 표면으로부터 형성되는 깊이가 다른 위치에 형성되는 정공 축적 영역(112)보다 작을 수 있다.
- [0085] 따라서 고농도의 불순물을 주입하여 상기 정공 축적 영역(112)을 형성하는 경우에도 상기 단부 영역(T)과 상기 활성 영역(A)의 경계에서 내압이 감소하는 것을 방지할 수 있다.
- [0086] 다음으로 단부 영역(T)의 구조에 대해 설명하도록 한다.
- [0087] 상기 단부 영역(T)은 제2 도전형의 전계 제한 영역(160)과 제2 도전형의 가드링(170)이 형성될 수 있다.
- [0088] 상기 전계 제한 영역(160)의 불순물 농도는 상기 가드링(170)의 불순물 농도보다 높을 수 있다.
- [0089] 상기 전계 제한 영역(160)이 상기 활성 영역(A)과 상기 단부 영역(T)의 경계에 위치하는 트랜치(140)를 덮도록 형성될 수 있다.
- [0090] 즉, 상기 전계 제한 영역(160)이 상기 활성 영역(A)의 최외곽에 위치하는 트랜치(140)를 덮도록 형성될 수 있다.

- [0091] 여기에서 덮는다는 것은 상기 전계 제한 영역(160)이 상기 단부 영역(T)으로부터 상기 활성 영역(A)의 일부까지 주입 또는 확산됨으로써 상기 단부 영역(T)의 일부까지 주입 또는 확산된 정공 축적 영역(112)과 드리프트 영역(110)이 직접적으로 접하는 것을 막는 것을 의미한다.
- [0092] 상기 전계 제한 영역(160) 상기 활성 영역(A)과 상기 단부 영역(T)의 경계에 위치하는 트렌치(140)를 덮도록 형성되기 위하여, 상기 전계 제한 영역(160)은 경계 트렌치보다 깊은 깊이를 갖도록 형성될 수 있다.
- [0093] 상기 단부 영역(T)의 일부까지 정공 축적 영역(112)이 형성되어 있는 경우에는 상기 정공 축적 영역(112)의 높은 불순물 농도로 인해, 상기 가드링(170)만으로 전계를 지지하기 어렵다.
- [0094] 즉, 상기 전계 제한 영역(160)이 없는 경우, 상기 정공 축적 영역(112)의 제1 도전형의 높은 불순물 농도로 인해 상기 가드링(170)의 전계를 지지하는 성능이 감소하게 된다.
- [0095] 따라서 상기 활성 영역(A)과 상기 단부 영역(T)의 경계에 위치하는 트렌치(140)의 하부 모서리 부분에 전계가 집중하게 되고, 내압이 급격하게 감소하게 된다.
- [0096] 하지만 본 개시의 일 실시 예에 따른 전력 반도체 소자는 상기 활성 영역(A)과 상기 단부 영역(T)의 경계에 위치하는 트렌치(140)의 하부 모서리 부분을 상기 전계 제한 영역(160)이 감싸고 있기 때문에, 전계가 집중되는 것을 막을 수 있다.
- [0097] 전계가 집중되는 것을 막음으로써, 전력 반도체 소자의 내압을 증가시킬 수 있다.
- [0098] 또한, 전력 반도체 소자(100)의 내압을 증가시키기 위해, 전계 제한 영역(160)은 상기 트렌치(140)의 적어도 일부를 덮도록 상기 트렌치(140)의 깊이보다 더 깊은 깊이를 가지도록 형성되어야 하므로, 활성 영역(A)과 단부 영역(T)의 경계에 형성되는 트렌치(140)의 깊이를 줄임으로써 상기 전계 제한 영역(160)의 깊이를 감소시킬 수 있다.
- [0099] 내압(BV)은 곡률이 큰 부분에서 전계가 집중하여 낮아지게 되므로, 활성 영역(A)과 단부 영역(T)의 경계에 형성되는 트렌치(140)의 깊이를 줄임으로써 전계가 집중되는 부분을 최소화할 수 있어, 내압을 향상시킬 수 있다.
- [0100] 또한, 전계 제한 영역(160)을 형성되는 깊이를 줄임으로써, 전계 제한 영역(160)을 형성하는 공정을 짧게 할 수 있다.
- [0101] 도 3은 본 개시의 다른 실시 예에 따른 전력 반도체 소자(200)의 개략적인 단면도를 도시한 것이다.
- [0102] 도 3에 도시된 전력 반도체 소자(200)의 구조에 대해, 앞서 설명한 일 실시예의 전력 반도체 소자(100)의 구조와 차이가 있는 부분에 대해서 설명하도록 하며, 설명되지 아니한 부분은 동일한 것을 의미한다.
- [0103] 본 개시의 다른 실시 예에 따른 전력 반도체 소자(200)의 전계 제한 영역(260)은 활성 영역(A)과 단부 영역(T)의 경계에 위치하는 트렌치(240)의 하부의 일부를 덮도록 형성될 수 있다.
- [0104] 상기 전계 제한 영역(260)은 제2 도전형의 불순물을 이용하여 형성되기 때문에, 정공 축적 영역(212)와 접하는 부분으로 전류가 흐를 수 없다.
- [0105] 따라서 전계 제한 영역(260)은 활성 영역(A)과 단부 영역(T)의 경계에 위치하는 트렌치(240)의 하부의 일부를 덮도록 형성됨으로써, 상기 트렌치(240)의 활성 영역(A) 쪽으로 전류가 흐를 수 있도록 할 수 있다.
- [0106] 또한, 본 개시의 다른 실시 예에 따른 전력 반도체 소자(200)는 상기 활성 영역(A)과 상기 단부 영역(T)의 경계에 위치하는 트렌치(240)의 상기 단부 영역(T) 쪽의 하부 모서리 부분을 상기 전계 제한 영역(260)이 감싸고 있기 때문에, 전계가 집중되는 것을 막을 수 있다.
- [0107] 전계가 집중되는 것을 막음으로써, 전력 반도체 소자(200)의 내압을 증가시킬 수 있다.
- [0108] 도 4는 본 개시의 또 다른 실시 예에 따른 전력 반도체 소자의 개략적인 단면도를 도시한 것이다.
- [0109] 도 4에 도시된 전력 반도체 소자(300)의 구조에 대해, 앞서 설명한 일 실시예의 전력 반도체 소자(300)의 구조와 차이가 있는 부분에 대해서 설명하도록 하며, 설명되지 아니한 부분은 동일한 것을 의미한다.
- [0110] 본 개시의 또 다른 실시 예에 따른 전력 반도체 소자(330)는 활성 영역(A)과 단부 영역(T)의 경계에 형성되는

트렌치(340)의 폭이 인접하는 트렌치(340)의 폭보다 작은 폭을 갖도록 형성될 수 있다.

[0111] 활성 영역(A)과 단부 영역(T)의 경계에 형성되는 트렌치(340)의 폭이 인접하는 트렌치(340)의 폭보다 작은 폭이 작기 때문에, 상기 트렌치(340)를 형성하는 공정에서 별도의 추가 공정없이 활성 영역(A)의 내측에 위치하는 트렌치와 상기 활성 영역(A) 및 단부 영역(T)의 경계에 위치하는 트렌치의 깊이가 다른 트렌치에 비해 작아지도록 할 수 있다.

[0112] 또한, 앞서 설명한 바와 같이, 전계 제한 영역(360)이 형성된 부분은 전류가 흐를 수 없다.

[0113] 따라서 활성 영역(A)과 단부 영역(T)의 경계에 형성되는 트렌치(340)의 폭을 줄임으로써, 활성 영역(A)을 최대화할 수 있다.

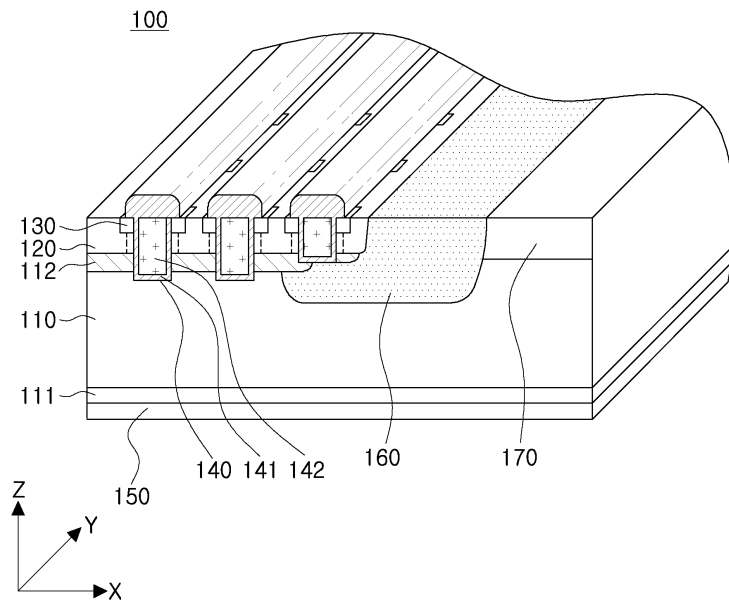
[0114] 또한, 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속한다.

부호의 설명

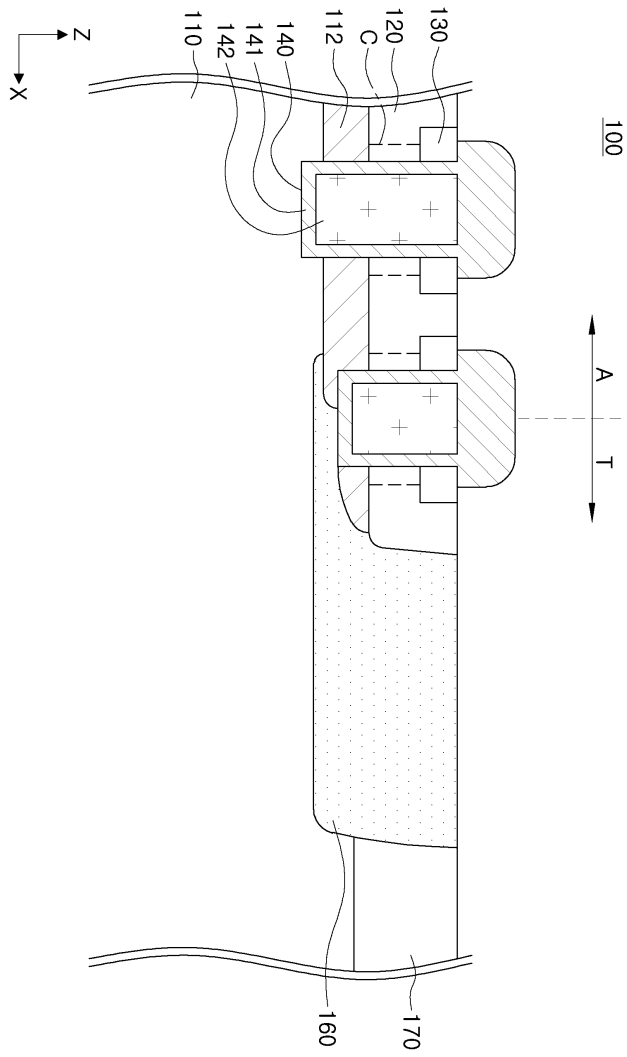
- [0115] 100: 전력 반도체 소자
110: 드리프트 영역
112: 정공 축적 영역
120: 바디 영역
130: 에미터 영역
140: 트렌치
150: 콜렉터 영역
160: 전계 제한 영역
170: 가드 링

도면

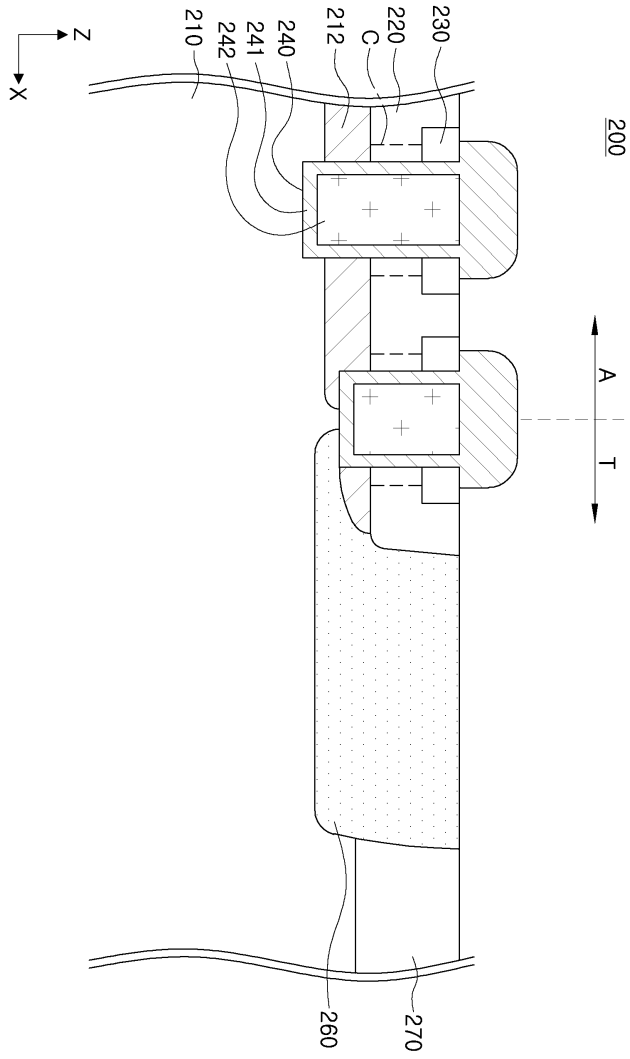
도면1



도면2



도면3



도면4

