

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 23/48

(45) 공고일자 2001년02월01일

(11) 등록번호 10-0280597

(24) 등록일자 2000년11월10일

| | | | |
|-------------|-----------------|-------------|---------------|
| (21) 출원번호 | 10-1997-0073229 | (65) 공개번호 | 특1999-0013270 |
| (22) 출원일자 | 1997년12월24일 | (43) 공개일자 | 1999년02월25일 |
| (30) 우선권 주장 | 97-182827 | 1997년07월08일 | 일본(JP) |

| | | |
|-----------|---|-----------|
| (73) 특허권자 | 후지쯔 가부시끼가이샤 | 아끼구사 나오유키 |
| (72) 발명자 | 일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1-1 후지사 와 데츠야 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1반 1고, 후지쯔 가부시끼가이샤 나이 사토 미츠타카 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1반 1고, 후지쯔 가부시끼가이샤 나이 오리모 세이이치 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1반 1고, 후지쯔 가부시끼가이샤 나이 미토베 가즈히코 일본 니이가타켄 기타칸바라군 세이로마치 오아자 마노 1259 세키 마사아키 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1반 1고, 후지쯔 가부시끼가이샤 나이 와키 마사키 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1반 1고, 후지쯔 가부시끼가이샤 나이 하마노 도시오 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1반 1고, 후지쯔 가부시끼가이샤 나이 하야시다 가츠히로 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1반 1고, 후지쯔 가부시끼가이샤 나이 | |
| (74) 대리인 | 조태연 | |

심사관 : **마정윤**

(54) 반도체장치와반도체장치유닛및반도체장치유닛의제조방법

요약

본 발명은 반도체 장치를 적층화함으로써 고밀도 실장을 도모하는 반도체 장치와 반도체 장치 유닛 및 반도체 장치 유닛의 제조 방법에 관한 것으로, 리드가 한층 더 변형하거나 단락하는 것을 방지하는 것을 해결 과제로 한다.

반도체 칩(21)이 밀봉되는 수지 패키지(27A)와, 반도체 칩(21)에 접속되는 내부 리드부(24a) 및 수지 패키지(27A)의 외부에 위치하고 외부 접속 단자로서 기능하는 외부 리드부(24b)를 갖는 리드를 구비하고, 외부 리드부(24b)를 수지 패키지(27A)의 외형에 따라 구부려서 상기 수지 패키지(27A)의 측면 또는 상면으로 인출한 구성으로 된 반도체 장치에 있어서, 상기 외부 리드부(24b)의 일부와 겹쳐 맞춤함으로써 외부 리드부(24b)의 위치 결정을 행하는 상면 홈부(28A)를 설치한다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예인 반도체 장치의 사시도.

- 도 2는 본 발명의 제1 실시예인 반도체 장치의 단면도.
 도 3은 본 발명의 제1 실시예인 반도체 장치의 단면도로서, 외부 리드부와 홈부와의 높이 관계를 설명하기 위한 도면.
 도 4는 본 발명의 제2 실시예인 반도체 장치의 단면도.
 도 5는 본 발명의 제3 실시예인 반도체 장치의 단면도.
 도 6은 본 발명의 제4 실시예인 반도체 장치의 단면도.
 도 7은 본 발명의 제1 실시예인 반도체 장치 유닛의 단면도.
 도 8은 본 발명의 제2 실시예인 반도체 장치 유닛의 단면도.
 도 9는 본 발명의 제1 실시예인 반도체 장치 유닛의 제조 방법을 설명하기 위한 흐름도.
 도 10은 본 발명의 제1 실시예인 반도체 장치 유닛의 제조 방법을 설명하기 위한 도면.
 도 11은 본 발명의 제1 실시예인 반도체 장치 유닛의 제조 방법의 변형예를 설명하기 위한 도면.
 도 12는 본 발명의 제5 실시예인 반도체 장치의 사시도.
 도 13은 본 발명의 제5 실시예인 반도체 장치의 단면도.
 도 14는 본 발명의 제5 실시예인 반도체 장치의 단면도로서, 외부 리드부와 홈부와의 높이 관계를 설명하기 위한 도면.
 도 15는 본 발명의 제6 실시예인 반도체 장치의 단면도.
 도 16은 본 발명의 제3 실시예인 반도체 장치 유닛의 단면도.
 도 17은 본 발명의 제7 실시예인 반도체 장치의 단면도.
 도 18은 본 발명의 제7 실시예인 반도체 장치의 제조 방법을 설명하기 위한 도면.
 도 19는 본 발명의 제8 실시예인 반도체 장치의 단면도.
 도 20은 본 발명의 제9 실시예인 반도체 장치의 단면도.
 도 21은 본 발명의 제10 실시예인 반도체 장치의 사시도.
 도 22는 본 발명의 제11 실시예인 반도체 장치의 단면도.
 도 23은 본 발명의 제4 실시예인 반도체 장치 유닛의 단면도.
 도 24는 본 발명의 제12 실시예인 반도체 장치의 단면도.
 도 25는 본 발명의 제5 실시예인 반도체 장치 유닛의 단면도.
 도 26은 종래의 반도체 장치의 일예를 설명하기 위한 제1 도면.
 도 27은 종래의 반도체 장치의 일예를 설명하기 위한 제2 도면.
 도 28은 종래의 반도체 장치의 일예를 설명하기 위한 제3 도면.
 도 29는 종래의 반도체 장치의 일예를 설명하기 위한 제4 도면.
 도 30은 종래의 반도체 장치의 일예를 설명하기 위한 제5 도면.

〈도면의 주요 부분에 대한 부호의 설명〉

20A~20L : 반도체 장치

21 : 반도체 칩

24, 48 : 리드

24a, 48a : 내부 리드부

24b, 48b : 외부 리드부

24b-1, 48b-1 : 제1 단자부

24b-2, 48b-2 : 제2 단자부

24b-3 : 제3 단자부

25 : 와이어

27A~27H : 수지 패키지

27a : 저면

27b : 상면

27c : 측면

28A, 28B : 상면 홈부

29 : 측면 홈부
 30,31 : 접촉제
 31A : 테이프형 접촉제
 32, 47 : 뿔납
 33 : 뿔납조
 34 : 트레이
 35 : 뿔납 페이스트
 36 : 인쇄 마스크
 37A~37C : 걸어 맞춤 부재
 38A~38C : 걸어 맞춤 오목부
 40 : 금형
 44 : 돌기부
 45 : 실장 기판
 46A,46B : 방열판
 50A~50E : 반도체 장치 유닛

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치와 반도체 장치 유닛 및 반도체 장치 유닛의 제조 방법에 관한 것으로, 특히 반도체 장치를 적층화함으로써 고밀도 실장을 도모하는 반도체 장치와 반도체 장치 유닛 및 반도체 장치 유닛의 제조 방법에 관한 것이다.

최근의 전자 기기는 소형화, 고속화 및 고기능화가 요구되고 있으며, 이들 전자 기기에 이용되는 반도체 장치에 대해서도 동일한 요구가 수반되고 있다.

또한, 이러한 반도체 장치 자체에 대한 요구에 부가하여 반도체 장치를 실장 기판에 실장할 때의 실장 효율의 개선도 요망되고 있다.

그래서, 리드를 실장 기판의 표면에서 접속하는 표면 실장형 반도체 장치가 현재 주류를 이루고 있지만, 더욱 실장 효율의 향상을 도모하는 반도체 장치가 요망되고 있다.

도 26은 종래의 반도체 장치(10)의 사시도이고, 도 27은 도 26의 A-A선을 따라 절취된 단면도이다. 이 반도체 장치(1)는 본 출원인이 먼저 제안한 반도체 장치로서, 일본국 특개소 63-15453호 또는 일본국 특개소 63-15451호의 공보에 개시된 것이다.

각 도면에 도시한 반도체 장치(1)는 반도체 소자(반도체 칩)(2), 이 반도체 칩(2)을 밀봉하는 수지 패키지(3), 각각의 일단부(4a)가 반도체 칩(2)과 와이어(5)에 의해 접속됨과 동시에 타단측이 수지 패키지(3)의 저면(3a)에 노출되어 외부 단자(6)를 형성하는 리드(4), 반도체 칩(2)이 탑재되는 스테이지(7) 등으로 구성되어 있다. 즉, 반도체 장치(1)에서는 리드(4)의 외부 단자(6)를 제외한 다른 부분은 수지 패키지(3) 내에 밀봉된 구성으로 되어 있다.

상기와 같이 구성된 반도체 장치(1)에서는 리드(4)의 외부 단자(6)로 되는 부분이 수지 패키지(3)의 저면(3a)에 노출된 구성으로 되기 때문에, 리드(4)의 수지 패키지(3)로부터 측방향으로의 인출량을 작게 할 수 있고, 이것에 의해 실장 밀도의 향상을 도모할 수 있다. 또한, 리드의 인출부의 굽힘 가공이 불필요해질 뿐만 아니라 이 굽힘 가공용의 금형도 불필요하게 되어 제조 비용의 감소를 도모할 수 있는 등의 여러 가지 효과를 가져온다.

그런데 상기한 종래의 반도체 장치는 도 27에 도시한 바와 같이, 반도체 칩(2)의 측부에 와이어 접속되는 리드(4)의 단부(4a)가 위치하는 구성으로 되어 있기 때문에, 수지 패키지(3)가 대형화되어 반도체 장치(1)의 충분한 소형화를 이룰 수 없다고 하는 문제점이 있었다. 즉, 반도체 장치의 크기로서는 이상적으로는 대략 반도체 칩의 크기와 동일한 정도로 소형화하는 것이 바람직하지만, 상기한 종래의 반도체 장치(1)에서는 반도체 칩(2)에 대하여 수지 패키지(3)의 크기가 2배 이상으로 커져 버린다.

그래서 본 출원인은 먼저 일본국 특허 출원 평4-281951호의 「반도체 장치 및 그 제조 방법」을 제안하였다. 도 28은 상기 출원에 관한 반도체 장치를 도시하고 있다.

동 도면에 도시한 반도체 장치(10A)는 반도체 칩(11)과, 이 반도체 칩(11)을 밀봉하는 수지 패키지(17)와, 각각의 내측 단부(14a)가 반도체 칩(11)과 전기적으로 접속됨과 동시에 외측 단부가 수지 패키지(17)의 저면(17a)에 노출되어 외부 단자(16)를 형성하고, 이 외부 단자(16)를 제외한 다른 부분은 수지 패키지(17)에 밀봉된 구성의 복수의 리드(14)를 구비하고 있다. 그리고, 상기 복수의 리드(14)를 수지 패키지(17) 내에서 높이 방향에 대하여 그 일부 또는 전부가 반도체 칩(11)과 중첩되는 구성으로 한 것을 특징으로 한다.

반도체 장치(10A)를 상기 구성으로 함으로써, 복수의 리드(14)는 수지 패키지(17) 내에서 높이 방향에 대하여 그 일부 또는 전부가 반도체 칩(11)과 중첩된 구성으로 되기 때문에, 도 26 및 도 27에 도시한 반도체 장치(1)에 비하여 이 중첩되어 있는 부분(도면중, 화살표 L1 으로 나타냄)의 면적만큼 반도체 장치(10A)의 소형화를 도모할 수 있다. 한편, 도 28에 있어서, 12는 스테이지를, 13은 전극 패드를, 15는 와이어를 각각 나타내고 있다.

그런데, 최근에는 더욱 고밀도 실장을 행하기 위하여, 반도체 장치를 상하 방향으로 3차원적으로 적층(스택)하여 실장하는 것이 행하여지고 있다. 그런데, 도 28에 도시한 반도체 장치(10)에서는 이것을 상하 방향으로 적층하여 실장할 수 없고, 한층 더 고밀도 실장화(즉 3차원적 실장)를 행할 수 없다고 하는 문제점이 있다.

그래서, 본 출원인은 먼저 일본국 특허 출원 평6-168449호의 「반도체 장치 및 반도체 장치 유닛」을 제안하였다. 도 29 및 도 30은 상기 출원에 관한 반도체 장치를 도시하고 있다.

동 도면에 도시한 반도체 장치(10B)는 내부 리드부(18a) 및 외부 리드부(18b)로 이루어진 리드(18)의 외부 리드부(18b)를 수지 패키지(17)의 외측으로 연장시킴과 동시에 이 외부 리드부(18b)를 수지 패키지(17)의 외형을 따라 구부려서 제1 내지 제3 단자부(18b-1~18b-3)를 형성한 것을 특징으로 하는 것이다.

이와 같은 구성으로 함으로써 제1 단자부(18b-1)는 수지 패키지(17)의 저면에 위치하고, 제2 단자부(18b-2)는 수지 패키지(17)의 상면에 위치하는 구성으로 된다. 따라서, 반도체 장치(10B)를 적층(스택)하여 실장하는 것이 가능하게 되어, 한층 더 고밀도 실장화를 실현하는 것이 가능해진다.

발명이 이루고자 하는 기술적 과제

그런데, 도 29 및 도 30에 도시한 반도체 장치(10B)는 단지 외부 리드부(18b)를 수지 패키지(17)의 외형을 따라 구부려서 수지 패키지(17)의 상면으로까지 인출하는 구성으로 되어 있고, 따라서 제2 및 제3 단자부(18b-2, 18b-3)는 수지 패키지(17)로부터 약간 이격된 상태로 설치된 구성으로 되어 있다(도 30 참조).

이 때문에, 외력이 인가되면 외부 리드부(18b)는 변형이 용이하여 인접한 외부 리드부(18b)의 사이에서 단락이 발생되거나 제2 및 제3 단자부(18b-2, 18b-3)의 위치가 소정 위치로부터 벗어남으로써 반도체 장치(10B)를 적층하였을 때에, 상하의 반도체 장치(10B) 사이에서 전기적 접촉을 행할 수 없게 될 가능성이 있어, 신뢰성이 떨어진다고 하는 문제점이 있었다.

또한, 상기한 문제점을 해결하는 방법으로서, 삽입 성형(insert-molding) 등을 이용하여 구부러진 상태의 외부 리드부(18b)의 전체를 수지 패키지(17)내에 매설한 구성으로 하는 것을 생각할 수 있다. 이 때, 전기적인 접촉을 행하는 면은 수지 패키지(17)로부터 노출하도록 구성해 놓는다. 이와 같이 구성함으로써 외부 리드부(18b)는 위치 결정되고 불필요한 변위는 억제된다.

그런데, 외부 리드부(18b)를 수지 패키지(17)내에 매설하는 구성으로는 외부 리드부(18b)는 수지 패키지(17)내에서 변위할 여유가 없기 때문에, 예컨대 반도체 칩(11)의 발열 등에 의해 장치의 온도가 상승하는 경우, 리드(18)와 수지 패키지(17)와의 열 팽창차로 인하여 리드(18)와 수지 패키지(17)의 경계면에 응력이 발생하여 버린다.

일반적으로 리드(18)의 열팽창 계수는 수지 패키지(17)의 열팽창 계수보다 크기 때문에 상기한 바와 같이 장치의 온도가 상승하면 리드(18)는 수지 패키지(17)를 가압하여, 최악의 경우에는 수지 패키지(17)에 균열(crack)이 발생할 우려가 있다. 또한, 이 반도체 장치를 땀납을 이용해서 적층한 경우에는 상기한 응력이 땀납 접합 부분에 인가되어 땀납 박리가 발생할 우려도 있다.

본 발명은 상기한 점을 감안하여 행하여진 것으로서, 신뢰성이 높은 고밀도 실장화를 실현할 수 있는 반도체 장치와 반도체 장치 유닛 및 반도체 장치 유닛의 제조 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 과제는 하기의 수단을 이용하여 해결할 수 있다.

청구항 1에 기재된 발명에서는, 반도체 소자가 밀봉되는 수지 패키지와, 상기 반도체 소자에 접속되는 내부 리드부와 상기 수지 패키지의 외부에 위치하여 외부 접속 단자로서 기능하는 외부 리드부를 갖는 리드를 구비하고, 상기 외부 리드부를 상기 수지 패키지의 외형을 따라 구부려서 상기 수지 패키지의 측면 또는 상면으로 인출된 구성으로 이루어진 반도체 장치에 있어서,

상기 리드 또는 상기 수지 패키지의 적어도 한쪽에 상기 외부 리드부의 일부와 겹쳐 맞춤으로써 상기 외부 리드부의 위치 결정을 행하는 위치 결정 기구를 각각의 외부 리드부에 대하여 설치한 것을 특징으로 하는 것이다.

또한, 청구항 2에 기재된 발명에서는, 상기 청구항 1에 기재된 반도체 장치에 있어서, 상기 위치 결정 기구를, 상기 수지 패키지에 형성되고 상기 외부 리드부의 일부가 겹쳐 맞춰진 홈부에 의해 구성한 것을 특징으로 하는 것이다.

또한, 청구항 3에 기재된 발명에서는, 상기 청구항 2에 기재된 반도체 장치에 있어서, 상기 외부 리드부의 일부가 상기 홈부에 겹쳐 맞춰져 있을 때, 상기 외부 리드부의 일부가 상기 수지 패키지의 표면으로부터 돌출하도록 구성된 것을 특징으로 하는 것이다.

또한, 청구항 4에 기재된 발명에서는, 청구항 3에 기재된 반도체 장치에 있어서, 상기 홈부를 상기 수지 패키지의 상면에만 형성한 것을 특징으로 하는 것이다.

또한, 청구항 5에 기재된 발명에서는, 청구항 3에 기재된 반도체 장치에 있어서, 상기 홈부를 상기 수지

패키지의 측면에 형성한 것을 특징으로 하는 것이다.

또한, 청구항 6에 기재된 발명에서는, 청구항 4에 기재된 반도체 장치에 있어서, 상기 외부 리드부의 상기 수지 패키지의 상면에 위치하는 부분은 수평 방향으로 연장하도록 구성한 것을 특징으로 하는 것이다.

또한, 청구항 7에 기재된 발명에서는, 청구항 4에 기재된 반도체 장치에 있어서, 상기 외부 리드부의 상기 수지 패키지의 상면에 위치하는 부분은 경사 방향으로 연장하도록 구성한 것을 특징으로 하는 것이다.

또한, 청구항 8에 기재된 발명에서는, 청구항 7에 기재된 반도체 장치에 있어서, 상기 외부 리드부와 상기 홈부와의 대향하는 부분의 일부에, 상기 외부 리드부를 상기 홈부에 고정하는 접착제를 도포한 것을 특징으로 하는 것이다.

또한, 청구항 9에 기재된 발명에서는, 상기 청구항 1에 기재된 반도체 장치에 있어서, 상기 위치 결정 기구를, 상기 외부 리드부의 일부에 형성된 제1 걸어 맞춤부와, 상기 수지 패키지에 형성되고 상기 제1 걸어 맞춤부와 걸어 맞춤으로써 상기 외부 리드부의 위치 결정을 행하는 제2 걸어 맞춤부에 의해 구성한 것을 특징으로 하는 것이다.

또한, 청구항 10에 기재된 발명에서는, 상기 청구항 9에 기재된 반도체 장치에 있어서, 상기 제1 걸어 맞춤부를 수지 부재로 하고, 상기 제2 걸어 맞춤부를 상기 수지 패키지에 형성된 오목부로 한 것을 특징으로 하는 것이다.

또한, 청구항 11에 기재된 발명에서는, 상기 청구항 10에 기재된 반도체 장치에 있어서, 상기 수지 부재를 상기 수지 패키지와 동일한 재료로 형성한 것을 특징으로 하는 것이다.

또한, 청구항 12에 기재된 발명에서는, 반도체 소자가 밀봉되는 수지 패키지와, 상기 반도체 소자에 접속되는 내부 리드부와 상기 수지 패키지의 외부에 위치하여 외부 접속 단자로서 기능하는 외부 리드부를 갖는 리드를 구비하고, 상기 외부 리드부를 상기 수지 패키지의 외형을 따라 구부려서 상기 수지 패키지의 상면으로 인출된 구성으로 이루어진 반도체 장치에 있어서,

상기 수지 패키지의 4개의 코너 위치에 상기 수지 패키지의 표면보다 높고, 상기 외부 리드부의 두께보다 낮은 돌기부를 형성한 것을 특징으로 하는 것이다.

또한, 청구항 13에 기재된 발명에 따른 반도체 장치 유닛에서는, 반도체 장치를 복수개 상하 방향으로 적층한 구조를 가지며, 상기 복수개 적층된 상태에서 상부의 상기 반도체 장치의 저면에 위치하는 외부 리드부와, 하부에 설치된 상기 반도체 장치의 상면에 위치하는 외부 리드부가 전기적으로 접속되는 구성을 갖는 것을 특징으로 하는 것이다.

또한, 청구항 14에 기재된 발명에서는, 상기 청구항 13에 기재된 반도체 장치 유닛에 있어서, 상기 복수개 적층된 각 반도체 장치의 상기 수지 패키지의 측면과 대향하는 위치에서 상기 외부 리드부를 외부 접속 단자로서 실장 기판에 접합하는 구성으로 한 것을 특징으로 하는 것이다.

또한, 청구항 15에 기재된 발명에서는, 청구항 14에 기재된 반도체 장치 유닛에 있어서, 상기 적층되는 인접한 반도체 장치 사이에 방열 기능을 갖는 접착 부재를 설치한 것을 특징으로 하는 것이다.

또한, 청구항 16에 기재된 발명에서는, 반도체 장치를 복수개 상하 방향으로 적층한 구조를 갖는 반도체 장치 유닛의 제조 방법에 있어서,

상기 반도체 장치의 외부 접속 단자로서 기능하는 부위에 접합재를 설치하는 접합재 설치 공정과, 상기 접합재가 설치된 상기 반도체 장치를 복수개 적층하는 적층 공정과, 상기 적층된 복수의 반도체 장치에 열처리를 실시함으로써 상기 접합재에 의해 인접한 상기 각 반도체 장치끼리를 전기적 및 기계적으로 접합하는 접합 공정을 포함하는 것을 특징으로 하는 것이다.

또한, 청구항 17에 기재된 발명에서는, 상기 청구항 16에 기재된 반도체 장치 유닛의 제조 방법에 있어서, 상기 접합재 설치 공정에서는 상기 접합재로서 땀납을 이용함과 동시에, 땀납 딥 또는 땀납 페이스트 인쇄를 이용하여 상기 접합재를 설치하는 것을 특징으로 하는 것이다.

또한, 청구항 18에 기재된 발명에서는, 청구항 17에 기재된 반도체 장치 유닛의 제조 방법에 있어서, 상기 접합재 설치 공정의 실시후와 상기 적층 공정의 실시 이전에 인접한 상기 반도체 장치를 가접합함과 동시에 방열성을 갖는 접착 부재를 설치하는 접착 부재 설치 공정을 실행하는 것을 특징으로 하는 것이다.

상기 각 수단은 하기와 같이 작용한다.

청구항 1에 기재된 발명에 의하면, 외부 리드부를 수지 패키지의 외형을 따라 구부려서 수지 패키지의 측면 또는 상면으로 인출하도록 구성함으로써, 수지 패키지의 상면 및 저면의 각 면에서 전기적 접속을 행하는 것이 가능해진다. 이 때문에, 반도체 장치를 상하 방향으로 복수개 적층할 수 있게 되어 반도체 장치의 실장 효율을 향상시킬 수 있다.

또한, 외부 리드부의 일부와 걸어 맞추어서 그 위치 결정을 행하는 위치 결정 기구를 설치함으로써, 반도체 장치의 조립시 또는 실장시 등에 있어서 외부 리드부에 외력이 인가되더라도 외부 리드부는 위치 결정 기구에 의해 위치 결정되기 때문에, 변형이 발생하거나 인접한 외부 리드부 사이에서 단락이 발생하지 않게 된다.

또한, 위치 결정 기구는 외부 리드부의 전체와 걸어 맞춤하여 위치 결정을 행하는 것이 아니라 그 일부와 걸어 맞춤하여 위치 결정을 행하는 구성으로 되어 있다. 즉, 외부 리드부는 위치 결정 기구에 의해 위치 결정되면서 변형 또는 단락이 발생하지 않는 범위에서 변위 또는 변형할 수 있는 구성으로 되어 있다.

따라서, 리드와 수지 패키지와의 사이에 열 팽창률차가 있는 경우라도 가열시에 발생하는 응력은 외부 리드부가 변위 또는 변형함으로써 방출시킬 수 있다. 이것에 의해, 수지 패키지에 균열이 발생하거나 실장 위치에서 땀납의 박리가 발생하는 것을 확실히 방지할 수 있으며, 반도체 장치의 신뢰성을 향상시킬 수

있다.

또한, 청구항 2에 기재된 발명에 의하면, 위치 결정 기구를 수지 패키지에 형성함과 동시에, 외부 리드부의 일부가 걸쳐 맞추되는 홈부에 의해 구성됨으로써 간단하고 확실하게 외부 리드부의 변형 또는 단락의 발생을 방지할 수 있다.

또한, 청구항 3에 기재된 발명에 의하면, 외부 리드부의 일부가 홈부에 걸쳐 맞추어져 있을 때, 외부 리드부의 일부가 수지 패키지의 표면으로부터 돌출하도록 구성함으로써, 반도체 장치를 적층(스택)하였을 때에, 각 외부 리드부 사이의 전기적 접촉을 확실히 행할 수 있다.

또한, 청구항 4에 기재된 발명에 의하면, 홈부를 수지 패키지의 상면에만 형성함으로써 외부 리드부는 수지 패키지의 상면에서 위치 결정되고, 수지 패키지의 측면에서는 자유로운 상태로 되어 있기 때문에, 발생하는 응력은 주로 외부 리드부의 수지 패키지의 측면과 대향하는 위치에서 흡수된다.

즉, 응력 발생시에 있어서는, 주로 반도체 장치의 측면에 위치하는 외부 리드부가 변위 또는 변형하고, 상하 위치에서의 외부 리드부는 변위 또는 변형하지 않기 때문에, 특히 반도체 장치를 상하 방향으로 적층하는 경우에 각 반도체 장치를 확실히 접합할 수 있다.

또한, 청구항 5에 기재된 발명에 의하면, 홈부를 수지 패키지의 측면에 형성함으로써, 외부 리드부는 수지 패키지의 측면에서 위치 결정되고, 수지 패키지의 상면에서는 자유로운 상태로 되어 있다. 이 때문에, 발생하는 응력은 주로 외부 리드부의 수지 패키지의 상면과 대향하는 위치에서 흡수된다.

즉, 응력 발생시에 있어서는, 주로 반도체 장치의 상면에 위치하는 외부 리드부가 변위 또는 변형하고, 측면 위치에서의 외부 리드부는 변위 또는 변형하지 않기 때문에, 특히 반도체 장치를 수평 방향으로 적층하는 경우에 각 반도체 장치를 확실히 접합할 수 있다.

또한, 청구항 6에 기재된 발명에 의하면, 외부 리드부의 수지 패키지의 상면에 위치하는 부분이 수평 방향으로 연장하도록 구성함으로써 반도체 장치를 상하 방향으로 적층하였을 때, 각 리드 사이의 접촉 면적을 크게 할 수 있고, 신뢰성이 높은 접합을 행할 수 있게 된다. 또한, 반도체 장치를 적층하였을 때의 안정성이 좋기 때문에, 정식 접합을 행하기 전에 통상 실시되는 가접합의 안정성을 향상시킬 수 있다.

또한, 청구항 7에 기재된 발명에 의하면, 외부 리드부의 수지 패키지의 상면에 위치하는 부분이 경사 방향으로 연장하도록 구성함으로써, 외부 리드부의 구부러진 위치[즉, 각부(角部)]는 수지 패키지의 상면으로부터 돌출한 상태가 된다.

따라서, 반도체 장치를 상하 방향으로 적층하였을 때, 하면에 위치하는 반도체 장치의 상면에 형성된 외부 리드부의 각부는 상면에 위치하는 반도체 장치의 저부에 존재하는 외부 리드부와 당접한 상태가 된다. 즉, 하면에 위치하는 반도체 장치의 외부 리드부의 각부는 상면에 위치하는 반도체 장치의 외부 리드부와 직접 접촉한 상태가 된다.

이와 같이, 적층되는 상하의 각 반도체 장치의 외부 리드부가 직접 접촉함으로써, 즉 상하의 각 반도체 장치의 외부 리드부 사이에 땀납 등이 개재하지 않는 구성으로 함으로써 반도체 장치를 적층하였을 때에 그 전체 높이에 불균형이 발생하는 것을 억제할 수 있다.

또한, 청구항 8에 기재된 발명에 의하면, 외부 리드부와 홈부와의 대향하는 부분의 일부에 외부 리드부를 홈부에 고정하는 접착제를 도포함으로써, 외부 리드부는 보다 확실히 홈부에 걸쳐 맞추어 고정되기 때문에, 외부 리드부에 변형 및 단락이 발생하는 것을 확실히 방지할 수 있다.

또한, 청구항 9에 기재된 발명에 의하면, 외부 리드부의 일부에 형성된 제1 걸쳐 맞추부와, 수지 패키지에 형성됨과 동시에 제1 걸쳐 맞추부와 걸쳐 맞추어져 외부 리드부의 위치 결정을 행하는 제2 걸쳐 맞추부로 위치 결정 기구를 구성함으로써, 제1 및 제2 걸쳐 맞추부가 걸쳐 맞추어지는 것에 의하여, 외부 리드부는 보다 적극적으로 수지 패키지에 걸쳐 맞추어지기 때문에, 외부 리드부에 변형 및 단락이 발생하는 것을 확실히 방지할 수 있다.

또한, 청구항 10에 기재된 발명에 의하면, 제1 걸쳐 맞추부를 수지 부재로 하고, 제2 걸쳐 맞추부를 수지 패키지에 형성된 오목부로 함으로써, 제1 및 제2 걸쳐 맞추부를 용이하게 형성할 수 있다.

또한, 청구항 11에 기재된 발명에 의하면, 상기 수지 부재를 수지 패키지와 동일한 재료로 형성함으로써, 수지 부재와 수지 패키지를 일괄적으로 형성하는 것이 가능하게 되어, 제1 및 제2 걸쳐 맞추부의 성형을 더욱 용이하게 할 수 있다.

또한, 청구항 12에 기재된 발명에 의하면, 외부 리드부를 수지 패키지의 외형을 따라 구부려서 수지 패키지의 측면 또는 상면으로 인출하도록 구성함으로써, 수지 패키지의 상면 및 저면의 각 면에서 전기적 접촉을 행할 수 있게 된다. 이 때문에, 반도체 장치를 상하 방향으로 복수개 적층할 수 있게 되어 반도체 장치의 실장 효율을 향상시킬 수 있다.

또한, 수지 패키지의 4개의 코너 위치에 수지 패키지의 표면보다 높고, 외부 리드부의 두께보다도 낮은 돌기부를 형성함으로써, 측부로부터 인가된 외력을 돌기부에 의해 상기 외력을 받아낼 수 있다. 따라서, 각 외부 리드부에 외력이 인가되는 것을 방지할 수 있고, 외부 리드부에 변형 및 단락이 발생하는 것을 방지할 수 있다.

또한, 예컨대 반도체 칩이 고밀도화하고, 이것에 따라 리드수가 증대하여 리드 피치가 협소하게 되더라도, 각 외부 리드부에 대응하여 홈 등을 형성할 필요는 없기 때문에 이것에 대응할 수 있다.

또한, 청구항 13에 기재된 발명에 의하면, 반도체 장치를 복수개 상하 방향으로 적층한 상태에서, 상부의 반도체 장치의 저면에 위치하는 외부 리드부와, 하부에 설치된 반도체 장치의 상면에 위치하는 외부 리드부가 전기적으로 접촉되는 구성으로 함으로써, 복수의 반도체 장치를 상하 방향으로 적층할 수 있고, 따라서 용이하게 반도체 장치의 적층체를 형성할 수 있으며, 반도체 장치의 실장 밀도를 향상시킬 수 있다.

또한, 청구항 14에 기재된 발명에 의하면, 복수개 적층된 각 반도체 장치의 수지 패키지의 측면과 대향하는 위치에서의 외부 리드부를 외부 접속 단자로서 실장 기판에 접합하는 구성으로 함으로써, 반도체 장치는 세워져 설치된 상태로 실장되게 되어 하나의 반도체 장치에 필요로 되는 실장 공간은 좁아도 되며, 따라서 반도체 장치의 실장 밀도를 향상시킬 수 있다.

또한, 청구항 15에 기재된 발명에 의하면, 적층되는 인접한 반도체 장치 사이에 방열 기능을 갖는 접착 부재를 설치함으로써, 각 반도체 장치에서 발생하는 열은 접착 부재를 통해 실장 기판으로 방열되기 때문에, 복수개의 반도체 장치가 적층된 반도체 장치 유닛이라도 방열 효율을 향상시킬 수 있다.

또한, 청구항 16에 기재된 발명에 의하면, 우선 접합재 설치 공정을 실시하여 반도체 장치의 외부 접속 단자로서 기능하는 부위에 접합재를 설치하고, 이어서 적층 공정을 실시함으로써 접합재가 설치된 반도체 장치를 복수개 적층한다. 연속해서, 접합 공정을 실시하여 적층된 복수의 반도체 장치에 열처리를 실시함으로써 접합재에 의해 인접한 각 반도체 장치끼리를 전기적 및 기계적으로 접합한다.

이와 같이, 개개의 반도체 장치의 외부 접속 단자로서 기능하는 부위에 접합재를 설치한 후에 접합 공정을 실시함으로써, 반도체 장치를 적층한 이후에 접합 부재를 설치하는 구성에 비해서 접합재의 설치 처리 및 접합 처리를 용이하게 행할 수 있다.

또한, 청구항 17에 기재된 발명에 의하면, 접합재 설치 공정에서, 접합재로서 이용되는 땀납을 땀납 덩 또는 땀납 페이스트 인쇄를 이용하여 외부 접속 단자로서 기능하는 부위에 설치함으로써, 복수의 반도체 장치에 대하여 일괄적으로 땀납을 설치할 수 있게 되어 접합재 설치 공정의 효율화를 도모할 수 있다.

또한, 청구항 18에 기재된 발명에 의하면, 접합재 설치 공정의 실시후와 적층 공정의 실시 이전에 접착 부재 설치 공정을 실시하여 인접한 반도체 장치를 가접합시킴과 동시에 방열성을 갖는 접착 부재를 설치함으로써, 적층 공정에서 복수의 반도체 장치를 적층하였을 때, 접착 부재에 의해 각 반도체 장치는 가접합되어 있기 때문에, 취급을 용이하게 할 수 있다.

또한, 접착 부재는 방열성을 갖고 있기 때문에, 반도체 장치 유닛이 형성된 이후에, 각 반도체 장치에서 발생한 열은 접착 부재를 개재하여 실장 기판으로 방열되기 때문에, 반도체 장치 유닛의 방열 효율의 향상을 도모할 수 있다.

다음에, 본 발명의 실시예에 관해서 도면을 참조하여 설명한다.

도 1 내지 도 3은 본 발명의 제1 실시예인 반도체 장치(20A)를 도시하고 있다. 도 1은 반도체 장치(20A)의 사시도이고, 도 2는 반도체 장치(20A)의 단면도이며, 또한 도 3은 반도체 장치(20A)의 주요부 확대도이다. 또한, 도 7은 본 발명의 제1 실시예인 반도체 장치 유닛(50A)을 도시하고 있고, 이 반도체 장치 유닛(50A)은 제1 실시예에 따른 반도체 장치(20A)를 복수개(도 7에 도시한 예에서는 3개) 상하 방향으로 적층(스택)한 구성으로 되어 있다.

우선, 반도체 장치(20A)의 구성에 관해서 설명한다. 반도체 소자(반도체 칩)(21)는 예컨대 메모리 칩용의 칩으로써, 그 형상은 비교적 큰 형상을 가지고 있다. 또한, 이 반도체 칩(21)에 설치되어 있는 전극 패드(23)는 칩 상면의 중앙 위치에 길이 방향을 따라 형성되어 있다.

또한, 동 도면에 있어서 24는 복수의 리드부로서, 내부 리드부(24a)와 외부 리드부(24b)로 구성되어 있다. 내측에 형성된 내부 리드부(24a)는 반도체 칩(21)에 형성된 전극 패드(23)와 와이어(25)에 의해 접속되어 있다. 또한 외부 리드부(24b)는 상기 내부 리드부(24a)와 일체적으로 연속된 구성으로 되어 있고, 후술하는 바와 같이 제1 내지 제3 단자부(24b-1~24b-3)로 형성되어 있다.

또한, 동 도면에 있어서 27A는 수지 패키지이고, 상기한 반도체 칩(21), 와이어(25), 리드(24)의 내부 리드부(24a)는 이 수지 패키지(27A)내에 밀봉되어 보호된다. 이 수지 패키지(27A)는 평면적으로 보아 반도체 칩(21)의 면적과 대략 같은 면적을 갖도록 구성되어 있으며, 따라서 소형화가 도모되고 있다. 이와 같이, 반도체 장치(20A)의 소형화가 도모됨으로써, 실장 기판에 대한 실장 효율을 향상시킬 수 있고, 나아가서는 반도체 장치(20A)를 탑재하는 기기(機器)류의 소형화, 고성능화를 도모할 수 있게 된다.

또한, 수지 패키지(27A)의 상면(27b)에는 복수의 상면 홈부(28A)가 형성되어 있지만, 설명의 편의상 이 상면 홈부(28A)에 대해서는 이하에서 상세히 설명한다.

한편, 상기한 리드(24)중의 외부 리드부(24b)는 수지 패키지(27A)의 외부로 연장하도록 구성되어 있다. 또한, 수지 패키지(27A)로부터 연장된 외부 리드부(24b)는 후술하는 바와 같이 2회 구부러짐으로써 제1 단자부(24b-1), 제2 단자부(24b-2), 및 제3 단자부(24b-3)를 형성하고 있다.

제1 단자부(24b-1)는 수지 패키지(27A)의 저면(27a)으로 노출하도록 형성되어 있고, 또한 제2 단자부(24b-2)는 수지 패키지(27A)의 상면(27b)과 대향하도록 형성되어 있으며, 또, 제3 단자부(24b-3)는 수지 패키지(27A)의 측면(27c)과 대향하도록 연직 상측으로 연장하도록 형성되어 있다. 즉, 외부 리드부(24b)는 수지 패키지(27A)의 외형을 따라 수지 패키지(27A)의 저면(27a)에서 상면(27b)까지 인출된 구성으로 되어 있다.

한편, 상기 제1 내지 제3 단자부(24b-1~24b-3)중의 제1 단자부(24b-1)는 그 일부분이 수지 패키지(27A)의 저면(27a)에 매설된 구성으로 되어 있고, 이것에 의해 리드(24)는 수지 패키지(27A)에 고정된 구성으로 되어 있다.

상기한 구성으로 이루어진 반도체 장치(20A)는 외부 리드부(24b)를 수지 패키지(27A)의 외형을 따라 구부러져 수지 패키지(27A)의 측면(27c) 또는 상면(27b)으로 인출한 구성으로 함으로써, 수지 패키지(27A)의 상면(27b) 및 저면(27a)의 각 면에서 전기적 접속을 행할 수 있게 된다.

이것에 의해, 반도체 장치(20A)를 상하 방향으로 복수개 적층하는 것이 가능하게 되어, 도 7에 도시한 반도체 장치 유닛(50A)을 실현할 수 있다. 이 반도체 장치 유닛(50A)은 1개의 반도체 장치(20A)의 설치 공간에 복수개의 반도체 장치(20A)를 실장할 수 있기 때문에, 따라서 반도체 장치(20A)의 실장 효율을 향상

시킬 수 있다.

또한, 본 실시예에 따른 반도체 장치 유닛(50A)은 인접한 상하의 반도체 장치(20A)의 사이에 방열 기능을 갖는 접착재(31)가 설치되어 있다. 이와 같이 구성함으로써, 각 반도체 장치(20A)에서 발생하는 열은 접착재(31)를 통해 반도체 장치 유닛(50A)이 실장되는 실장 기관으로 방열되기 때문에, 복수개의 반도체 장치(20A)가 적층된 구조이더라도 방열 효율을 향상시킬 수 있다.

또한, 각 반도체 장치(20A)는 땀납(32)에 의한 접합력에 부가하여 접착재(31)에 의한 접착력을 통해서도 접합된 구성으로 되기 때문에, 반도체 장치 유닛(50A)의 기계적 강도를 향상시킬 수 있다. 따라서, 외력 인가가 있었다고 해도 각 반도체 장치(20A)는 접합 상태를 유지할 수 있으며, 반도체 장치 유닛(50A)의 신뢰성을 향상시킬 수 있다.

한편, 본 실시예에 따른 반도체 장치(20A)는 수지 패키지(27A)의 측면(27c)에도 제3 단자부(24b-3)가 설치된 구성으로 되어 있다. 이 때문에, 반도체 장치(20A)를 가로 방향(橫方向)으로도 적층하는 것이 가능하게 되고, 적층하는 방향은 상하 방향뿐만 아니라 가로 방향에 대하여도 가능해진다. 따라서, 반도체 장치(20A)를 3차원적으로 실장하는 것이 가능하게 되어 실장 밀도는 더욱 향상되고, 이에 따라 반도체 장치(20)를 탑재하는 기기류의 소형화 및 고성능화를 한층 더 도모할 수 있다. 한편, 도 1 내지 도 3에서는 스테이지가 설치되어 있지 않는 구성의 반도체 장치(20A)를 도시하였지만, 도 7에 도시한 반도체 장치 유닛(50A)에서 이용되고 있는 반도체 장치(20A)는 스테이지(49A)에 반도체 칩(21)을 탑재한 구성으로 되어 있다.

여기서, 수지 패키지(27A)의 상면(24b)에 형성된 상면 홈부(28A)에 주목하여, 이하 상세히 설명한다.

상면 홈부(28A)는 수지 패키지(27A)의 상면(24b)에서 제2 단자부(24b-2)의 소정의 설치 위치에 대응하여 형성되어 있다. 이 상면 홈부(28A)는 외부 리드부(24b)의 일부를 구성하는 제2 단자부(24b-2)가 걸어 맞추어지도록 구성되어 있다. 이와 같이, 제2 단자부(24b-2)가 상면 홈부(28A)에 걸어 맞추어짐으로써 제2 단자부(24b-2)는 수지 패키지(27A)의 상면(24b)에서 소정 위치로 위치 결정된 상태로 된다.

또한, 본 실시예에서는 제2 단자부(24b-2)는 상면 홈부(28A)에 유동 가능한 상태로 걸어 맞추어져 있으며, 따라서 상면 홈부(28A) 내에서 제2 단자부(24b-2)는 약간에 걸쳐 변위 가능한 구성으로 되어 있다. 단지, 제2 단자부(24b-2)의 변위 가능한 범위는 인접한 제2 단자부(24b-2) 사이에서 단락이 발생하지 않을 정도의 범위로 되어 있다.

전술한 바와 같이, 상면 홈부(28A)는 외부 리드부(24b)의 일부인 제2 단자부(24b-2)와 걸어 맞추어져 그 위치 결정을 행하는 위치 결정 기구로서 기능한다. 따라서, 반도체 장치(20A)의 조립시 또는 실장시 등에 있어서 외부 리드부(24b)에 외력이 인가되어도 제2 단자부(24b-2)가 상면 홈부(28A)에 걸어 맞추어져 있기 때문에, 외부 리드부(24b)에 변형이 발생하거나 또는 인접한 외부 리드부(25b)의 사이에서 단락이 발생하는 것을 방지할 수 있다.

또한, 상면 홈부(28A)는 외부 리드부(24b)의 전체와 걸어 맞추어져 위치 결정을 행하는 것이 아니라, 그 일부인 제2 단자부(24b-2)에만 걸어 맞추어져 위치 결정을 행하는 구성으로 되어 있다. 또한, 외부 리드부(24b)는 상면 홈부(28A)에 걸어 맞추어짐으로써 위치 결정된 상태에서 소성적인 변형 또는 인접한 외부 리드부(24b)의 사이에서 단락이 발생하지 않을 범위로 변위 또는 가요(可撓)성 변형 가능한 구성으로 되어 있다.

따라서, 리드(24)와 수지 패키지(27A)의 사이에 열 팽창률차가 있는 경우에도, 가열시에 발생하는 응력은 외부 리드부(24b)가 변위 또는 변형함으로써 방출시킬 수 있다.

이것에 관해서 더욱 상세히 설명하면, 본 실시예에서는 상면 홈부(28A)가 수지 패키지(27A)의 상면(27b)에만 형성되어 있기 때문에, 외부 리드부(24b)는 수지 패키지(27A)의 상면(27b)에서만 위치 결정되고, 수지 패키지(27A)의 측면(27c)에서는 자유로운 상태로 되어 있다. 이 때문에, 발생하는 응력은 주로 외부 리드부(24b)의 수지 패키지(27)의 측면(27c)과 대향하는 제3 단자부(24b-3)에서 흡수된다[상면(27b)에 위치하는 제2 단자부(24b-2)가 상면 홈부(28A) 내에서 변위하는 것에 의해서도 약간의 응력 흡수가 행하여진다].

즉, 응력 발생시에 있어서는, 주로 반도체 장치(20A)의 측면에 위치하는 제3 단자부(24b-3)가 변위 또는 변형하고, 상하로 위치하는 제1 및 제2 단자부(24b-1, 24b-2)는 거의 변위 또는 변형하지 않는다. 이것에 의해, 수지 패키지(27A)에 균열이 발생하기도 하고 반도체 장치 유닛(50A)을 형성한 상태에서 각 반도체 장치(20A)를 접합하는 땀납(32)에 박리가 발생하는 것을 확실히 방지할 수 있다. 상기 설명에서 명백히 알 수 있는 바와 같이, 본 실시예의 구성에서는 특히 반도체 장치(20A)를 상하 방향으로 적층(스택)한 경우에 효과가 크다.

또한, 본 실시예에서는 외부 리드부(24b)의 위치 결정을 수지 패키지(27A)에 형성된 상면 홈부(28A)에 의해 행하는 구성으로 함으로써, 상면 홈부(28A)의 형성을 수지 패키지(27A)의 형성 공정에서 일괄적으로 행하는 것이 가능하게 된다. 따라서, 상면 홈부(28A)를 형성하기 위해서 새로운 공정을 설치할 필요가 없이 상면 홈부(28A)를 용이하게 형성할 수 있다.

다음에, 외부 리드부(24b)의 두께 및 형상과, 상면 홈부(28A)의 깊이 및 형상과의 관계에 대하여 설명한다.

본 실시예에서는, 제2 단자부(24b-2)가 상면 홈부(28A)에 걸어 맞추어져 있을 때, 도 3에 도시한 바와 같이, 제2 단자부(24b-2)[외부 리드부(24b)]가 수지 패키지(27A)의 상면(27b)으로부터 돌출하도록 구성되어 있다. 또한, 제1 단자부(24b-1)[외부 리드부(24b)]도 수지 패키지(27A)의 저면(27a)으로부터 돌출하도록 구성되어 있다.

즉, 도면중 화살표 h1으로 나타내는 제1 단자부(24b-1)의 저면(27a)으로부터의 돌출량 및 도면중 화살표 h2로 나타내는 제2 단자부(24b-2)의 상면(27b)으로부터의 돌출량은 모두 양(正)의 값으로 되어 있다(h1>0, h2>0). 이와 같이 구성함으로써, 제1 단자부(24b-1) 및 제2 단자부(24b-2)는 수지 패키지(27A)로

부터 돌출된 구성으로 되기 때문에, 반도체 장치(20A)를 상하 방향으로 적층(스택)하여 반도체 장치 유닛(50A)을 형성하였을 때, 상하에 위치하는 반도체 장치(20A)의 각 외부 리드부(24b) 사이의 전기적 접촉 [구체적으로는, 제1 단자부(24b-1)와 제2 단자부(24b-2)와의 전기적 접촉]을 확실히 행할 수 있다.

또한, 제2 단자부(24b-2)의 형상은 수지 패키지(27A)의 상면(27b)에서 약 수평 방향으로 연장하는 형상으로 되어 있다. 따라서, 반도체 장치(20A)를 상하 방향으로 적층하였을 때, 각 리드(24)사이의 접촉 면적을 크게 할 수 있으며, 신뢰성이 높은 접합을 행하는 것이 가능해진다. 또한, 반도체 장치(20A)를 적층하였을 때의 안정성이 좋기 때문에, 정식 접합을 행하기 전에 통상 실시되는 가접합(이것에 대해서는 이하에서 상세히 설명한다)의 안정성을 향상시킬 수 있다.

다음에, 본 발명의 제2 실시예에 관해서 설명한다.

도 4는 본 발명의 제2 실시예에 따른 반도체 장치(20B)를 도시하고 있고, 또한 도 8은 본 발명의 제2 실시예에 따른 반도체 장치 유닛(50B)을 도시하고 있다. 한편, 도 4 및 도 8에 있어서, 도 1 내지 도 3 및 도 7을 참조하여 설명된 제1 실시예에 따른 반도체 장치(20A) 및 반도체 장치 유닛(50A)과 동일 구성에 대해서는 동일한 참조 부호를 붙여 그 설명을 생략한다.

상기한 제1 실시예에 따른 반도체 장치(20A)는 제2 단자부(24b-2)를 수지 패키지(27A)의 상면(27b)에서 약 수평 방향으로 연장하는 형상을 하고 있었다. 이에 대하여, 본 실시예에 따른 반도체 장치(20B)는 외부 리드부(24b)의 수지 패키지(27A)의 상면(27b)에 위치하는 제2 단자부(24b-2)가 상면(27b)에 대하여 경사 방향으로 연장하도록 구성한 것을 특징으로 하는 것이다.

이와 같이, 제2 단자부(24b-2)가 상면(27b)에 대하여 경사 방향으로 연장하도록 구성함으로써, 도 4에 도시한 바와 같이, 외부 리드부(24b)의 구부러지는 위치, 즉 제2 단자부(24b-2)와 제3 단자부(24b-3)와의 경계부에 형성되는 각부(26)는 수지 패키지(27A)의 상면(27b)보다 윗쪽으로 돌출된 상태가 된다.

따라서, 이와 같이 구성된 반도체 장치(20B)를 상하 방향으로 적층하여, 도 8에 도시한 반도체 장치 유닛(50B)을 형성하면, 하부에 위치하는 반도체 장치(20B)에 형성되어 있는 각부(26)는 상부에 위치하는 반도체 장치(20B)의 저부에 존재하는 제1 단자부(24b-1)[외부 리드부(24b)]와 당접된 상태가 된다. 즉, 하부에 위치하는 반도체 장치(20B)의 외부 리드부의 각부(26)는 상부에 위치하는 반도체 장치(20B)의 제1 단자부(24b-1)와 직접 접촉한 상태가 된다.

이와 같이 구성함으로써, 하부에 위치하는 반도체 장치(20B)의 각부(26)와, 상부에 위치하는 반도체 장치(20B)의 제1 단자부(24b-1)와의 사이에는 땀납(32)이 개재하지 않는 구성으로 되며, 따라서 반도체 장치(20B)를 적층하여 반도체 장치 유닛(50B)을 형성하였을 때, 그 전체 높이(도 8에 화살표 H1으로 나타냄)에 불균형이 발생하는 것을 억제할 수 있다.

이것에 대하여, 제1 실시예에 따른 반도체 장치 유닛(50A)은 하부에 위치하는 반도체 장치(20A)의 제2 단자부(24b-2)와, 상부에 위치하는 반도체 장치(20A)의 제1 단자부(24b-1)와의 사이에 땀납(32)이 개재하고, 이 땀납(32)의 두께에는 필연적으로 불균형이 존재하기 때문에, 반도체 장치 유닛(50A)의 전체 높이(도 7에 화살표 H2로 나타냄)에도 불균형이 발생할 우려가 있다. 따라서, 본 실시예의 구성으로 함으로써 반도체 장치 유닛(50B)의 전체 높이 H1을 균일화할 수 있다.

또한, 본 실시예의 구성으로 함으로써 하부에 위치하는 반도체 장치(20B)의 제2 단자부(24b-2)와, 상부에 위치하는 반도체 장치(20B)의 제1 단자부(24b-1)와의 사이에는 각부(26)와 제1 단자부(24b-1)가 접촉하는 위치를 중심으로 하여, 그 좌우 위치에 약 삼각 형상의 공간부가 형성된다. 따라서, 복수의 반도체 장치(20B)를 땀납(32)으로 접합할 때, 이 공간 부분에 땀납 필릿이 형성된다. 이와 같이, 땀납 형성 위치에 약 삼각 형상의 비교적 넓은 공간부가 형성됨으로써 땀납 접합되는 제1 및 제2 단자부(24b-1, 24b-2)의 사이에 충분한 땀납(32)을 장전할 수 있고, 그에 따라 땀납 접합성을 향상시킬 수 있다.

다음에, 본 발명의 제3 실시예에 관해서 설명한다.

도 5는 본 발명의 제3 실시예에 따른 반도체 장치(20C)를 도시하고 있다. 한편, 도 5에 있어서, 도 4를 이용하여 설명한 제2 실시예에 따른 반도체 장치(20B)와 동일 구성에 대해서는 동일한 참조 부호를 붙여 그 설명을 생략한다.

본 실시예에 따른 반도체 장치(20C)는 제2 실시예에 따른 반도체 장치(20B)와 같이, 외부 리드부(24b)의 제2 단자부(24b-2)가 수지 패키지(27A)의 상면(27b)에 대하여 경사 방향으로 연장하도록 구성되어 있다. 또한, 본 실시예에서는 이 구성에 부가하여, 제2 단자부(24b-2)가 걸어 맞추어지는 상면 홈부(20B)도 수지 패키지(27A)의 상면(27b)에 대하여 경사 방향으로 연장하도록 구성한 것을 특징으로 하는 것이다.

따라서, 본 실시예에 따른 반도체 장치(20C)에 있어서도, 각부(26)가 수지 패키지(27A)의 상면(27b)보다 윗쪽으로 돌출된 상태가 되기 때문에, 반도체 장치(20C)를 적층하여 반도체 장치 유닛(도시 생략)을 형성하였을 때, 그 전체 높이에 불균형이 발생하는 것을 억제할 수 있다. 또한, 땀납 접합되는 제1 및 제2 단자부(24b-1, 24b-2)의 사이에 충분한 땀납(32)을 장전할 수 있고, 땀납 접합성의 향상을 도모할 수 있다.

또한, 본 실시예에 따른 반도체 장치(20C)는 상면 홈부(20B)가 수지 패키지(27B)의 상면(27b)에 대하여 경사 방향으로 연장하도록 구성되어 있고, 또한 그 경사 각도는 제2 단자부(24b-2)의 경사 각도에 대응하도록 구성되어 있다. 따라서, 단지 외부 리드부(24b)를 상면 홈부(20B)를 따라 구부림으로써 제2 단자부(24b-2)를 경사 방향으로 연장하도록 성형할 수 있다.

이와 같이 함으로써, 제2 단자부(24b-2)를 성형할 때, 별도로 치구(治具)나 금형이 필요없게 될 뿐만 아니라 소정의 경사 각도를 갖는 제2 단자부(24b-2)를 용이하게 염가로 성형할 수 있다.

다음에, 본 발명의 제4 실시예에 관해서 설명한다.

도 6은 본 발명의 제4 실시예에 따른 반도체 장치(20D)를 도시하고 있다. 한편, 도 6에 있어서, 도 5를 이용하여 설명한 제3 실시예에 따른 반도체 장치(20C)와 동일 구성에 대해서는 동일한 참조 부호를 붙여

그 설명을 생략한다.

본 실시예에 따른 반도체 장치(20D)는 제3 실시예에 따른 반도체 장치(20C)와 같이, 제2 단자부(24b-2) 및 상면 홈부(28B)가 수지 패키지(27B)의 상면(27b)에 대하여 경사 방향으로 연장하도록 구성되어 있다. 또한, 본 실시예에 따른 반도체 장치(20D)는 상기 구성에 부가하여 외부 리드부(24b)와 상면 홈부(28B)가 대향하는 부분의 일부에 외부 리드부(24b)를 상면 홈부(28B)에 고정하는 접착제(30)를 도포하는 것을 특징으로 하는 것이다. 본 실시예에서 접착제(30)는 제2 단자부(24b-2)의 선단부에 도포되어 있다.

이와 같은 구성으로 함으로써 제2 단자부(24b-2)의 선단부는 확실히 상면 홈부(28B)에 걸쳐 맞추어 고정되기 때문에, 외력 인가시 등으로 인한 외부 리드부(24b)의 변형 및 단락을 확실히 방지할 수 있다.

다음에, 반도체 장치 유닛의 제조 방법에 관해서 도 9 내지 도 10을 이용하여 설명한다. 한편, 이하의 설명에서는 상기한 제2 실시예에 따른 반도체 장치(20B)를 상하 방향으로 복수개 적층(스택)하는 방법을 예로 들어 설명한다.

도 9는 반도체 장치 유닛의 제조 방법의 기본 처리를 도시한 흐름도이다. 동 도면에 도시한 바와 같이, 반도체 장치 유닛을 제조하기 위해서는, 단계 S10A(도면에서는 단계를 S로 약칭함)에서 땀납 딥 처리를 행하거나 또는 단계 S10B에서 땀납 페이스트 인쇄 처리를 행함으로써 반도체 장치의 외부 접속 단자로서 기능하는 부위에 접합재가 되는 땀납을 설치한다(접합재 설치 공정).

접합재 설치 공정이 종료하면, 연속해서 단계 S12에서 반도체 장치의 수지 패키지의 저면 또는 상면에 가접합 수지가 되는 접착제를 도포한다(접착 부재 설치 공정). 이 접착 부재 설치 공정이 종료하면, 연속해서 단계 S14에서 접합재가 설치된 반도체 장치를 복수개 적층한다(적층 공정). 이 적층 공정이 종료하면, 연속해서 단계 S16에서 열처리(예컨대, 온풍, 적외선 리플로우 등)가 행하여져 땀납을 용융함으로써 상하 방향으로 인접하는 각 반도체 장치끼리를 전기적 및 기계적으로 접합한다(접합 공정).

이와 같이, 각각의 반도체 장치의 외부 접속 단자로서 기능하는 부위에 땀납(접합재)을 설치한 뒤에 접합 공정을 실시함으로써 반도체 장치를 적층한 뒤에 접합 부재를 설치하는 구성에 비해서 접합재의 설치 처리 및 접합 처리를 용이하게 행할 수 있다.

이하, 도 10 및 도 11을 이용하여 반도체 장치 유닛의 보다 구체적인 제조 방법에 관해서 설명한다.

도 10은 접합재 설치 공정으로서 땀납 딥 처리를 이용한 실시예를 도시하고 있다. 본 실시예에서는 우선 도 10의 (a)에 도시한 바와 같이, 반도체 장치(20B)의 외부 접속 단자로서 기능하는 제2 단자부(24b-2)를 땀납조(33)에 침지하여 제2 단자부(24b-2)에 접합재가 되는 땀납(32)을 설치한다. 이 땀납 딥 처리는 다수의 위치에 일괄적으로 땀납(32)을 용이하게 설치할 수 있으므로 접합재 설치 공정의 효율화를 도모할 수 있다.

도 10의 (b)는 접착 부재 설치 공정 및 적층 공정을 도시하고 있다. 먼저 실시되는 접착 부재 설치 공정에서는 접착제(31)를 반도체 장치(20B)에 설치하는 처리를 행한다. 이 접착 부재 설치 공정은 상기한 접합재 설치 공정의 실시후와 후술하는 적층 공정의 실시전에 행하여지는 것이다.

본 실시예에서는 접착제(31)를 포팅(potting)에 의해 반도체 장치(20B)의 저면(27a)에 설치하는 방법을 채용하고 있다. 이 접착 부재 설치 공정에서 이용하는 접착제(31)는 접착성과 동시에 방열성을 갖고 있다.

반도체 장치(20B)에 접착제(31)가 설치되면, 연속해서 복수의 반도체 장치(20B)는 적층된다. 이 때, 각 반도체 장치(20B)에는 접착제(31)가 설치되어 있기 때문에, 이 접착제(31)에 의해 각 반도체 장치(20B)는 적층된 상태에서 가접합된 상태가 된다. 따라서, 이후 실시되는 처리에서는 복수의 각 반도체 장치(20B)는 가접합된 상태이기 때문에 그 취급을 용이하게 할 수 있다.

각 반도체 장치(20B)의 가접합이 행하여지면, 연속해서 접합 공정이 실시된다. 이 접합 공정에서는 도 10의 (c)에 도시한 바와 같이, 예컨대 온풍, 적외선 리플로우 등에 의해 적층된 반도체 장치(20B)에 대하여 가열 처리가 행하여진다. 이 가열 처리가 행해짐으로써 땀납(32)은 용융하고, 따라서 상하 방향으로 인접하는 각 반도체 장치(20B)는 땀납(32)에 의해 전기적 및 기계적으로 접합된다. 이것에 의해 대향하는 제1 단자부(24b-1)와 제2 단자부(24b-2)가 접합되어 반도체 장치 유닛이 완성된다.

또한, 접착 부재 설치 공정에서 설치된 접착제(31)는 반도체 장치 유닛이 형성된 뒤에도 각 반도체 장치(20B)사이에 개재한다. 상기한 바와 같이, 접착제(31)는 방열성을 갖는 재료로 선정되어 있기 때문에, 각 반도체 장치(20B)에서 발생한 열은 이 접착제(31)를 통해 실장 기판으로 방열된다. 따라서, 접착제(31)를 설치함으로써 반도체 장치 유닛의 방열 효율의 향상을 도모할 수 있다.

도 11은 접합재 설치 공정으로서 땀납 페이스트 인쇄 처리를 이용한 실시예를 도시하고 있다. 본 실시예에서는 도 11의 (a)에 도시한 바와 같이, 반도체 장치(20B)를 트레이(34)에 장착하여 위치 결정한 후, 반도체 장치(20B)의 외부 접속 단자로서 기능하는 제1 단자부(24b-1)의 설치면[트레이(34)에 장착된 상태에서, 제1 단자부(24b-1)는 상부에 위치하고 있다]에 인쇄 마스크(36)를 설치한다.

이 인쇄 마스크(36)의 제1 단자부(24b-1)와 대향하는 면에는 개구부가 형성되어 있다. 그리고, 도시 생략한 스퀴지(squeegee)를 이용하여 땀납 페이스트(35)를 인쇄함으로써 도시된 바와 같이 제1 단자부(24b-1)에만 땀납 페이스트(35)가 도포된다. 이 땀납 페이스트 인쇄 처리를 이용하여도 다수의 위치에 일괄적으로 땀납(32)을 용이하게 설치할 수 있으므로, 접합재 설치 공정의 효율화를 도모할 수 있다.

도 11의 (b)는 접착 부재 설치 공정 및 적층 공정을 도시하고 있다. 먼저 실시되는 접착 부재 설치 공정에서는 테이프형 접착제(31A)를 반도체 장치(20B)에 설치하는 처리를 행한다. 본 실시예에서는 상기한 바와 같이 단지 테이프형 접착제(31A)를 반도체 장치(20B)의 저면(27a)에 추가로 설치하는 것만으로 충분하기 때문에 접착 부재 설치 공정을 용이하게 행할 수 있다. 한편, 본 실시예에서 이용하는 테이프형 접착제(31A)도 접착성과 동시에 방열성을 가지고 있다.

반도체 장치(20B)에 테이프형 접착제(31A)가 설치되면, 연속해서 복수의 반도체 장치(20B)는 적층된다.

이 때, 각 반도체 장치(20B)에는 테이프형 접착제(31A)가 설치되어 있기 때문에, 이 테이프형 접착제(31A)에 의해 각 반도체 장치(20B)는 적층된 상태에서 가접합된 상태가 된다. 따라서, 본 실시예에 의해서도 이후 실시되는 처리에서 적층된 상태의 각 반도체 장치(20B)의 취급을 용이하게 할 수 있다.

각 반도체 장치(20B)의 가접합이 행해지면, 연속해서 접합 공정이 실시되지만, 이후의 공정은 도 10을 이용하여 설명한 공정과 동일하기 때문에 그 설명을 생략한다.

연속해서, 본 발명의 제5 실시예에 따른 반도체 장치(20E)에 관해서 설명한다.

도 12 내지 도 14는 본 발명의 제5 실시예인 반도체 장치(20E)를 도시하고 있다. 도 12는 반도체 장치(20E)의 사시도이고, 도 13은 반도체 장치(20E)의 단면도이고, 또한 도 14는 반도체 장치(20E)의 주요부 확대도이다. 또한, 도 16은 본 발명의 제3 실시예인 반도체 장치 유닛(50C)을 도시하고 있고, 이 반도체 장치 유닛(50C)은 제5 실시예에 따른 반도체 장치(20E)를 복수개(도 16에 도시한 예에서는 3개) 상하 방향으로 적층(스택)한 구성으로 되어 있다.

한편, 도 12 내지 도 14 및 도 16에 있어서, 도 1 내지 도 3 및 도 7을 이용하여 설명된 제1 실시예에 따른 반도체 장치(20A) 및 반도체 장치 유닛(50A)과 동일 구성에 대해서는 동일한 참조 부호를 붙여 그 설명을 생략한다.

우선, 반도체 장치(20E)의 구성에 관해서 설명한다. 상기한 제1 실시예에 따른 반도체 장치(20A)는 수지 패키지(27A)에 상면 홈부(28A)만을 형성한 구성으로 하고 있었지만, 본 실시예에 따른 반도체 장치(20E)는 수지 패키지(27C)에 상면 홈부(28A)에 추가로 측면 홈부(29)를 형성한 것을 특징으로 하는 것이다.

본 실시예에 따른 반도체 장치(20E)에 형성된 상면 홈부(28A)는 제1 실시예에 따른 반도체 장치(20A)와 동일하게 수지 패키지(27C)의 상면(24b)에 제2 단자부(24b-2)의 소정 설치 위치에 대응하여 형성되어 있다. 이 상면 홈부(28A)는 외부 리드부(24b)의 일부를 구성하는 제2 단자부(24b-2)가 걸어 맞추어지도록 구성되어 있다. 이와 같이, 제2 단자부(24b-2)가 상면 홈부(28A)에 걸어 맞추어짐으로써 제2 단자부(24b-2)는 수지 패키지(27C)의 상면(24b)에서 소정 위치에 위치 결정된 상태가 된다.

또한, 측면 홈부(29)는 수지 패키지(27C)의 측면(27c)에서 제3 단자부(24b-3)의 소정 설치 위치에 대응하여 형성되어 있다. 이 측면 홈부(29)는 외부 리드부(24b)의 일부를 구성하는 제3 단자부(24b-3)가 걸어 맞추어지도록 구성되어 있다. 이와 같이, 제3 단자부(24b-3)가 측면 홈부(29)에 걸어 맞추어짐으로써 제3 단자부(24b-3)는 수지 패키지(27C)의 측면(27c)에서 소정 위치로 위치 결정된 상태가 된다.

또한, 본 실시예에서는 제2 및 제3 단자부(24b-2, 24b-3)는 상면 홈부(28A) 및 측면 홈부(29)에 유동 가능한 상태로 걸어 맞추어져 있으므로 상면 홈부(28A) 및 측면 홈부(29) 내에서 제2 및 제3 단자부(24b-2, 24b-3)는 소량에 걸쳐 변위 가능한 구성으로 되어 있다. 단지, 제2 및 제3 단자부(24b-2, 24b-3)의 변위 가능한 범위는 인접하는 제2 및 제3 단자부(24b-2, 24b-3)의 사이에서 단락이 발생하지 않을 정도의 범위 로 되어 있다.

상기한 바와 같이, 상면 홈부(28A)는 외부 리드부(24b)의 일부인 제2 단자부(24b-2)와 걸어 맞추어지고, 측면 홈부(29)는 외부 리드부(24b)의 일부인 제3 단자부(24b-3)와 걸어 맞추어짐으로써 제2 및 제3 단자부(24b-2, 24b-3)의 위치 결정을 행하는 위치 결정 기구로서 기능한다. 따라서, 반도체 장치(20E)의 조립 시 또는 실장시 등에 있어서 외부 리드부(24b)에 외력이 인가되더라도 제2 및 제3 단자부(24b-2, 24b-3)는 상면 홈부(28A) 및 측면 홈부(29)에 걸어 맞추어져 있기 때문에, 외부 리드부(24b)에 변형이 발생하거나 또는 인접한 외부 리드부(25b)의 사이에서 단락이 발생하는 것을 방지할 수 있다.

특히, 본 실시예에 따른 반도체 장치(20E)에서는 제2 단자부(24b-2)에 추가로 제3 단자부(24b-3)가 측면 홈부(29)에 걸어 맞추어져 있기 때문에, 측면(27c)에 인가된 외력에 의해 제3 단자부(24b-3)가 변형하거나 또는 단락하는 것을 확실히 방지할 수 있다.

또한, 제2 및 제3 단자부(24b-2, 24b-3)는 상면 홈부(28A) 및 측면 홈부(29)에 대하여 매설 또는 걸어 맞추어진 상태가 아니라 유동 가능한 상태로 걸어 맞추는 구성으로 되어 있다. 따라서, 제2 및 제3 단자부(24b-2, 24b-3)는 상면 홈부(28A) 및 측면 홈부(29)에 걸어 맞추어져 위치 결정된 상태에 있어서, 상면 홈부(28A) 및 측면 홈부(29) 내에서 변위 또는 가요 변형 가능한 구성으로 되어 있다. 단지, 이 변위 또는 가요 변형 가능한 범위는 소성적인 변형 또는 인접한 외부 리드부(24b)의 사이에서 단락이 발생하지 않는 범위가 되도록 설정되어 있다.

따라서, 본 실시예에 따른 반도체 장치(20E)도 리드(24)와 수지 패키지(27C)와의 사이에 열 팽창율차가 있어, 가열시에 이 열 팽창율차로 인하여 응력이 발생하였다고 해도 이 응력은 외부 리드부(24b)가 변위 또는 변형함으로써 흡수 또는 방출시킬 수 있다.

그런데, 본 실시예에 따른 반도체 장치(20E)는 제1 실시예에 따른 반도체 장치(20A)에 비하여 제3 단자부(24b-3)가 측면 홈부(29)에 걸어 맞추어져 있는 만큼 외부 리드부(24b)의 변위 또는 변형이 규제된 구성으로 되어 있다. 그런데, 반도체 칩(21)이 고밀도화하여 이에 수반해서 외부 리드부(24b)의 갯수가 증대하면, 이것에 따라 외부 리드부(24b)의 폭 치수 및 두께가 작아진다는 것을 생각할 수 있다. 이 경우, 당연히 외부 리드부(24b)의 기계적 강도는 저하하여 외력 등에 의해 변형하기 쉽게 된다.

이러한 경우에 있어서도, 본 실시예에 따른 반도체 장치(20E)이면, 외부 리드부(24b)의 제2 및 제3 단자부(24b-2, 24b-3)는 상면 홈부(28A) 및 측면 홈부(29)에 걸어 맞추어져 있기 때문에, 외부 리드부(24b)에 변형 및 단락이 발생하는 것을 확실히 방지할 수 있다. 또한, 상기한 바와 같이, 제2 및 제3 단자부(24b-2, 24b-3)는 상면 홈부(28A) 및 측면 홈부(29)에 유동 가능한 상태로 걸어 맞추어져 있기 때문에, 가열시에 발생하는 응력을 확실히 흡수 또는 방출할 수 있다. 따라서, 수지 패키지(27C)에 균열이 발생하는 것을 효율적으로 방지할 수 있고, 또한 도 16에 도시하는 바와 같이 제5 실시예에 따른 반도체 장치(20E)에 의해 반도체 장치 유닛(50C)을 제조한 경우에는 각 땀납(32)에 의해 접합부에서 땀납 박리가 발생하는 것을 방지할 수 있다.

한편, 상면 홈부(28A) 및 측면 홈부(29)의 형성은 수지 패키지(27C)의 형성 공정에서 일괄적으로 행할 수

있기 때문에 상면 홈부(28A) 및 측면 홈부(29)의 형성을 용이하게 할 수 있다.

다음에, 외부 리드부(24b)의 두께 및 형상과, 상면 홈부(28A), 측면 홈부(29)의 깊이 및 형상과의 관계에 관해서 설명한다.

본 실시예에서는 도 3에 도시하는 바와 같이, 제1 단자부(24b-1)[외부 리드부(24b)]는 수지 패키지(27C)의 저면(27a)으로부터 돌출하도록 구성되어 있다. 또한, 제2 단자부(24b-2)는 상면 홈부(28A)와의 걸어맞춤 상태에서 수지 패키지(27C)의 상면(27b)으로부터 돌출하도록 구성되어 있다. 또한, 제3 단자부(24b-3)는 측면 홈부(29)와의 걸어맞춤 상태에서 수지 패키지(27C)의 측면(27c)으로부터 돌출하도록 구성되어 있다.

즉, 도면중 화살표 h1으로 나타낸 제1 단자부(24b-1)의 저면(27a)으로부터의 돌출량, 도면중 화살표 h2로 나타낸 제2 단자부(24b-2)의 상면(27b)으로부터의 돌출량 및 도면중 화살표 h3으로 나타낸 제3 단자부(24b-3)의 측면(27c)으로부터의 돌출량은 모두 양의 값으로 되어 있다($h1>0$, $h2>0$, $h3>0$).

이와 같이 구성함으로써 제1 내지 제3 단자부(24b-1~24b-3)는 수지 패키지(27C)로부터 돌출한 구성으로 되기 때문에, 반도체 장치(20E)를 상하 방향 및 가로 방향으로 적층(스택)하여 반도체 장치 유닛을 형성하였을 때, 상하 및 가로 방향으로 인접하는 반도체 장치(20E)의 각 외부 리드부(24b)의 사이의 전기적 접속을 확실히 행할 수 있다. 한편, 도 16에 도시하는 반도체 장치 유닛(50C)은 상하 방향으로 반도체 장치(20E)를 적층한 구성인 것을 도시하고 있다.

연속해서, 본 발명의 제6 실시예에 따른 반도체 장치(20F)에 관해서 설명한다.

도 15는 본 발명의 제6 실시예인 반도체 장치(20F)의 단면도이다. 한편, 도 15에 있어서, 도 12 내지 도 14를 이용하여 설명한 제5 실시예에 따른 반도체 장치(20E)와 동일 구성에 대해서는 동일한 참조 부호를 붙여 그 설명을 생략한다.

상기한 제5 실시예에 따른 반도체 장치(20E)는 수지 패키지(27C)에 상면 홈부(28A) 및 측면 홈부(29)를 함께 형성한 구성으로 하였지만, 본 실시예에 따른 반도체 장치(20F)는 수지 패키지(27D)에 측면 홈부(29)만을 형성한 구성으로 한 것을 특징으로 하는 것이다.

이와 같이, 수지 패키지(27D)에 측면 홈부(29)만을 형성함으로써 외부 리드부(24b)는 수지 패키지(27D)의 측면(27c)에서만 위치 결정되고, 수지 패키지(27D)의 상면(24b)에서는 자유로운 상태로 되어 있다. 이 때문에, 가열시 등에 발생하는 응력은 주로 외부 리드부(24b)의 제2 단자부(24b-2)가 변위 또는 변형함으로써 흡수된다.

즉, 응력 발생시에 있어서는 주로 제2 단자부(24b-2)가 변위 또는 변형하고, 측면(27c)에 위치하는 제3 단자부(24b-3)는 위치 규제되기 때문에, 특히 반도체 장치(20F)를 수평 방향(가로 방향)으로 적층하는 경우에 각 반도체 장치(20F)를 확실히 접합할 수 있다.

연속해서, 본 발명의 제7 실시예에 따른 반도체 장치(20G)에 관해서 설명한다.

도 17은 본 발명의 제7 실시예인 반도체 장치(20G)의 단면도이다. 한편, 도 17에 있어서, 도 1 내지 도 3을 이용하여 설명한 제1 실시예에 따른 반도체 장치(20A)와 동일 구성에 대해서는 동일한 참조 부호를 붙여 그 설명을 생략한다.

상기한 각 실시예에 따른 반도체 장치(20A~20F)에서는 외부 리드부(24b)의 일부를 상면 홈부(28A, 28B) 또는 측면 홈부(29)에 걸어맞춤함으로써 외부 리드부(24b)의 위치 결정을 행하는 구성으로 되어 있었다.

이것에 대하여, 본 실시예에 따른 반도체 장치(20G)는 외부 리드부(24b)의 일부에 걸어맞춤 부재(37A)(제1 걸어맞춤부)를 형성함과 동시에 수지 패키지(27E)에 걸어맞춤 오목부(38A)(제2 걸어맞춤부)를 형성하고, 이 걸어맞춤 부재(37A)를 걸어맞춤 오목부(38A)에 걸어맞춤으로써 외부 리드부(24b)의 위치 결정을 행하도록 구성한 것을 특징으로 하는 것이다[걸어맞춤 부재(37A)와 걸어맞춤 오목부(38A)는 협동하여 위치 결정 기구를 구성한다].

걸어맞춤 부재(37A)는 수지 패키지(27E)와 동일한 수지 재료가 되고, 외부 리드부(24b)에 고정되어 있다. 이 걸어맞춤 부재(37A)는 복수개 설치되는 외부 리드부(24b)의 각각에 별도로 설치한 구성으로 하거나 복수개 설치되는 외부 리드부(24b)를 연통하도록 설치한 구성으로 해도 좋다. 본 실시예에서는 걸어맞춤 부재(37A)를 외부 리드부(24b)의 제2 단자부(24b-2)에 형성한 구성으로 하고 있다. 또한, 걸어맞춤 오목부(38A)는 수지 패키지(27E)에 형성된 오목부이고, 외부 리드부(24b)가 구부러져 있을 때의 걸어맞춤 부재(37A)의 위치와 대향하는 위치에 형성되어 있다.

상기 구성에 있어서, 외부 리드부(24b)의 일부를 수지 패키지(27E)에 걸어맞추기 위해서는 외부 리드부(24b)를 구부렸을 때에 걸어맞춤 부재(37A)를 걸어맞춤 오목부(38A)에 걸어맞춘다. 이렇게 함으로써 외부 리드부(24b)를 적극적으로 수지 패키지(27E)에 걸어맞출 수 있기 때문에, 외부 리드부(24b)에 변형 및 단락이 발생하는 것을 보다 확실히 방지할 수 있다.

도 18은 상기한 제7 실시예에 따른 반도체 장치(20G)의 제조 방법을 도시하고 있으며, 특히 수지 패키지(27E)를 형성하는 수지 밀봉 공정을 도시하고 있다. 동 도면에 도시한 바와 같이, 수지 패키지(27E)의 성형시에 반도체 칩(21) 및 리드(24)는 상형(40a)과 하형(40b)으로 구성되는 금형(40)에 장착된다. 이 장착 상태에 있어서, 반도체 칩(21)은 상형(40a)과 하형(40b)이 협동하여 형성하는 캐비티(43)내에 위치하고, 또한 외부 리드부(24b)는 상형(40a)과 하형(40b)과의 사이에 협지된 상태로 되어 있다.

또한, 상형(40a)에 형성된 캐비티(43)에는 볼록부(41)가 형성되어 있고, 이 볼록부(41)의 형성 위치는 걸어맞춤 오목부(38A)의 소정 형성 위치에 대응하도록 구성되어 있다. 또한, 상형(40a)의 외부 리드부(24b)와 대응하는 소정 위치에는 오목부(42)가 형성되어 있다. 이 오목부(42)의 형성 위치는 걸어맞춤 부재(37A)의 소정 형성 위치에 대응하는 위치에 선정되어 있다.

또한, 오목부(42)는 캐비티(43)와 연통하고 있고, 따라서 캐비티(43)에 도입되는 수지는 오목부(42)에도

장전되는 구성으로 되어 있다. 따라서, 걸어 맞춤 부재(37A)는 수지 패키지(27E)의 재질과 동일한 재질로 형성되게 된다.

상기 설명으로부터 알 수 있는 바와 같이, 금형(40)을 이용하여 수지 패키지(27E)를 성형함으로써 걸어 맞춤 부재(37A) 및 걸어 맞춤 오목부(38A)도 일괄적으로 동시에 형성된다. 따라서, 걸어 맞춤 부재(37A) 및 걸어 맞춤 오목부(38A)를 별도로 형성하는 제조 방법에 비하여 용이하게 영가로 반도체 장치(20G)를 제조할 수 있다.

연속해서, 본 발명의 제8 실시예에 따른 반도체 장치(20H)에 관해서 설명한다.

도 19는 본 발명의 제8 실시예인 반도체 장치(20H)의 단면도이다. 한편, 도 19에 있어서, 도 17을 이용하여 설명한 제7 실시예에 따른 반도체 장치(20G)와 동일 구성에 대해서는 동일한 참조 부호를 붙여 그 설명을 생략한다.

상기한 제7 실시예에 따른 반도체 장치(20G)는 제2 단자부(24b-2)에 걸어 맞춤 부재(37A)를 형성함과 동시에 수지 패키지(27E)의 상면(27b)에 걸어 맞춤 오목부(38A)를 형성한 구성으로 되어 있었다. 이 때문에, 걸어 맞춤 부재(37A)와 걸어 맞춤 오목부(38A)가 걸어 맞추어짐으로써, 외부 리드부(24b)는 상면(27b)에서 수지 패키지(27E)에 걸어 맞추어지는 구성으로 되어 있었다.

상기 구성에서는 외력 및 응력이 인가된 경우, 주로 외부 리드부(24b)의 제3 단자부(24b-3)에서 외력 및 응력의 흡수가 행하여진다(제2 단자부(24b-2)에 비해서 제3 단자부(24b-3)의 쪽이 변형하기 쉽기 때문이다).

이것에 대하여, 본 실시예에 따른 반도체 장치(20H)는 제3 단자부(24b-3)에 걸어 맞춤 부재(37B)를 형성함과 동시에 수지 패키지(27F)의 측면(27c)에 걸어 맞춤 오목부(38B)를 형성한 것을 특징으로 하는 것이다.

상기와 같은 구성으로 함으로써 걸어 맞춤 부재(37B)와 걸어 맞춤 오목부(38B)가 걸어 맞추어지면, 외부 리드부(24b)는 측면(27c)에서 수지 패키지(27F)와 걸어 맞추어지는 구성으로 된다. 따라서, 본 실시예에 따른 반도체 장치(20H)에 의하면, 외력 및 응력이 인가된 경우, 주로 외부 리드부(24b)의 제2 단자부(24b-2)에서 외력 및 응력의 흡수가 행하여진다. 이것은 제3 단자부(24b-3)에 비해서 제2 단자부(24b-2)의 쪽이 변형하기 쉽기 때문이다. 이와 같이, 걸어 맞춤 부재(37A, 37B) 및 걸어 맞춤 오목부(38A, 38B)의 설치 위치는 수지 패키지(27E, 27F)의 특정 위치에 한정되는 것이 아니라, 외력이 인가되기 쉬운 위치 및 열 응력이 발생하기 쉬운 위치에 따라서 적시에 선정할 수 있다.

연속해서, 본 발명의 제9 실시예에 따른 반도체 장치(20I)에 관해서 설명한다.

도 20은 본 발명의 제9 실시예인 반도체 장치(20I)의 단면도이다. 한편, 도 20에 있어서, 도 17을 이용하여 설명한 제7 실시예에 따른 반도체 장치(20G)와 동일 구성에 대해서는 동일한 참조 부호를 붙여 그 설명을 생략한다.

상기한 제7 및 제8 실시예에 따른 반도체 장치(20G, 20H)는 걸어 맞춤 부재(37A, 37B)를 걸어 맞춤 오목부(38A, 38B)에 걸어 맞추는 것만으로 외부 리드(24b)의 일부를 수지 패키지(27E, 27F)에 위치 결정하는 구성으로 되어 있었다.

이것에 대하여 본 실시예에서는 제2 단자부(24b-2)의 선단부에 걸어 맞춤 부재(37C)를 형성함과 동시에 수지 패키지(27B)의 상면(27b)에 걸어 맞춤 오목부(38C)를 형성한 구성으로 되어 있다. 이 걸어 맞춤 오목부(38C)는 수지 패키지(27G)의 상면(27b)에 넓게 형성되어 있고, 그 양측부에는 단부가 형성되어 있다. 제2 단자부(24b-2)의 선단부에 설치된 걸어 맞춤 부재(37C)는 상기 걸어 맞춤 오목부(38C)의 단부에 걸어 맞추어지도록 구성되어 있다.

또한, 본 실시예에 이용되고 있는 리드(24)는 도전성을 갖는 스프링재에 의해 형성되어 있고, 또한 걸어 맞춤 부재(37C)가 걸어 맞춤 오목부(38C)의 단부에 걸어 맞추어진 상태에서 제2 단자부(24b-2)는 도면중 화살표 X로 도시한 방향으로 탄성력을 가하도록 구성되어 있다. 이와 같은 구성으로 함으로써, 상기한 제4 실시예에 따른 반도체 장치(20D)(도 6 참조)와 같이 접착제(30)를 이용하지 않고, 제2 단자부(24b-2)를 수지 패키지(27G)에 위치 결정할 수 있다.

연속해서, 본 발명의 제10 실시예에 따른 반도체 장치(20J)에 관해서 설명한다. 도 21은 본 발명의 제10 실시예인 반도체 장치(20J)의 사시도이다. 또한, 도 21에 있어서, 도 1 내지 도 3을 이용하여 설명한 제1 실시예에 따른 반도체 장치(20A)와 동일 구성에 대해서는 동일한 참조 부호를 붙여 그 설명을 생략한다.

상기한 제1 실시예에 따른 반도체 장치(20A)는 수지 패키지(27A)의 상면(27b)의 소정 위치에 복수의 상면 홈부(28A)를 형성하고, 이 상면 홈부(28A)에 제2 단자부(24b-2)를 걸어 맞춤하는 것에 의해 외부 리드부(24b)의 위치 결정을 행하는 구성으로 되어 있었다.

이것에 대하여, 본 실시예에 따른 반도체 장치(20J)는 상면 홈부(28A) 대신에 수지 패키지(27H)의 4개의 코너 위치에 수지 패키지(27H)의 상면(27b)보다 높고, 각 제2 단자부(24b-2)[외부 리드부(24b)]의 두께보다도 낮은 돌기부(44)를 형성한 것을 특징으로 하는 것이다.

본 실시예와 같이, 수지 패키지(27H)의 4개의 코너 위치에 수지 패키지(27H)의 상면(27b)보다 높고, 외부 리드부(24b)의 두께보다도 낮은 돌기부(44)를 형성함으로써, 외부 리드부(24b)의 설치 영역의 외주부(외주 4개의 코너 위치)가 돌기부(44)에 의해 보호되게 된다. 따라서, 특히 측부에서 외력(측방향 외력)이 인가된 경우, 이 돌기부(44)에 의해 인가된 측방향 외력을 받아 낼 수 있다. 따라서, 각 외부 리드부(24b)에 측방향 외력이 인가되는 것을 방지할 수 있고, 외부 리드부(24b)에 변형 및 단락이 발생하는 것을 방지할 수 있다.

또한, 본 실시예의 구성으로 함으로써, 예컨대 반도체 칩(21)이 고밀도화함에 따라 리드(24)의 갯수가 증가하여 리드 피치가 협소하게 되어도 상기한 각 실시예에 따른 반도체 장치와 달리 각 외부 리드부(24b)

에 대응하여 홈 등을 형성할 필요는 없기 때문에 리드 피치의 협소화에 용이하게 대응할 수 있다.

연속해서, 본 발명의 제11 실시예에 따른 반도체 장치(20K) 및 본 발명의 제4 실시예에 따른 반도체 장치 유닛(50D)에 관해서 설명한다.

도 22는 본 발명의 제11 실시예인 반도체 장치(20K)의 단면도이고, 도 23은 본 발명의 제4 실시예인 반도체 장치 유닛(50D)의 단면도이다. 한편, 도 22 및 도 23에 있어서, 도 1 내지 도 3, 도 7을 이용하여 설명한 제1 실시예에 따른 반도체 장치(20A) 및 반도체 장치 유닛(50A)과 동일 구성에 대해서는 동일한 참조 부호를 붙여 그 설명을 생략한다.

상기한 제1 실시예에 따른 반도체 장치(20A)는 이것을 실장 기판에 실장할 때, 수지 패키지(27A)가 평면적이 되도록, 즉 제1 단자부(24b-1)가 외부 접속 단자로서 실장 기판에 접합되도록 실장되어 있었다.

그런데, 상기와 같은 구성으로는 실장시에 필요로 되는 반도체 장치(20A)의 실장 면적이 넓어져 버린다. 그래서, 본 실시예에 따른 반도체 장치(20K)는 실장 기판(45)에 대하여 반도체 장치(20K)를 세워서 설치한 상태로 실장할 수 있도록 구성된 것을 특징으로 하는 것이다.

본 실시예에 따른 반도체 장치(20K)는 상기한 바와 같이 실장 기판(45)에 대하여 세워서 설치한 상태로 실장할 수 있도록 하기 위해서 외부 접속 단자가 되는 리드(24)를 모두 수지 패키지(27A)의 일측면[도면중 실장 기판(45)과 대향하는 면]에 집약적으로 설치하고 있다. 또한, 리드(24)가 설치된 측면과 반대측의 측면에는 방열판(46A)이 설치되어 있어 반도체 칩(21)에서 발생한 열을 방열할 수 있는 구성으로 되어 있다.

상기한 구성으로 된 반도체 장치(20K)를 실장 기판(45)에 실장하기 위해서는 도 22에 도시하는 바와 같이, 제3 단자부(24b-3)를 실장 기판(45)에 뿔납(47)을 이용하여 접합한다. 이것에 의해, 반도체 장치(20K)는 실장 기판(45)에 세워서 설치되어 실장되게 됨으로써, 실장에 필요한 면적의 소 공간화를 도모할 수 있다.

또한, 본 실시예에 따른 반도체 장치(20K)는 반도체 칩(21)이 탑재되는 스테이지(49B)가 수지 패키지(27A)의 외부로 노출한 구성으로 되어 있다. 따라서, 반도체 칩(21)에서 발생된 열은 상기한 방열판(46A)과 같이 스테이지(49B)로부터도 방열된다. 따라서, 스테이지(49B)를 수지 패키지(27A)로부터 노출시킴으로써 보다 효율적인 방열을 행할 수 있다.

또한, 상기한 구성으로 된 반도체 장치(20K)를 가로 방향으로 적층하는 것에 의해 도 23에 도시한 반도체 장치 유닛(50D)을 구성할 수 있다. 이 반도체 장치 유닛(50D)은 도면중 좌단부의 반도체 장치(20K)의 제3 단자부(24b-3)가 뿔납(47)에 의해 실장 기판(45)에 접합되어 있고, 다른 반도체 장치(20K)는 인접하는 제1 단자부(24b-1)와 제2 단자부(24b-2)를 뿔납(47)에 의해 접합하여 적층된 구성으로 되어 있다.

본 실시예에 따른 반도체 장치 유닛(50D)은 각 반도체 장치(20K)를 세워서 설치한 상태이고 또한 밀접한 상태로 실장하기 때문에, 하나의 반도체 장치(20K)에 필요로 되는 실장 공간이 적어도 되며, 따라서 상기 반도체 장치 유닛(50D)으로 함으로써 실장 밀도의 향상을 도모할 수 있다.

연속해서, 본 발명의 제12 실시예에 따른 반도체 장치(20L) 및 본 발명의 제5 실시예에 따른 반도체 장치 유닛(50E)에 관해서 설명한다.

도 24는 본 발명의 제12 실시예인 반도체 장치(20L)의 단면도이고, 도 25는 본 발명의 제5 실시예인 반도체 장치 유닛(50E)의 단면도이다. 한편, 도 24 및 도 25에 있어서, 도 12 내지 도 14, 도 16을 이용하여 설명한 제5 실시예에 따른 반도체 장치(20E) 및 제3 실시예에 따른 반도체 장치 유닛(50C)과 동일 구성에 대해서는 동일한 참조 부호를 붙여 그 설명을 생략한다.

상기한 제5 실시예에 따른 반도체 장치(20E)는 이것을 실장 기판에 실장할 때, 수지 패키지(27C)가 평면적이 되도록, 즉 제1 단자부(24b-1)가 외부 접속 단자로서 실장 기판에 접합되도록 실장되어 있었다.

이것에 대하여, 본 실시예에 따른 반도체 장치(20L)는 실장 기판(45)에 대하여 반도체 장치(20L)를 세워서 설치한 상태로 실장할 수 있도록 구성된 것을 특징으로 하는 것이다.

이 때문에, 본 실시예에 따른 반도체 장치(20L)는 외부 접속 단자가 되는 리드(48)를 모두 수지 패키지(27A)의 일측면[도면중, 실장 기판(45)과 대향하는 면]에 집약적으로 설치하고 있다. 또한, 리드(48)가 설치된 측면과 반대측의 측면에는 방열판(46B)이 설치되어 있어 반도체 칩(21)에서 발생된 열을 방열할 수 있는 구성으로 되어 있다.

또한, 본 실시예에 따른 반도체 장치(20L)는 상기한 각 실시예에 있어서의 제2 단자부(24b-2)가 설치되지 않으며, 따라서 외부 리드부(48b)는 수지 패키지(27A)의 저면(27a)에 설치된 제1 단자부(48b-1)와, 수지 패키지(27A)의 측면(27c)에 설치된 제2 단자부(48b-2)로 이루어지는 구성으로 되어 있다.

상기와 같이 구성된 반도체 장치(20L)를 실장 기판(45)에 실장하기 위해서는 도 24에 도시한 바와 같이, 제2 단자부(48b-2)를 실장 기판(45)에 뿔납(47)을 이용하여 접합한다. 이것에 의해, 반도체 장치(20L)는 실장 기판(45)에 세워서 설치되어 실장되게 되므로 실장에 필요한 면적의 소 공간화를 도모할 수 있다.

또한, 상기와 같이 구성된 반도체 장치(20L)를 가로 방향으로 적층하여 도 25에 도시하는 반도체 장치 유닛(50E)을 구성할 수 있다. 이 반도체 장치 유닛(50E)은 각 반도체 장치(20L)의 제2 단자부(48b-2)를 뿔납(47)에 의해 실장 기판(45)에 접합한 구조로 되어 있다.

본 실시예에 따른 반도체 장치 유닛(50E)도 상기한 제4 실시예에 따른 반도체 장치 유닛(50D)과 동일하게 각 반도체 장치(20L)를 세워서 설치한 상태이고 또한 밀접한 상태로 실장하기 때문에, 하나의 반도체 장치(20L)에 필요로 되는 실장 공간은 적어도 되며, 따라서 반도체 장치 유닛(50E)으로 함으로써 실장 밀도의 향상을 도모할 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 다음과 같은 여러 가지의 효과를 실현할 수 있다.

청구항 1에 기재된 발명에 의하면, 수지 패키지의 상면 및 저면의 각 면에서 전기적 접속을 행하는 것이 가능하게 되기 때문에, 반도체 장치를 상하 방향으로 복수개 적층할 수 있고, 반도체 장치의 실장 효율을 향상시킬 수 있다.

또한, 반도체 장치의 조립시 또는 실장시 등에 있어서 외부 리드부에 외력이 인가되더라도 외부 리드부는 위치 결정 기구에 의해 위치 결정되고 있기 때문에, 변형이 발생하거나 또는 인접한 외부 리드부의 사이에서 단락이 발생하지 않는다.

또한, 외부 리드부는 위치 결정 기구에 의해 위치 결정되면서, 변형 또는 단락이 발생하지 않는 범위에서 변위 또는 변형할 수 있는 구성으로 되어 있기 때문에, 가열시 등에 발생하는 응력은 외부 리드부가 변위 또는 변형함으로써 방열되고, 따라서 수지 패키지에 균열이 발생하거나 또는 실장 위치에서 땀납의 박리가 발생하는 것을 확실히 방지할 수 있다.

또한, 청구항 2에 기재된 발명에 의하면, 위치 결정 기구를 수지 패키지에 형성함과 동시에 외부 리드부의 일부가 걸어 맞추어지는 홈부에 의해 구성함으로써, 간단하고 확실하게 외부 리드부의 변형 또는 단락의 발생을 방지할 수 있다.

또한, 청구항 3에 기재된 발명에 의하면, 외부 리드부의 일부가 홈부에 걸어 맞추어져 있을 때, 외부 리드부의 일부가 수지 패키지의 상면으로부터 돌출하도록 구성함으로써, 적층시에 있어서 각 외부 리드부 사이의 전기적 접속을 확실히 행할 수 있다.

또한, 청구항 4에 기재된 발명에 의하면, 응력 발생시에 있어서는 주로 반도체 장치의 측면에 위치하는 외부 리드부가 변위 또는 변형하고, 상하 위치에 있어서의 외부 리드부는 변위 또는 변형하지 않기 때문에, 특히 반도체 장치를 상하 방향으로 적층할 경우에 각 반도체 장치를 확실히 접합할 수 있다.

또한, 청구항 5에 기재된 발명에 의하면, 응력 발생시에 있어서는 주로 반도체 장치의 상면에 위치하는 외부 리드부가 변위 또는 변형하고, 측면 위치에 있어서의 외부 리드부는 변위 또는 변형하지 않기 때문에, 특히 반도체 장치를 수평 방향으로 적층하는 경우에 각 반도체 장치를 확실히 접합할 수 있다.

또한, 청구항 6에 기재된 발명에 의하면, 반도체 장치를 상하 방향으로 적층하였을 때, 각 리드 사이의 접촉 면적을 크게 할 수 있어 신뢰성이 높은 접합을 행하는 것이 가능해진다. 또한, 반도체 장치를 적층하였을 때의 안정성이 좋기 때문에, 정식 접합을 행하기 전에 통상 실시되는 가접합의 안정성을 향상시킬 수 있다.

또한, 청구항 7에 기재된 발명에 의하면, 하부에 위치하는 반도체 장치의 외부 리드부의 각부는 상부에 위치하는 반도체 장치의 외부 리드부와 직접 접촉한 상태로 되기 때문에, 적층되는 상하의 각 반도체 장치의 외부 리드부는 직접 접촉하며, 따라서 반도체 장치를 적층하였을 때의 전체 높이를 균일화할 수 있다.

또한, 청구항 8에 기재된 발명에 의하면, 외부 리드부는 보다 확실히 홈부에 걸어 맞추어 고정되기 때문에, 외부 리드부에 변형 및 단락이 발생하는 것을 확실히 방지할 수 있다.

또한, 청구항 9에 기재된 발명에 의하면, 제1 및 제2 걸어 맞추부가 걸어 맞추어짐으로써 외부 리드부는 보다 적극적으로 수지 패키지에 걸어 맞추어지기 때문에, 외부 리드부에 변형 및 단락이 발생하는 것을 확실히 방지할 수 있다.

또한, 청구항 10에 기재된 발명에 의하면, 제1 걸어 맞추부를 수지 부재로 하고, 제2 걸어 맞추부를 수지 패키지에 형성된 오목부로 함으로써 제1 및 제2 걸어 맞추부를 용이하게 형성할 수 있다.

또한, 청구항 11에 기재된 발명에 의하면, 수지 부재와 수지 패키지를 일괄적으로 형성할 수 있어, 제1 및 제2 걸어 맞추부의 성형을 더욱 용이하게 할 수 있다.

또한, 청구항 12에 기재된 발명에 의하면, 측부로부터 외력이 인가된 경우에 돌기부에 의해 이 외력을 받아 낼 수 있으며, 따라서 각 외부 리드부에 외력이 인가되는 것을 방지할 수 있어, 외부 리드부의 변형 및 단락이 발생하는 것을 방지할 수 있다.

또한, 예컨대 반도체 칩이 고밀도화함에 따라 리드수가 증대하여 리드 피치가 협소하게 되더라도 각 외부 리드부에 대응하여 홈 등을 형성할 필요가 없기 때문에, 이것에 대응할 수 있다.

또한, 청구항 13에 기재된 발명에 의하면, 복수의 반도체 장치를 상하 방향으로 적층할 수가 있으며, 따라서 용이하게 반도체 장치의 적층체를 형성할 수 있고, 반도체 장치의 실장 밀도를 향상시킬 수 있다.

또한, 청구항 14에 기재된 발명에 의하면, 반도체 장치는 세워서 설치된 상태로 실장되게 되므로, 하나의 반도체 장치에 필요로 되는 설치 공간은 적어도 되고, 따라서 반도체 장치의 실장 밀도를 향상시킬 수 있다.

또한, 청구항 15에 기재된 발명에 의하면, 각 반도체 장치에서 발생하는 열은 접착 부재를 통해 실장 기판으로 방열되기 때문에, 복수개의 반도체 장치가 적층된 반도체 장치 유닛에 있어서도 방열 효율을 향상시킬 수 있다.

또한, 청구항 16에 기재된 발명에 의하면, 각각의 반도체 장치의 외부 접속 단자로서 기능하는 부위에 접합재를 설치한 후에 접합 공정을 실시함으로써, 반도체 장치를 적층한 이후에 접합 부재를 설치하는 구성에 비해서 접합재의 설치 처리 및 접합 처리를 용이하게 행할 수 있다.

또한, 청구항 17에 기재된 발명에 의하면, 복수의 반도체 장치에 대하여 일괄적으로 땀납을 설치하는 것

이 가능하게 됨으로써 접합재 설치 공정의 효율화를 도모할 수 있다.

또한, 청구항 18에 기재된 발명에 의하면, 적층 공정에서 복수의 반도체 장치를 적층하였을 때, 접착 부재에 의해 각 반도체 장치는 가접합되어 있기 때문에, 취급을 용이하게 할 수 있다.

또한, 접착 부재는 방열성을 갖고 있기 때문에 반도체 장치 유닛이 형성된 이후에 각 반도체 장치에서 발생하는 열은 접착 부재를 통해 실장 기판으로 방열되기 때문에 반도체 장치 유닛의 방열 효율의 향상을 도모할 수 있다.

(57) 청구의 범위

청구항 1

반도체 소자가 밀봉되는 수지 패키지와,

상기 반도체 소자에 접속되는 내부 리드부와 상기 수지 패키지의 외부에 위치하여 외부 접속 단자로서 기능하는 외부 리드부를 갖는 리드를 구비하고,

상기 외부 리드부를 상기 수지 패키지의 외형을 따라 구부려서 상기 수지 패키지의 측면 또는 상면으로 인출한 구성으로 이루어진 반도체 장치에 있어서,

상기 리드 또는 상기 수지 패키지의 적어도 한쪽에 상기 외부 리드부의 일부와 걸어 맞춤함으로써 상기 외부 리드부의 위치 결정을 행하는 위치 결정 기구를 각각의 외부 리드부에 대하여 설치한 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 위치 결정 기구를, 상기 수지 패키지에 형성되고 상기 외부 리드부의 일부가 걸어 맞춰진 홈부에 의해 구성된 것을 특징으로 하는 반도체 장치.

청구항 3

제2항에 있어서, 상기 외부 리드부의 일부가 상기 홈부에 걸어 맞추어져 있을 때, 상기 외부 리드부의 일부를 상기 수지 패키지의 표면으로부터 돌출하도록 구성한 것을 특징으로 하는 반도체 장치.

청구항 4

제3항에 있어서, 상기 홈부를 상기 수지 패키지의 상면에만 형성한 것을 특징으로 하는 반도체 장치.

청구항 5

제3항에 있어서, 상기 홈부를 상기 수지 패키지의 측면에 형성한 것을 특징으로 하는 반도체 장치.

청구항 6

제4항에 있어서, 상기 외부 리드부의 상기 수지 패키지의 상면에 위치하는 부분은 수평 방향으로 연장하도록 구성한 것을 특징으로 하는 반도체 장치.

청구항 7

제4항에 있어서, 상기 외부 리드부의 상기 수지 패키지의 상면에 위치하는 부분은 경사 방향으로 연장하도록 구성한 것을 특징으로 하는 반도체 장치.

청구항 8

제7항에 있어서, 상기 외부 리드부와 상기 홈부와 대향하는 부분의 일부에, 상기 외부 리드부를 상기 홈부에 고정하는 접착제를 도포한 것을 특징으로 하는 반도체 장치.

청구항 9

제1항에 있어서, 상기 위치 결정 기구를, 상기 외부 리드부의 일부에 형성된 제1 걸어 맞춤부와, 상기 수지 패키지에 형성되고 상기 제1 걸어 맞춤부와 걸어 맞춤함으로써 상기 외부 리드부의 위치 결정을 행하는 제2 걸어 맞춤부에 의해 구성된 것을 특징으로 하는 반도체 장치.

청구항 10

제9항에 있어서, 상기 제1 걸어 맞춤부를 수지 부재로 하고, 상기 제2 걸어 맞춤부를 상기 수지 패키지에 형성된 오목부로 한 것을 특징으로 하는 반도체 장치.

청구항 11

제10항에 있어서, 상기 수지 부재를 상기 수지 패키지와 동일한 재료로 형성한 것을 특징으로 하는 반도체 장치.

청구항 12

반도체 소자가 밀봉되는 수지 패키지와,

상기 반도체 소자에 접속되는 내부 리드부와 상기 수지 패키지의 외부에 위치하여 외부 접속 단자로서 기능하는 외부 리드부를 갖는 리드를 구비하고,

상기 외부 리드부를 상기 수지 패키지의 외형을 따라 구부려서 상기 수지 패키지의 상면으로 인출한 구성

으로 이루어진 반도체 장치에 있어서,

상기 수지 패키지의 4개의 코너 위치에, 상기 수지 패키지의 표면보다 높고 상기 외부 리드부의 두께보다도 낮은 돌기부를 형성한 것을 특징으로 하는 반도체 장치.

청구항 13

반도체 장치를 복수개 상하 방향으로 적층한 구조를 가지며,

상기 반도체 장치가 복수개 적층된 상태에서, 상부의 상기 반도체 장치의 저면에 위치하는 외부 리드부와, 하부에 설치된 상기 반도체 장치의 상면에 위치하는 외부 리드부가 전기적으로 접속되는 구성을 갖는 것을 특징으로 하는 반도체 장치 유닛.

청구항 14

제13항에 있어서, 상기 복수개 적층된 각 반도체 장치의 상기 수지 패키지의 측면과 대향하는 위치에서 상기 외부 리드부를 외부 접속 단자로서 실장 기판에 접합하는 구성으로 하는 것을 특징으로 하는 반도체 장치 유닛.

청구항 15

제14항에 있어서, 상기 적층되는 인접한 반도체 장치 사이에 방열 기능을 갖는 접착 부재를 설치한 것을 특징으로 하는 반도체 장치 유닛.

청구항 16

반도체 장치를 복수개 상하 방향으로 적층한 구조를 갖는 반도체 장치 유닛의 제조 방법에 있어서,

상기 반도체 장치의 외부 접속 단자로서 기능하는 부위에 접합재를 설치하는 접합재 설치 공정과;

상기 접합재가 설치된 상기 반도체 장치를 복수개 적층하는 적층 공정과;

상기 적층된 복수의 반도체 장치에 열처리를 실시함으로써, 상기 접합재에 의해 인접한 상기 각 반도체 장치끼리를 전기적 및 기계적으로 접합하는 접합 공정을 포함하는 것을 특징으로 하는 반도체 장치 유닛의 제조 방법.

청구항 17

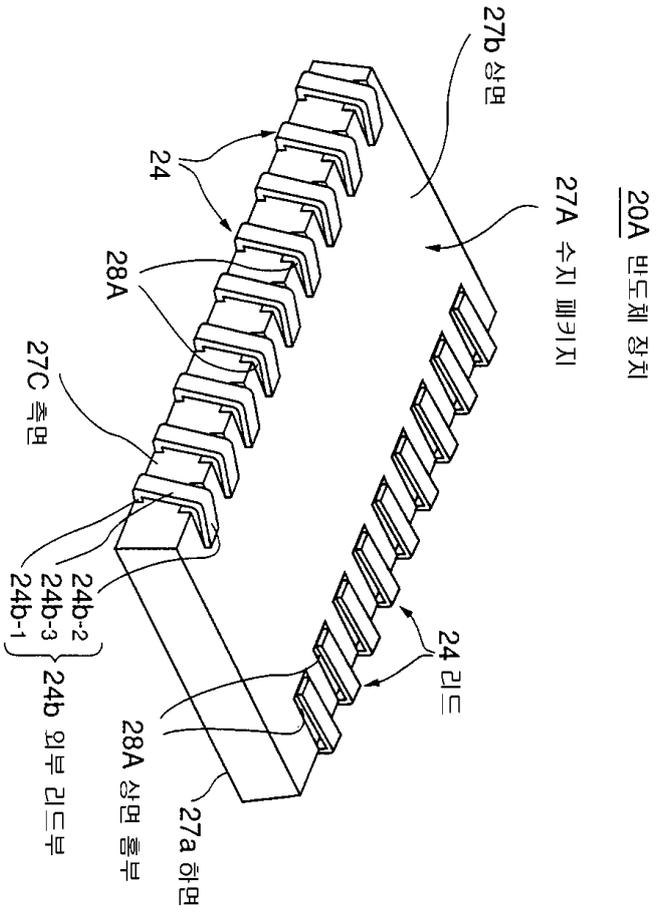
제16항에 있어서, 상기 접합재 설치 공정에서는 상기 접합재로서 땀납을 이용함과 동시에, 땀납 덩 또는 땀납 페이스트 인쇄를 이용하여 상기 접합재를 설치하는 것을 특징으로 하는 반도체 장치 유닛의 제조 방법.

청구항 18

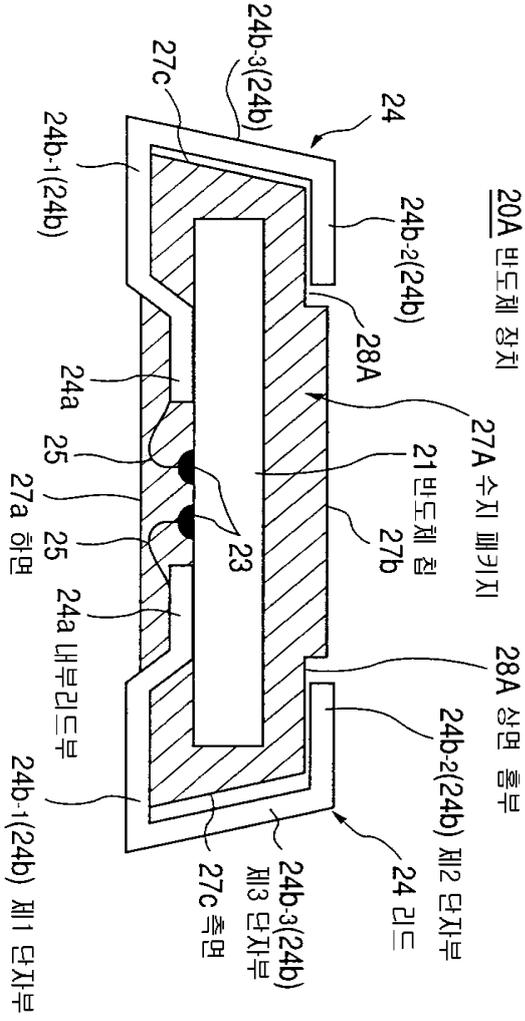
제17항에 있어서, 상기 접합재 설치 공정의 실시 이후와 상기 적층 공정의 실시 이전에 인접한 상기 반도체 장치를 가접합함과 동시에 방열성을 갖는 접착 부재를 설치하는 접착 부재 설치 공정을 실행하는 것을 특징으로 하는 반도체 장치 유닛의 제조 방법.

도면

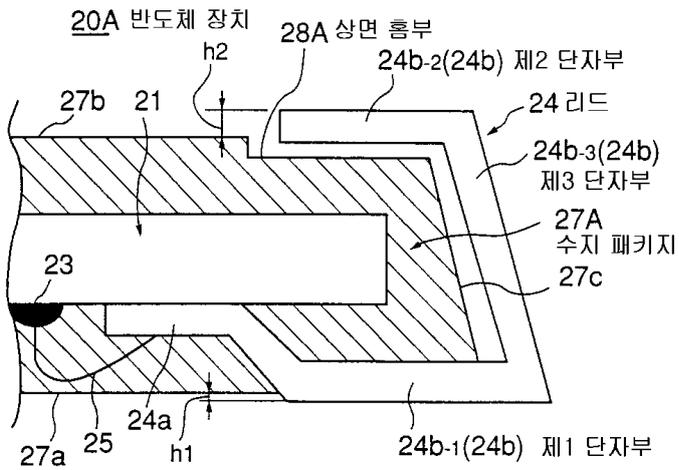
도면1



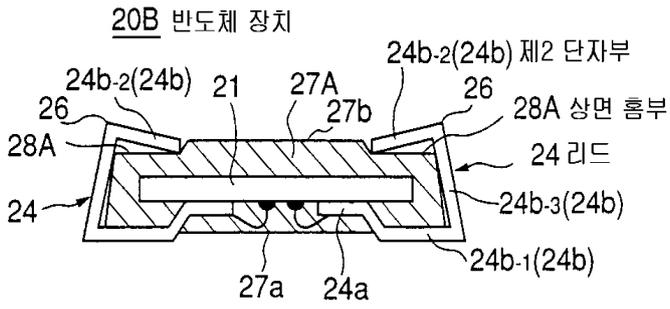
도면2



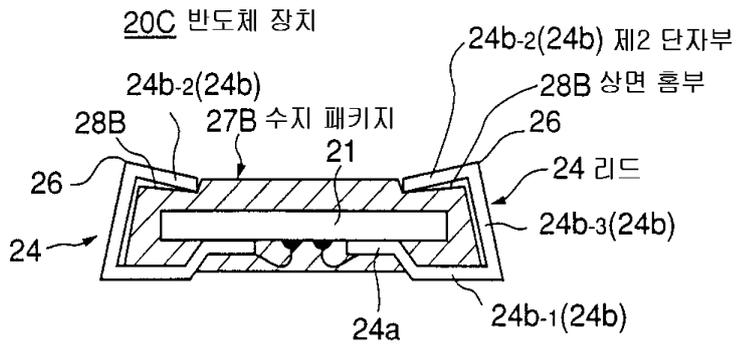
도면3



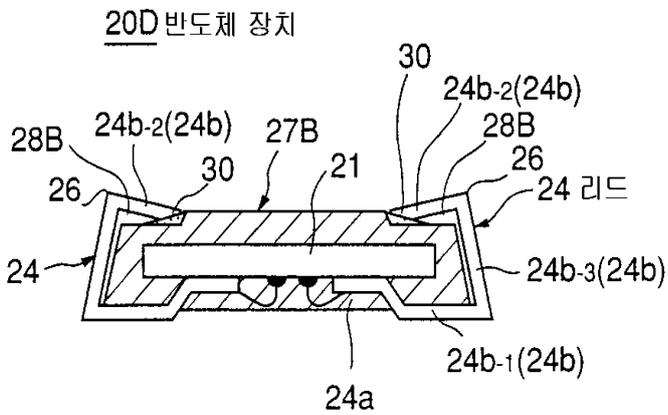
도면4



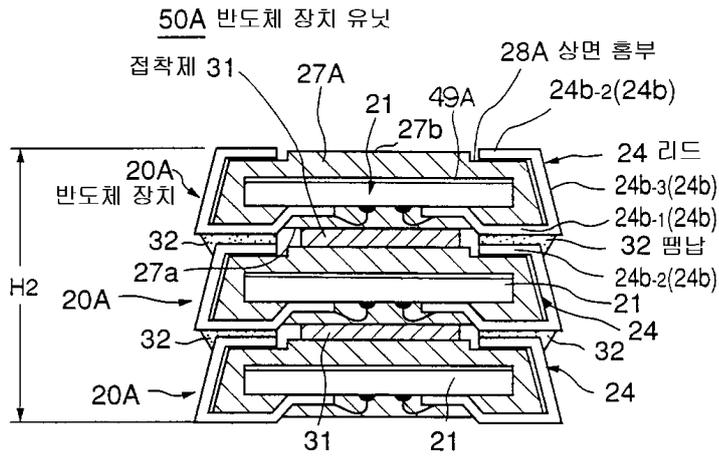
도면5



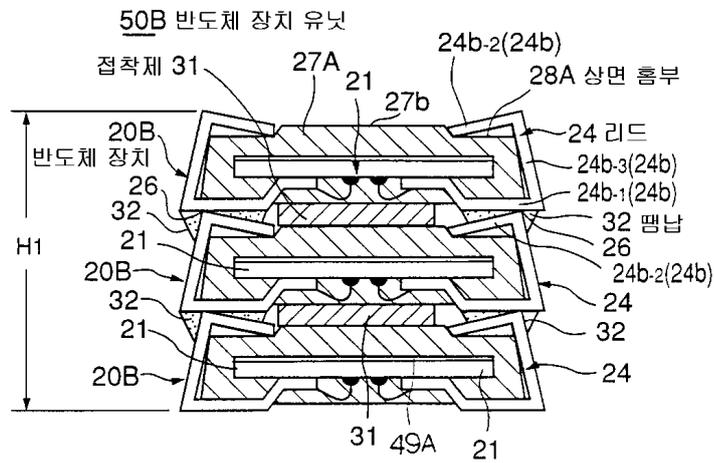
도면6



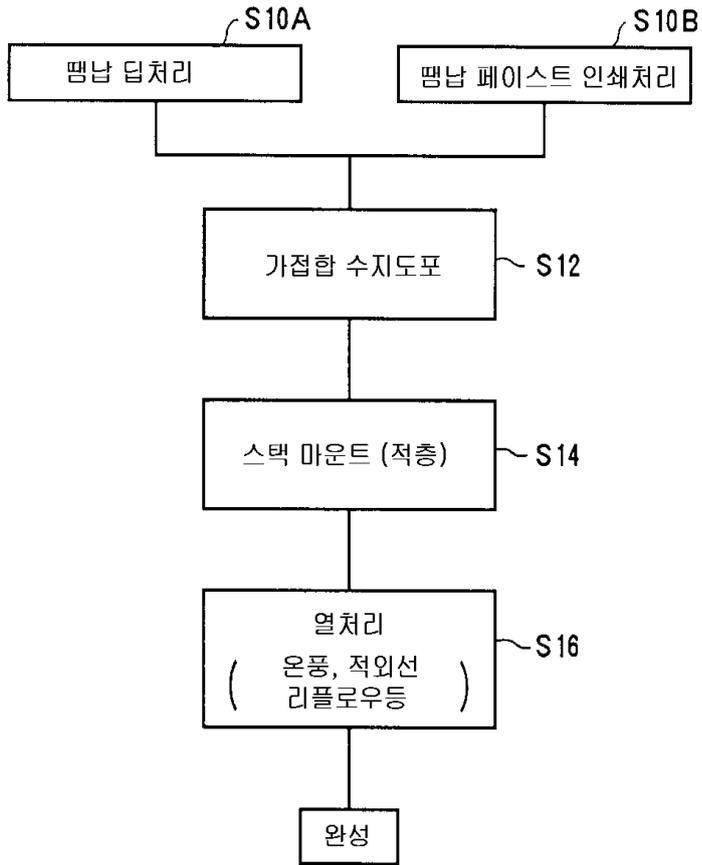
도면7



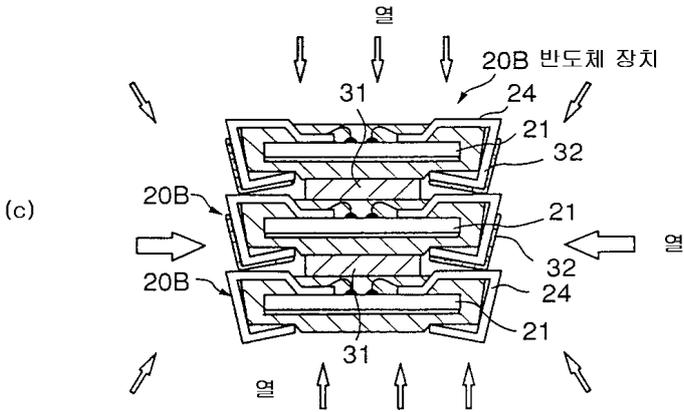
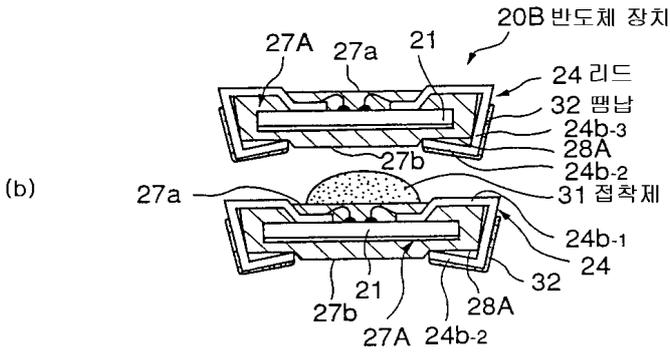
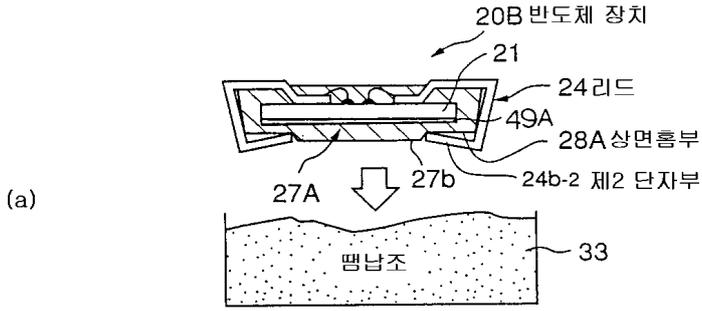
도면8



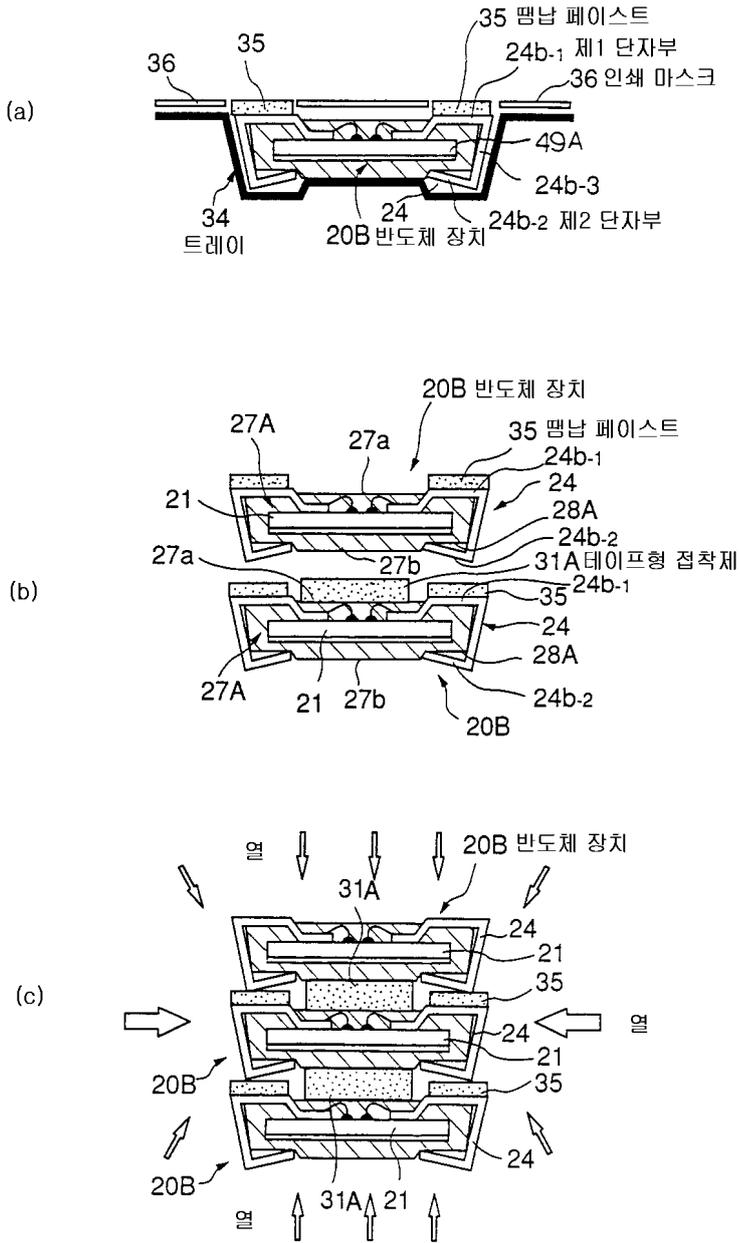
도면9



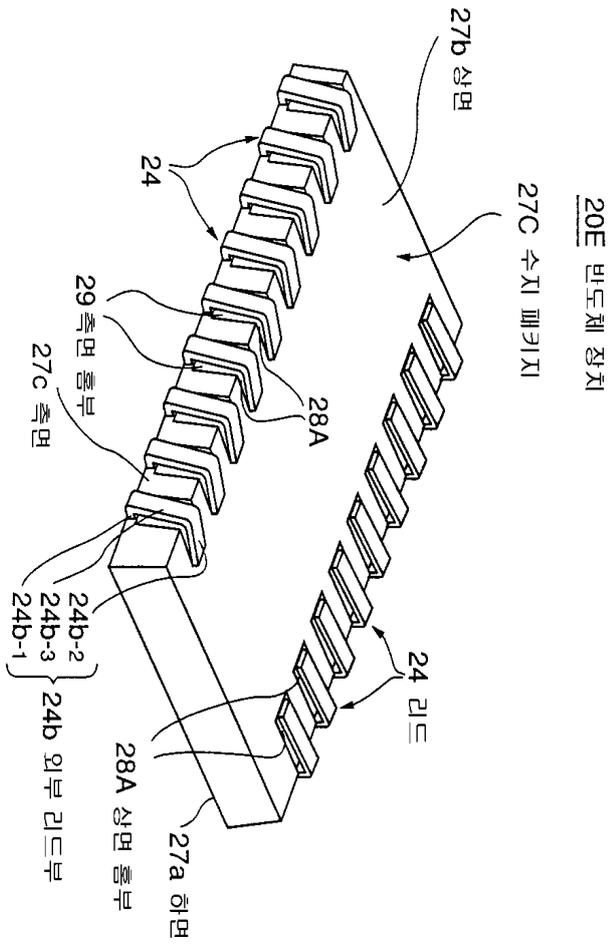
도면10



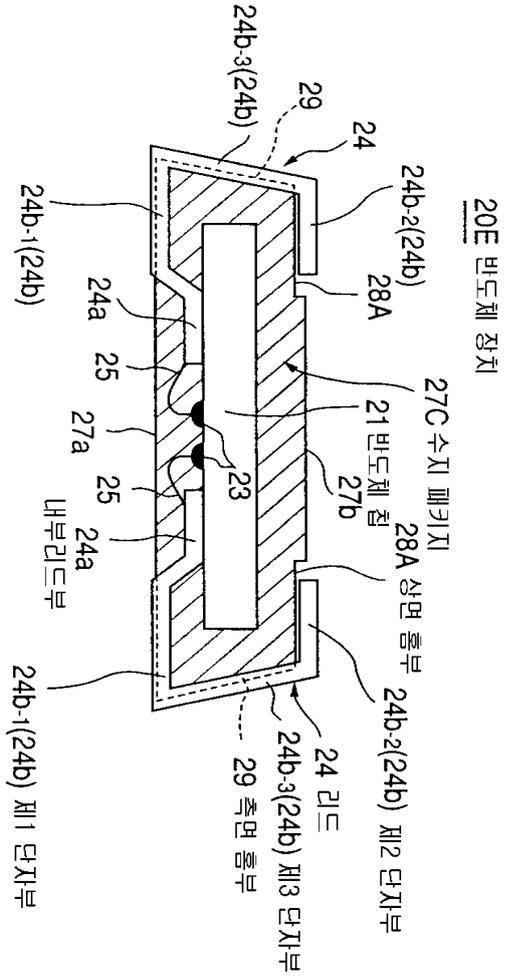
도면11



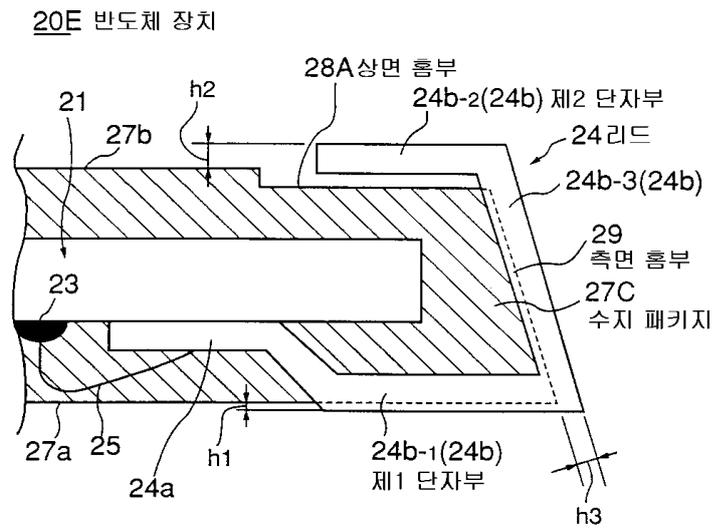
도면12



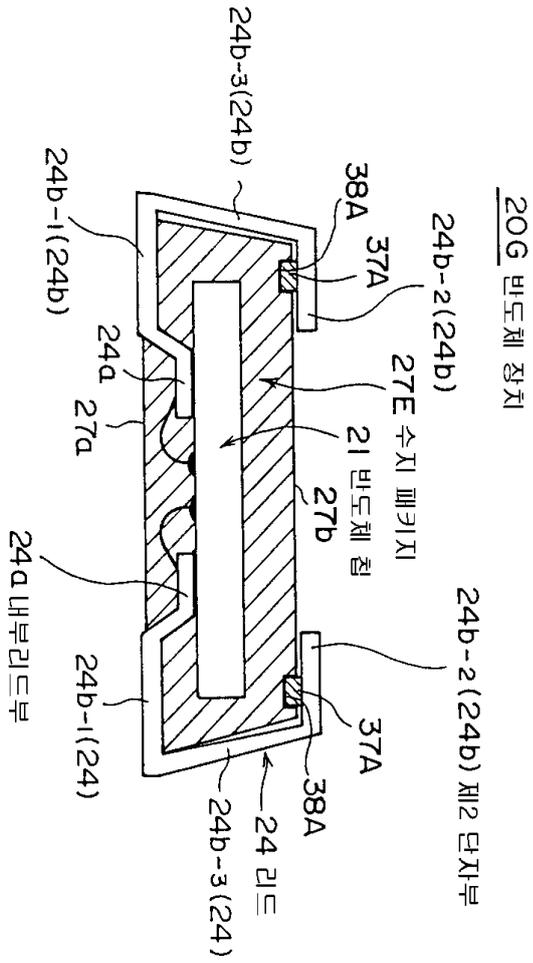
도면13



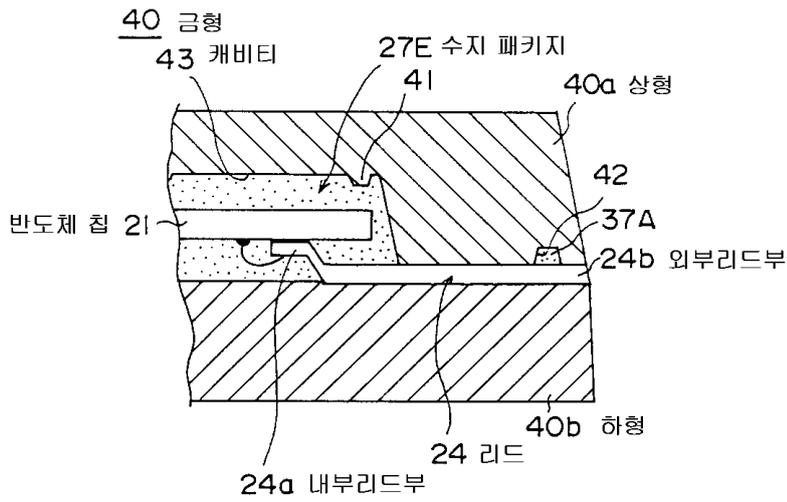
도면14



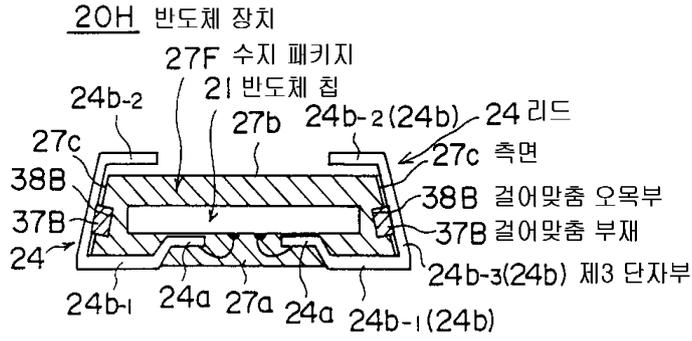
도면17



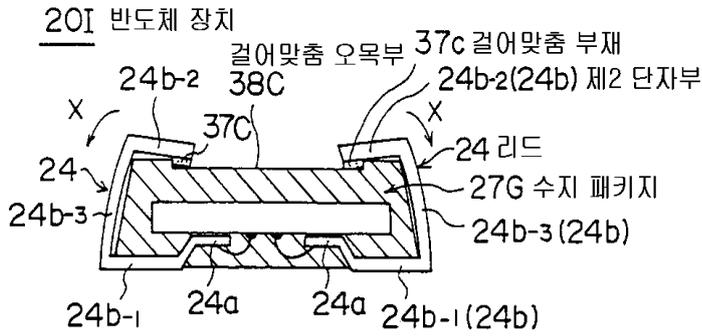
도면18



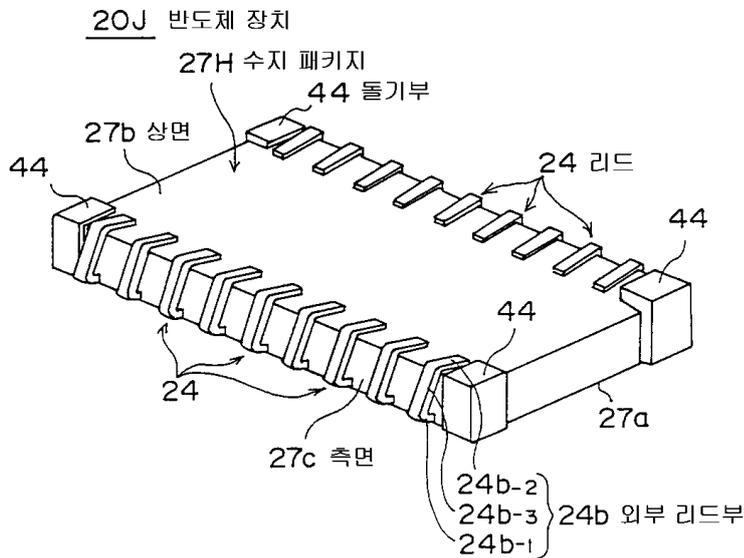
도면19



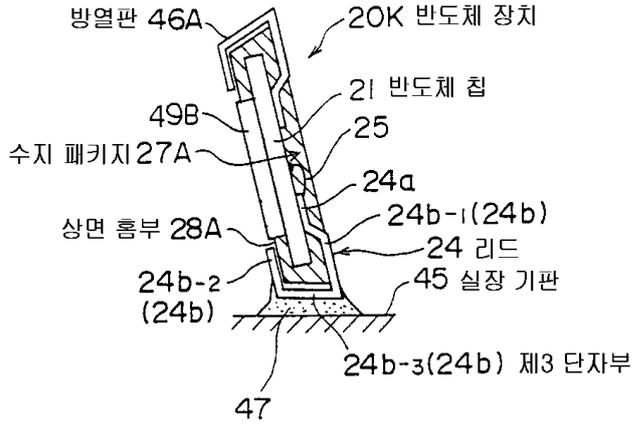
도면20



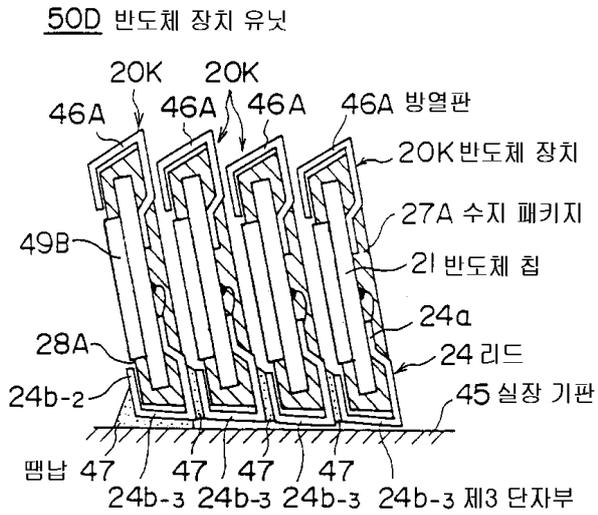
도면21



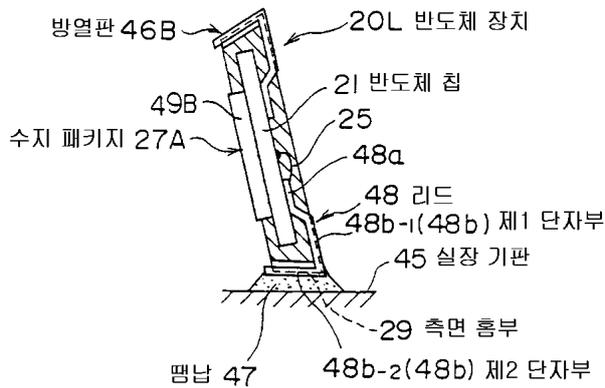
도면22



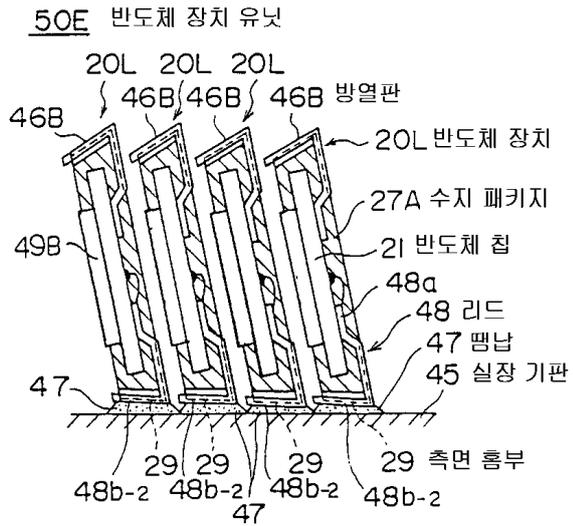
도면23



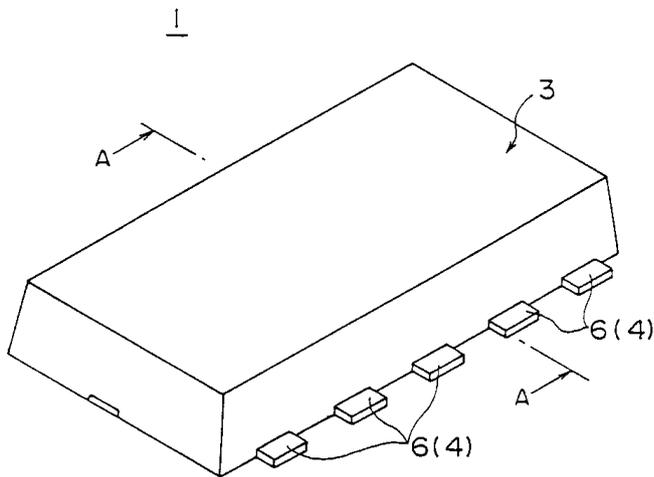
도면24



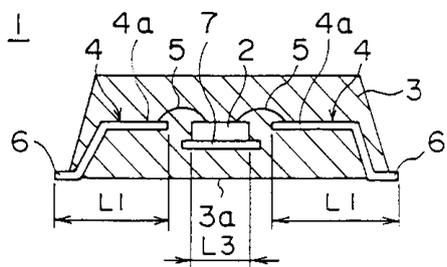
도면25



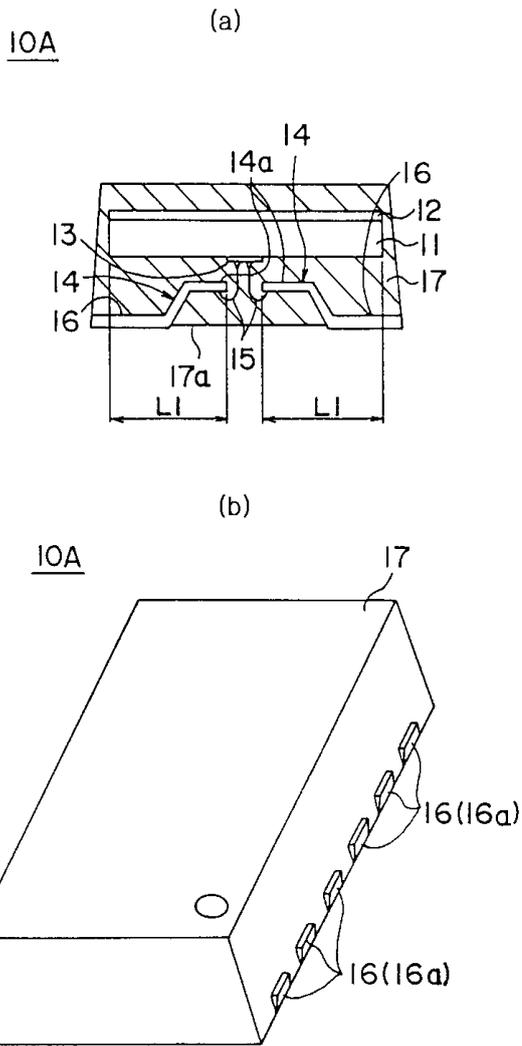
도면26



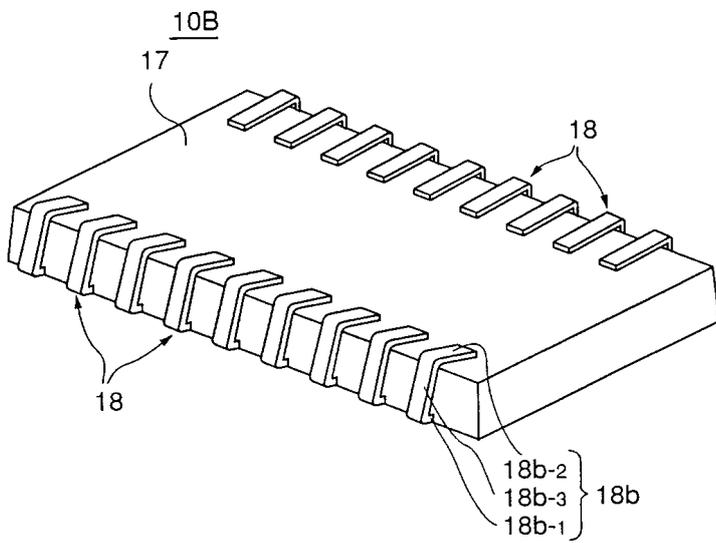
도면27



도면28



도면29



도면30

