

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-14972
(P2016-14972A)

(43) 公開日 平成28年1月28日(2016.1.28)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 3/06 (2006.01)	G06F 3/06 305A	
G06F 13/10 (2006.01)	G06F 3/06 301F	
	G06F 13/10 340B	

審査請求 未請求 請求項の数 10 O L (全 25 頁)

(21) 出願番号	特願2014-136032 (P2014-136032)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成26年7月1日(2014.7.1)	(74) 代理人	100092978 弁理士 真田 有
		(74) 代理人	100112678 弁理士 山本 雅久
		(72) 発明者	鈴木 利彦 神奈川県川崎市中原区上小田中4丁目1番1号 株式会社富士通コンピュータテクノロジーズ内
		(72) 発明者	宮田 真也 神奈川県川崎市中原区上小田中4丁目1番1号 株式会社富士通コンピュータテクノロジーズ内

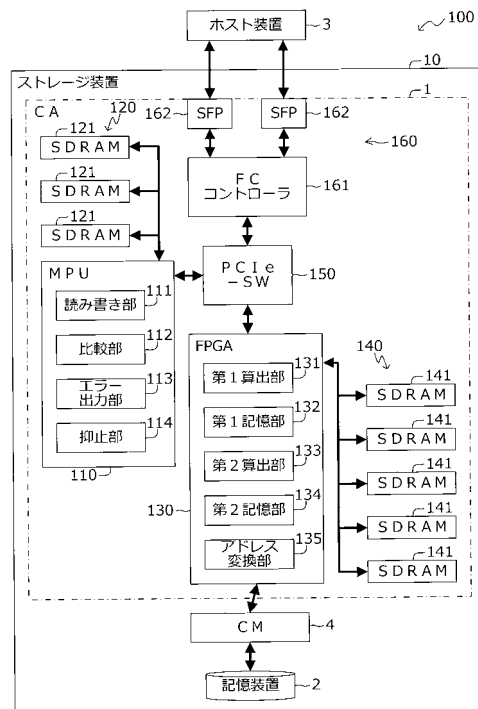
(54) 【発明の名称】 通信制御装置、ストレージ装置及び通信制御プログラム

(57) 【要約】

【課題】 記憶装置に書き込むデータの同一性を保証する。

【解決手段】 上位装置3から送信されるデータを格納するデータ記憶部140と、データ記憶部140に格納されたデータを読み出した後に、読み出したデータをデータ記憶部140に書き込む読み書き部111と、読み書き部111によってデータ記憶部140から読み出されるデータに関する第1の値を算出する第1算出部131と、第1算出部131によって算出された第1の値を格納する第1記憶部132と、読み書き部111によってデータ記憶部140に書き込まれるデータに関する第2の値を算出する第2算出部133と、第2算出部133によって算出された第2の値を格納する第2記憶部134と、第1記憶部132に格納された第1の値と、第2記憶部134に格納された第2の値とを比較する比較部112と、を備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

上位装置と通信可能に接続され、前記上位装置との通信を制御する通信制御装置であって、

前記上位装置から送信されるデータを格納するデータ記憶部と、

前記データ記憶部に格納されたデータを読み出した後に、当該読み出したデータを前記データ記憶部に書き込む読み書き部と、

前記読み書き部によって前記データ記憶部から読み出されるデータに関する第 1 の値を算出する第 1 算出部と、

前記第 1 算出部によって算出された前記第 1 の値を格納する第 1 記憶部と、

前記読み書き部によって前記データ記憶部に書き込まれるデータに関する第 2 の値を算出する第 2 算出部と、

前記第 2 算出部によって算出された前記第 2 の値を格納する第 2 記憶部と、

前記第 1 記憶部に格納された前記第 1 の値と、前記第 2 記憶部に格納された前記第 2 の値とを比較する比較部と、

を備えることを特徴とする、通信制御装置。

【請求項 2】

前記比較部による比較の結果が不一致である場合に、エラーを出力するエラー出力部を備えることを特徴とする、請求項 1 に記載の通信制御装置。

【請求項 3】

当該通信制御装置は、記憶装置と通信可能に接続され、

前記比較部による比較の結果が不一致である場合に、前記記憶装置に対するデータの送信を抑止する抑止部

を備えることを特徴とする、請求項 1 又は 2 に記載の通信制御装置。

【請求項 4】

前記データ記憶部における物理アドレスを多重化させた仮想アドレスに対応付けるアドレス変換部を備え、

前記読み書き部は、前記仮想アドレスを指定することにより、前記データ記憶部に対するデータの読み書きを行なう、

ことを特徴とする、請求項 3 に記載の通信制御装置。

【請求項 5】

前記多重化させた仮想アドレスのそれぞれに対応する複数組の前記第 1 及び第 2 記憶部を備え、

前記比較部は、前記第 1 及び第 2 記憶部の組毎に前記比較を行なう、

ことを特徴とする、請求項 4 に記載の通信制御装置。

【請求項 6】

前記第 2 算出部は、前記上位装置から送信されたデータに前記記憶装置に送信する必要がないデータが含まれている場合であっても、前記読み書き部によって前記データ記憶部に書き込まれたデータと、前記記憶装置に送信する必要がないデータとに基づき、前記第 2 の値を算出する、

ことを特徴とする、請求項 4 又は 5 に記載の通信制御装置。

【請求項 7】

前記読み書き部は、前記仮想アドレスのうち特定のアドレスを指定することにより、前記記憶装置に送信する必要がないデータを前記第 2 算出部に送信する、

ことを特徴とする、請求項 6 に記載の通信制御装置。

【請求項 8】

前記第 1 及び第 2 の値は、チェックサムである、

ことを特徴とする、請求項 1 ~ 7 いずれか 1 項に記載の通信制御装置。

【請求項 9】

上位装置と通信可能に接続されるストレージ装置であって、

10

20

30

40

50

前記上位装置との通信を制御する通信制御部を備え、
 前記通信制御部は、
 前記上位装置から送信されたデータを格納するデータ記憶部と、
 前記データ記憶部に格納されたデータを読み出した後に、当該読み出したデータを前記データ記憶部に書き込む読み書き部と、
 前記読み書き部によって前記データ記憶部から読み出されるデータに関する第1の値を算出する第1算出部と、
 前記第1算出部によって算出された前記第1の値を格納する第1記憶部と、
 前記読み書き部によって前記データ記憶部に書き込まれるデータに関する第2の値を算出する第2算出部と、
 前記第2算出部によって算出された前記第2の値を格納する第2記憶部と、
 前記第1記憶部に格納された前記第1の値と、前記第2記憶部に格納された前記第2の値とを比較する比較部と、
 を備えることを特徴とする、ストレージ装置。

10

【請求項10】

上位装置と通信可能に接続され、前記上位装置との通信を制御する通信制御装置に備えられるコンピュータに、

前記上位装置から送信されるデータを格納するデータ記憶部からデータを読み出した後に、当該読み出したデータを前記データ記憶部に書き込み、

前記データ記憶部から読み出されるデータに関する第1の値を第1記憶部から読み出し

20

、
 前記データ記憶部に書き込まれるデータに関する第2の値を第2記憶部から読み出し、
 前記第1記憶部から読み出した前記第1の値と前記第2記憶部から読み出した前記第2の値とを比較する、

処理を実行させることを特徴とする、通信制御プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、通信制御装置、ストレージ装置及び通信制御プログラムに関する。

【背景技術】

30

【0002】

ホスト装置とのインタフェース（IF）となるアダプタカードとして、Channel Adapter（CA）を備えるストレージ装置が知られている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2010-191594号公報

【特許文献2】特開2012-88758号公報

【特許文献3】特開2011-176894号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0004】

しかしながら、従来のCA内部においては、パリティ等についての保護がされない箇所があり、バス上でデータ化けが発生する可能性がある。そして、CA内部でデータ化けが発生したことをエラーとして検出できないため、誤ったデータが記憶装置に書き込まれる可能性があるという課題がある。

1つの側面では、本発明は、記憶装置に書き込むデータの同一性を保証することを目的とする。

【課題を解決するための手段】

【0005】

50

このため、この通信制御装置は、上位装置と通信可能に接続され、前記上位装置との通信を制御する通信制御装置であって、前記上位装置から送信されるデータを格納するデータ記憶部と、前記データ記憶部に格納されたデータを読み出した後に、当該読み出したデータを前記データ記憶部に書き込む読み書き部と、前記読み書き部によって前記データ記憶部から読み出されるデータに関する第1の値を算出する第1算出部と、前記第1算出部によって算出された前記第1の値を格納する第1記憶部と、前記読み書き部によって前記データ記憶部に書き込まれるデータに関する第2の値を算出する第2算出部と、前記第2算出部によって算出された前記第2の値を格納する第2記憶部と、前記第1記憶部に格納された前記第1の値と、前記第2記憶部に格納された前記第2の値とを比較する比較部と、を備える。

10

【発明の効果】

【0006】

開示の通信制御装置によれば、記憶装置に書き込むデータの同一性を保証することができる。

【図面の簡単な説明】

【0007】

【図1】実施形態の一例としてのストレージシステムの機能構成を模式的に示す図である。

【図2】実施形態の一例としてのストレージ装置におけるデータ保障制御処理を説明する図である。

20

【図3】実施形態の一例としてのストレージ装置におけるデータ保障制御処理を例示するシーケンス図である。

【図4】実施形態の第1変形例としてのストレージ装置におけるデータバッファ多重化処理を説明する図である。

【図5】実施形態の第1変形例としてのストレージ装置におけるデータ保障制御処理を例示するシーケンス図である。

【図6】実施形態の第1変形例としてのストレージ装置におけるデータ保障制御処理を例示するシーケンス図である。

【図7】(a)～(d)は実施形態の第2変形例としてのストレージ装置におけるデータ保障制御処理を説明する図である。

30

【図8】実施形態の第2変形例としてのストレージ装置におけるデータ保障制御処理を例示するシーケンス図である。

【図9】実施形態の関連技術としてのCAにおけるデータフローを説明する図である。

【図10】実施形態の関連技術としてのCAにおいて伝送されるデータを説明する図である。

【発明を実施するための形態】

【0008】

以下、図面を参照して本通信制御装置、ストレージ装置及び通信制御プログラムに係る一実施の形態を説明する。ただし、以下に示す実施形態はあくまでも例示に過ぎず、実施形態で明示しない種々の変形例や技術の適用を排除する意図はない。すなわち、本実施形態を、その趣旨を逸脱しない範囲で種々変形して実施することができる。

40

また、各図は、図中に示す構成要素のみを備えるという趣旨ではなく、他の機能等を含むことができる。

【0009】

以下、図中において、同一の各符号は同様の部分を示しているので、その説明は省略する。

〔A〕実施形態の一例

〔A-1〕システム構成

図1は、実施形態の一例としてのストレージシステムの機能構成を模式的に示す図である。

50

【 0 0 1 0 】

ストレージシステム 1 0 0 は、ホスト装置（上位装置）3 に対して記憶領域を提供するものであり、ホスト装置 3 及びストレージ装置 1 0 を備える。

ホスト装置 3 は、例えば、サーバ機能を備えたコンピュータであり、ストレージ装置 1 0 に対して可変長（CKD）のリード/ライトのアクセスを行なう。

ストレージ装置 1 0 は、後述する記憶装置 2 を搭載し、ホスト装置 3 に対して記憶領域を提供する装置である。ストレージ装置 1 0 は、CA（通信制御装置、通信制御部）1、記憶装置 2 及び Controller Module（CM）4 を備える。

【 0 0 1 1 】

記憶装置 2 は、データを読み書き可能に格納する既知の装置であり、例えば、Hard Disk Drive（HDD）や Solid State Drive（SSD）である。図 1 に示す例においては、1 つの記憶装置 2 のみを示しているが、ストレージ装置 1 0 は複数の記憶装置 2 を備えても良い。この場合には、ストレージ装置 1 0 は、例えば、Redundant Arrays of Inexpensive Disks（RAID）を用いて複数の記憶装置 2 にデータを分散し、冗長化した状態で保存しても良い。

【 0 0 1 2 】

CM 4 は、種々の制御を行なう装置であり、ホスト装置 3 からのストレージアクセス要求（アクセス制御信号：以下、ホスト I/O という）に従って、各種制御を行なう。具体的には、CM 4 は、CA 1 からのブロックアクセスに基づき、記憶装置 2 に対するデータの書き込み及び読み出しを実行する。

CA 1 は、ホスト装置 3 と記憶装置 2 とを通信可能に接続するインタフェースコントローラである。CA 1 は、ホスト装置 3 や記憶装置 2 から送信されたデータを受信して、データバッファ 1 4 0 に一旦格納した後に、このデータを CM 4 に受け渡し、又、CM 4 から受け取ったデータをホスト装置 3 に送信する。すなわち、CA 1 は、ホスト装置 2 等の外部装置との間でのデータの入出力（I/O）を制御する。CA 1 は、ホスト装置 3 との間での可変長アクセスと CM 4 との間でのブロックアドレスとを変換する機能を備える。なお、図 1 に示す例においては説明のために CA 1 と CM 4 とを互いに分離して示しているが、例えば CA 1 をインタフェースカードとして CM 4 上に搭載しても良い。

【 0 0 1 3 】

図 9 は、実施形態の関連技術としての CA におけるデータフローを説明する図である。

図 9 に示すストレージシステム 1 0 0 a は、CA 1 a、記憶装置 2 a 及びホスト装置 3 a を備える。なお、ストレージシステム 1 0 0 a のうち、CA 1 a 及び記憶装置 2 a は、図示しないストレージ装置が備える機能構成である。

ホスト装置 3 a は、例えば、サーバ機能を備えたコンピュータである。

【 0 0 1 4 】

記憶装置 2 a は、データを読み書き可能に格納する既知の装置であり、例えば、HDD や SSD である。

CA 1 a は、ホスト装置 3 a と記憶装置 2 a とを通信可能に接続するインタフェースコントローラである。CA 1 a は、ホスト装置 3 a やストレージ記憶装置 2 a から送信されたデータを受信して、データバッファ 1 4 0 a に一旦格納した後に、このデータをストレージ装置が備える図示しない CM に受け渡し、又、CM から受け取ったデータをホスト装置 3 a に送信する。すなわち、CA 1 a は、ホスト装置 2 a 等の外部装置との間でのデータの入出力（I/O）を制御する。

【 0 0 1 5 】

CA 1 a は、Micro-Processing Unit（MPU）1 1 0 a、Chip Select（CS）メモリ 1 2 0 a、Field-Programmable Gate Array（FPGA）1 3 0 a、データバッファ 1 4 0 a、スイッチ（SW）1 5 0 a 及び IF チップ 1 6 0 a を備える。

IF チップ 1 6 0 a は、例えば、Fiber Cannel（FC）のプロトコル制御を行ない、1 つの IF チップ 1 6 0 a 当たり 2 チャンネルの FC インタフェースを提供する。

【 0 0 1 6 】

SW150aは、IFチップ160aとMPU110aとの間及びMPU110aとFPGA130aとの間のデータバスを切り替える。

データバッファ140aは、ホスト装置3aと図示しないCMとの間で送受信されるデータを一時的に格納する記憶装置である。

FPGA130aは、任意に構成を設定できる集積回路であり、図示しないCMとの間でデータの送受信を行なう。FPGA130aは、チェックコードの生成及びチェックを行なう。ホスト装置3aとCA1aとの間のアクセスはCount Key Data (CKD; 可変長) アクセスであるのに対して、CA1aと記憶装置2aとの間のアクセスはブロックアクセスである。そこで、CA1aは、可変長アクセスとブロックアクセスとの変換を行なう機能を備える。

10

【0017】

CSメモリ120aは、MPU110aに記憶領域を提供する記憶装置である。

MPU110aは、種々の制御や演算を行なう処理装置であり、例えばCSメモリ120aに格納されたOperating System (OS) やプログラムを実行することにより、種々の機能を実現する。

図10は、実施形態の関連技術としてのCAにおいて伝送されるデータを説明する図である。

【0018】

以下、図9及び図10を用いて、本実施形態の関連技術としてのストレージシステムにおけるデータフローを説明する。なお、図9及び図10のそれぞれに示す符号C1~C8は互いに同様の処理を示す。

20

ホスト装置3aが記憶装置2aにライトI/Oを発行すると、ライトI/Oに係るデータは、データバッファ140aに一時的に格納される(図9及び図10の符号C1参照)。データバッファ140aに格納されるデータには、例えば、Cyclic Redundancy Check (CRC; 巡回冗長検査)コード(SB2-CRC)が付加される。

【0019】

ここで、データバッファ140aに格納されたデータは、記憶装置2aに書き込まれるべき複数の有効データと、後述するようにMPU110aによって破棄される複数の無効データとを含む(図9及び図10の符号C2参照)。

MPU110aは、データバッファ140aに書き込まれたデータを読み出し、CSメモリ120aに書き込む。この際、MPU110aは、読み出したデータから有効データのみを抽出し、無効データを破棄して、CSメモリ120aに書き込む(図9及び図10の符号C3参照)。ここで、データバッファ140aとMPU110aとの間のFPGA130a, SW150a及びバス上を伝送されるデータには、例えば、End-to-end Cyclic Redundancy Check (ECRC)が付加される。一方、データバッファ140aとCSメモリ120aとの間の経路上に備えられるMPU110a内部のバス(不図示)上では、伝送されるデータには、ECRCが付加されない。

30

【0020】

CSメモリ120aに書き込まれるデータは、有効データのみを含む(図9及び図10の符号C4参照)。CSメモリ120aに書き込まれたデータには、例えば、Error Checking and Correction (ECC)が付加される。

40

MPU110aは、CSメモリ120aに書き込んだデータを読み出し、データバッファ140aに一時的に格納する(図9及び図10の符号C5, C6参照)。ここで、MPU110aとデータバッファ140aとの間のSW150a, FPGA130a及びバス上を伝送されるデータには、例えば、ECRCが付加される。一方、データバッファ140aとCSメモリ120aとの間の経路上に備えられるMPU110a内部のバス(不図示)上では、伝送されるデータには、ECRCが付加されない。

【0021】

そして、データバッファ140aに格納されたデータは、図示しないCMを介して記憶装置2aに書き込まれる(図9及び図10の符号C7, C8参照)。データバッファ14

50

0 a から送出されるデータには、例えば、Field Check Code (F C C) 及びBlock Check Code (B C C) が付加される。

このように、本実施形態の関連技術としての C A 1 a においては、M P U 1 1 0 a 内部のバス上を伝送されるデータには E C R C が付加されないため、パリティ等についての保護がされず、バス上でデータ化けが発生する可能性がある。そして、M P U 1 1 0 a 内部でデータ化けが発生したことをエラーとして検出できないため、誤ったデータが記憶装置 2 a に書き込まれる可能性があるという課題がある。特に、チェーンデータ機能を用いて、データを 8 個以上に分割してライト I / O を発行する場合に、M P U 1 1 0 a 内部のバス上でデータ化けが発生すると、誤ったデータが記憶装置 2 a に書き込まれる可能性がある。

10

【 0 0 2 2 】

そこで、本実施形態の一例においては、図 1 に示すように、C A 1 は、例えば、M P U 1 1 0 , 複数 (図示する例では 3 つ) の Synchronous Dynamic Random Access Memory (S D R A M) 1 2 1 , F P G A 1 3 0 , 複数 (図示する例では 5 つ) の S D R A M 1 4 1 , Peripheral Components Interconnect Express スイッチ (P C I e - S W ; S W) 1 5 0 , F C コントローラ 1 6 1 及び複数 (図示する例では 2 つ) の Small Form factor Pluggable モジュール (S F P モジュール) 1 6 2 を備える。

【 0 0 2 3 】

S F P モジュール 1 6 2 は、C A 1 (ストレージ装置 1 0) とホスト装置 3 とを光ファイバーによって通信可能に接続するインタフェースモジュールである。なお、C A 1 (ストレージ装置 1 0) とホスト装置 3 との間の通信回線は光ファイバーに限定されるものではなく、C A 1 は S F P モジュール 1 6 2 以外の種々のインタフェースモジュールを備えても良い。

20

【 0 0 2 4 】

F C コントローラ 1 6 1 は、例えば、F C のプロトコル制御を行ない、1 つの F C コントローラ 1 6 1 当たり 2 チャネルの F C インタフェースを提供する。なお、C A 1 (ストレージ装置 1 0) とホスト装置 3 との間の通信プロトコルは F C に限定されるものではなく、C A 1 は F C コントローラ 1 6 1 以外の種々の通信プロトコルに対応するコントローラを備えても良い。

【 0 0 2 5 】

例えば、F C コントローラ 1 6 1 と S F P モジュール 1 6 2 とは、図 1 及び後述する図 2 に示すように、I F チップ 1 6 0 として機能する。

30

S W 1 5 0 は、F C コントローラ 1 6 1 と M P U 1 1 0 との間及び M P U 1 1 0 と F P G A 1 3 0 との間のデータバスを切り替える。本実施形態の一例においては、S W 1 5 0 は、例えば、P C I Express リンクを介して、F C コントローラ 1 6 1 と M P U 1 1 0 と F P G A 1 3 0 とを互いに通信可能に接続する。

【 0 0 2 6 】

S D R A M 1 4 1 は、半導体メモリであり、例えば Double-Data-Rate SDRAM (D D R S D R A M) である。S D R A M 1 4 1 は、ホスト装置 3 と C M 4 との間で送受信されるデータを一時的に記憶 (格納) する。図 1 に示す 5 つの S D R A M 1 4 1 は、図 1 及び後述する図 2 に示すように、データバッファ 1 4 0 として機能する。なお、図 1 に示す例においては、5 つの S D R A M 1 4 1 を示しているが、これに限定されるものではなく、C A 1 が備える S D R A M 1 4 1 の数は種々変更することができる。

40

【 0 0 2 7 】

F P G A 1 3 0 は、任意に構成を設定できる集積回路であり、C M 4 との間でデータの送受信を行なう。F P G A 1 3 0 は、チェックコードの生成及びチェックを行なう。ホスト装置 3 と C A 1 との間のアクセスは C K D (可変長) アクセスであるのに対して、C A 1 と C M 4 と記憶装置 2 との間のアクセスはブロックアクセスである。そこで、F P G A 1 3 0 は、可変長アクセスとブロックアクセスとの変換を行なう機能を備える。

【 0 0 2 8 】

50

更に、図1に示すように、FPGA130は、第1算出部131，第1記憶部（送信チェックサムレジスタ）132，第2算出部133，第2記憶部（受信チェックサムレジスタ）134及びアドレス変換部135として機能する。

第1算出部131は、ホスト装置3から送信されたデータのチェックサムを算出する。具体的には、第1算出部131は、ホスト装置3から送信されてデータバッファ140に格納されたデータをMPU110が読み出す場合に、MPU110によって読み出されたデータのチェックサムを送信チェックサムとして算出する。例えば、第1算出部131は、MPU110からデータバッファ140のアドレス0x0000～0x0FFFへのリード要求を受信した場合に、送信チェックサムを算出する。また、第1算出部131は、算出した送信チェックサムを第1記憶部132に格納する。なお、チェックサムの算出には既知の種々の手法を用いることができるため、その算出手法の説明は省略する。

10

【0029】

第1記憶部132は、第1算出部131によって算出された送信チェックサムを記憶（格納）する記憶領域であり、FPGA130内に備えられたレジスタである。

第2算出部133は、記憶装置2に送信するデータのチェックサムを計算する。具体的には、第2算出部133は、MPU110がデータバッファ140にデータを書き込む場合に、MPU110によって書き込まれたデータのチェックサムを受信チェックサムとして算出する。例えば、第2算出部133は、MPU110からデータバッファ140のアドレス0x0000～0x0FFF及び0x8000～0x8FFFへのライト要求を受信した場合に、送信チェックサムを算出する。また、第2算出部133は、算出した受信チェックサムを第2記憶部134に格納する。

20

【0030】

第2記憶部134は、第2算出部133によって算出された受信チェックサムを記憶（格納）する記憶領域であり、FPGA130内に備えられたレジスタである。

アドレス変換部135は、データバッファ140における物理アドレスを仮想アドレスに対応付ける（変換する）。これにより、MPU110は、仮想アドレスを指定することにより、データバッファ140に対するデータの読み書きを行なうことができる。アドレス変換部135の機能の詳細については、後述する本実施形態の第1変形例において説明する。

30

【0031】

なお、本実施形態の一例においては、FPGA130はアドレス変換部135としての機能を備えなくても良い。この場合には、MPU110は、データバッファ140の物理アドレスを指定することにより、データバッファ140に対するデータの読み書きを行なう。

SDRAM121は、半導体メモリであり、例えばDDR SDRAMである。SDRAM121は、MPU110に記憶領域を提供する。図1に示す3つのSDRAM121は、図1及び後述する図2に示すように、CSメモリ120として機能する。

【0032】

CSメモリ120は、MPU110によってデータバッファ140から読み出されたデータを記憶（格納）する。なお、図1に示す例においては、3つのSDRAM121を示しているが、これに限定されるものではなく、CA1が備えるSDRAM121の数は種々変更することができる。

40

MPU110は、種々の制御や演算を行なう処理装置であり、CSメモリ120に格納されたOSやプログラムを実行することにより、CM4との通信やCA1の制御等の種々の機能を実現する。すなわち、MPU110は、図1に示すように、読み書き部111，比較部112，エラー出力部113及び抑止部114として機能する。

【0033】

なお、これらの読み書き部111，比較部112，エラー出力部113及び抑止部114としての機能を実現するためのプログラム（通信制御プログラム）は、例えばフレキシブルディスク，CD（CD-ROM，CD-R，CD-RW等），DVD（DVD-RO

50

M, DVD-RAM, DVD-R, DVD+R, DVD-RW, DVD+RW, HD DVD等), ブルーレイディスク, 磁気ディスク, 光ディスク, 光磁気ディスク等の、コンピュータ読取可能な記録媒体に記録された形態で提供される。そして、コンピュータはその記録媒体から図示しない読取装置を介してプログラムを読み取って内部記録装置または外部記録装置に転送し格納して用いる。又、そのプログラムを、例えば磁気ディスク, 光ディスク, 光磁気ディスク等の記憶装置(記録媒体)に記録しておき、その記憶装置から通信経路を介してコンピュータに提供してもよい。

【0034】

読み書き部111, 比較部112, エラー出力部113及び抑止部114としての機能を実現するには、内部記憶装置(本実施形態ではCSメモリ120)に格納されたプログラムがコンピュータのマイクロプロセッサ(本実施形態ではMPU110)によって実行される。このとき、記録媒体に記録されたプログラムをコンピュータが読み取って実行してもよい。

10

【0035】

読み書き部111は、CSメモリ120, 第1記憶部132, 第2記憶部134及びデータバッファ140に対して、データの読み書きを行なう。

具体的には、読み書き部111は、データバッファ140に格納されたデータを読み出し、CSメモリ120に格納する。

また、読み書き部111は、CSメモリ120に書き込んだデータを読み出し、データバッファ140に格納する。

20

【0036】

更に、読み書き部111は、FPGA130の第1算出部131によって算出された送信チェックサムを第1記憶部132から読み出し、FPGA130の第2算出部133によって算出された受信チェックサムを第2記憶部134から読み出す。読み書き部111は、データバッファ140に格納されたデータの読み出しを行なう場合に、FPGA130の第1記憶部132及び第2記憶部134に格納されている値を“0”クリアする。

【0037】

比較部112は、読み書き部111によって読み出された送信チェックサムと受信チェックサムとを比較する。つまり、比較部112は、第1記憶部132に格納された送信チェックサムと、第2記憶部134に格納された受信チェックサムとが一致するかを判定する。

30

エラー出力部113は、比較部112による比較の結果が不一致である場合に、エラーを出力する。例えば、エラー出力部113は、比較部112によって送信チェックサムと受信チェックサムとが一致しないと判定された場合に、図示しない表示装置にエラーを出力する。これにより、エラー出力部113は、ホスト装置3からのI/Oによって記憶装置2に書き込まれるデータにビット化け等のエラーが発生したことをユーザに通知する。

【0038】

抑止部114は、比較部112による比較の結果が不一致である場合に、記憶装置2に対するデータの送信を抑止する。例えば、抑止部114は、比較部112によって送信チェックサムと受信チェックサムとが一致しないと判定された場合に、CM4に対して抑止信号を発行することにより、データバッファ140に格納されたデータが記憶装置2に書き込まれることを抑止する。これにより、抑止部114は、MPU110においてデータ化けが生じたおそれのあるデータが記憶装置2に書き込まれることを阻止する。

40

【0039】

〔A-2〕動作

上述の如く構成された実施形態の一例としてのストレージ装置におけるデータ保障制御処理を、図2を参照しながら、図3に示すシーケンス図(ステップS1~S15)に従って説明する。

図2は、実施形態の一例としてのストレージ装置におけるデータ保障制御処理を説明する図である。

50

【 0 0 4 0 】

図 2 に示す例においては、簡単のため、ストレージ装置 1 0 の筐体の図示を省略し、ストレージ装置 1 0 が備える C M 4 の図示も省略している。また、F P G A 1 3 0 が備える機能構成として、送信チェックサムレジスタ 1 3 2 及び受信チェックサムレジスタ 1 3 4 のみを示し、その他の機能構成の図示は簡単のため省略している。

ホスト装置 3 からの I / O が発行され、データバッファ 1 4 0 にデータが格納されると、M P U 1 1 0 の読み書き部 1 1 1 は、送信チェックサムレジスタ 1 3 2 及び受信チェックサムレジスタ 1 3 4 に格納されている値を“ 0 ”クリア（初期化）する（図 2 の符号 A 1 及び図 3 のステップ S 1 参照）。

【 0 0 4 1 】

読み書き部 1 1 1 は、データバッファ 1 4 0 に格納されているデータを読み出す（図 2 の符号 A 2 参照）。具体的には、読み書き部 1 1 1 は、F P G A 1 3 0 に対して、データバッファ 1 4 0 が格納するデータ（例えばアドレス 0x0000 ~ 0x0100）のリード要求を発行する（図 3 のステップ S 2 参照）。F P G A 1 3 0 は、M P U 1 1 0 からのリード要求をデータバッファ 1 4 0 に転送する（図 3 のステップ S 3 参照）。データバッファ 1 4 0 は、F P G A 1 3 0 にリード応答を発行する（図 3 のステップ S 4 参照）。そして、F P G A 1 3 0 は、データバッファ 1 4 0 からのリード応答を M P U 1 1 0 に転送する（図 3 のステップ S 5 参照）。

【 0 0 4 2 】

M P U 1 1 0 の読み書き部 1 1 1 は、データバッファ 1 4 0 から読み出したデータを C S メモリ 1 2 0 に書き込む（図 2 の符号 A 3 参照）。言い換えれば、読み書き部 1 1 1 は、C S メモリ 1 2 0 に対してデータのライト要求を発行する（図 3 のステップ S 6 参照）。

F P G A 1 3 0 の第 1 算出部 1 3 1 は、M P U 1 1 0 によってデータバッファ 1 4 0 から読み出されたデータのチェックサムを算出し、送信チェックサムとして送信チェックサムレジスタ 1 3 2 に格納する（図 2 の符号 A 4 及び図 3 のステップ S 7 参照）。

【 0 0 4 3 】

M P U 1 1 0 の読み書き部 1 1 1 は、C S メモリ 1 2 0 に書き込んだデータを読み出す（図 2 の符号 A 5 参照）。具体的には、読み書き部 1 1 1 は、C S メモリ 1 2 0 に対してデータのリード要求を発行する（図 3 のステップ S 8 参照）。そして、C S メモリ 1 2 0 は、M P U 1 1 0 に対してデータのリード応答を発行する（図 3 のステップ S 9 参照）。

M P U 1 1 0 の読み書き部 1 1 1 は、C S メモリ 1 2 0 から読み出したデータをデータバッファ 1 4 0 に書き込む（図 2 の符号 A 6 参照）。具体的には、読み書き部 1 1 1 は、F P G A 1 3 0 に対して、データバッファ 1 4 0（例えばアドレス 0x0000 ~ 0x0100）へのデータのライト要求を発行する（図 3 のステップ S 1 0 参照）。F P G A 1 3 0 は、M P U 1 1 0 からのライト要求をデータバッファ 1 4 0 に転送する（図 3 のステップ S 1 1 参照）。

【 0 0 4 4 】

F P G A 1 3 0 の第 2 算出部 1 3 3 は、M P U 1 1 0 によってデータバッファ 1 4 0 に書き込まれたデータのチェックサムを算出し、受信チェックサムとして受信チェックサムレジスタ 1 3 4 に格納する（図 2 の符号 A 7 及び図 3 のステップ S 1 2 参照）。

M P U 1 1 0 の読み書き部 1 1 1 は、送信チェックサムレジスタ 1 3 2 に格納された送信チェックサムと、受信チェックサムレジスタ 1 3 4 に格納された受信チェックサムとを読み出す。具体的には、読み書き部 1 1 1 は、F P G A 1 3 0 に対して、送信チェックサム及び受信チェックサムのリード要求を発行する（図 3 のステップ S 1 3 参照）。そして、F P G A 1 3 0 は、M P U 1 1 0 に対して、送信チェックサム及び受信チェックサムのリード応答を発行する（図 3 のステップ S 1 4 参照）。

【 0 0 4 5 】

M P U 1 1 0 の比較部 1 1 2 は、読み書き部 1 1 1 によって読み出された送信チェックサムと受信チェックサムとを比較する（図 2 の符号 A 8 及び図 3 のステップ S 1 5 参照）

10

20

30

40

50

。

ここで、比較部 1 1 2 による比較が一致した場合には、データバッファ 1 4 0 に格納されたデータが記憶装置 2 に送信される。

【 0 0 4 6 】

一方、比較部 1 1 2 による比較の結果が不一致である場合には、MPU 1 1 0 のエラー出力部 1 1 3 は、エラーを出力する。また、比較部 1 1 2 による比較の結果が不一致である場合には、MPU 1 1 0 の抑止部 1 1 4 は、記憶装置 2 に対するデータの送信を抑止しても良い。

〔 A - 3 〕 効果

このように、上述した実施形態の一例における通信制御装置 1 (ストレージ装置 1 0) によれば、例えば以下の作用効果を奏することができる。

10

【 0 0 4 7 】

第 1 算出部 1 3 1 は、読み書き部 1 1 1 によってデータ記憶部 1 4 0 から読み出されるデータに関する第 1 の値を算出する。また、第 2 算出部 1 3 3 は、読み書き部 1 1 1 によってデータ記憶部 1 4 0 に書き込まれるデータに関する第 2 の値を算出する。そして、比較部 1 1 2 は、第 1 記憶部 1 3 2 に格納された第 1 の値と、第 2 記憶部 1 3 4 に格納された第 2 の値とを比較する。これにより、記憶装置 2 に書き込むデータの同一性を保証することができる。

【 0 0 4 8 】

エラー出力部 1 1 3 は、比較部 1 1 2 による比較の結果が不一致である場合に、エラーを出力する。これにより、ユーザは、記憶装置 2 に書き込むデータにビット化け等のエラーが発生したことを知ることができる。

20

抑止部 1 1 4 は、比較部 1 1 2 による比較の結果が不一致である場合に、記憶装置 2 に対するデータの送信を抑止する。これにより、ビット化け等のエラーが発生したデータが記憶装置 2 に書き込まれることにより、記憶装置 2 内のデータが破損することを防ぐことができる。

【 0 0 4 9 】

また、MPU 1 1 0 の内部バスにおけるデータ保護のための機能を備える必要がないため、回路規模の増大による製造コストの増加を防ぐことができる。

更に、MPU 1 1 0 の内部バスにおけるデータ保護を行なわないため、データ伝送速度等の性能の低下を防ぐことができる。

30

〔 B 〕 実施形態の第 1 変形例

〔 B - 1 〕 システム構成

図 4 は、実施形態の第 1 変形例としてのストレージ装置におけるデータバッファ多重化処理を説明する図である。

【 0 0 5 0 】

図 4 に示す例においては、FPGA 1 3 0 の備える機能構成として複数組の送信チェックサムレジスタ 1 3 2 及び受信チェックサムレジスタ 1 3 4 のみを示し、他の機能構成の図示は簡単のため省略している。

本実施形態の第 1 変形例においては、データ保障制御処理を多重化させて行なう。

40

FPGA 1 3 0 のアドレス変換部 1 3 5 は、データバッファ 1 4 0 における物理アドレスを多重化させた仮想アドレスに対応付ける(変換する)。図 4 に示す例においては、アドレス変換部 1 3 5 は、データバッファ 1 4 0 の物理アドレスを 3 重に多重化させた仮想アドレスに対応付ける。

【 0 0 5 1 】

具体的には、アドレス変換部 1 3 5 は、データバッファ 1 4 0 内に 3 つの記憶領域を定義し、3 つの記憶領域のそれぞれに対応するデータバッファ仮想アドレス空間 1 4 2 を設定する。

また、FPGA 1 3 0 は、アドレス変換部 1 3 5 によって多重化された仮想アドレスのそれぞれに対応する複数組の送信チェックサムレジスタ 1 3 2 及び受信チェックサムレジ

50

スタ 134 を備える。図 4 に示す例においては、FPGA 130 は、仮想アドレスの多重数と同数の 3 組の送信チェックサムレジスタ 132 (送信チェックサムレジスタ # 1 ~ # 3) 及び受信チェックサムレジスタ 134 (受信チェックサムレジスタ # 1 ~ # 3) を備える。

【0052】

以下、複数の送信チェックサムレジスタのうち 1 つを特定する必要があるときには「送信チェックサムレジスタ # 1」, 「送信チェックサムレジスタ # 2」又は「送信チェックサムレジスタ # 3」と表記するが、任意の送信チェックサムレジスタを指すときには「送信チェックサムレジスタ 132」と表記する。また、以下、複数の受信チェックサムレジスタのうち 1 つを特定する必要があるときには「受信チェックサムレジスタ # 1」, 「受信チェックサムレジスタ # 2」又は「受信チェックサムレジスタ # 3」と表記するが、任意の受信チェックサムレジスタを指すときには「受信チェックサムレジスタ 134」と表記する。

10

【0053】

MPU 110 の読み書き部 111 は、例えば SDRAM 121 に格納されたメモリマップ (不図示) を参照可能に設定されている。そして、読み書き部 111 は、格納されたメモリマップを参照することにより、データバッファ 140 の物理アドレス空間が多重化されたデータバッファ仮想アドレス空間 142 として認識することができる。図 4 に示す例においては、読み書き部 111 は、データバッファ 140 の仮想アドレス空間を 3 つのデータバッファ仮想アドレス空間 142 (データバッファ仮想アドレス空間 # 1 ~ # 3) と

20

【0054】

以下、複数のデータバッファ仮想アドレス空間のうち 1 つを特定する必要があるときには「データバッファ仮想アドレス空間 # 1」, 「データバッファ仮想アドレス空間 # 2」又は「データバッファ仮想アドレス空間 # 3」と表記するが、任意のデータバッファ仮想アドレス空間を指すときには「データバッファ仮想アドレス空間 142」と表記する。

データバッファ仮想アドレス空間 # 1 ~ # 3 のそれぞれには、データバッファ 140 の物理アドレス空間と同じデータ容量 (図示する例では 256 MB) が定義されている。そのため、MPU 110 の読み書き部 111 は、データバッファ 140 の物理アドレス空間を 3 倍に拡張されたデータバッファ仮想アドレス空間 142 として認識する。読み書き部 111 は、仮想アドレス (データバッファ仮想アドレス空間 142) を指定することにより、データバッファ 140 に対するデータの読み書きを行なう。

30

【0055】

図 4 に示す例においては、データバッファ仮想アドレス空間 # 1 に対して、送信チェックサムレジスタ # 1 及び受信チェックサムレジスタ # 1 が対応付けられている。また、データバッファ仮想アドレス空間 # 2 に対して、送信チェックサムレジスタ # 2 及び受信チェックサムレジスタ # 2 が対応付けられている。更に、データバッファ仮想アドレス空間 # 3 に対して、送信チェックサムレジスタ # 3 及び受信チェックサムレジスタ # 3 が対応付けられている。

【0056】

以下、本実施形態の第 1 変形例において、MPU 110 の読み書き部 111 がデータバッファ仮想アドレス空間 # 1 ~ # 3 を指定して読み書きを行なうデータを、データ # 1 ~ # 3 とそれぞれ示す場合がある。また、以下、送信チェックサムレジスタ # 1 ~ # 3 に格納される送信チェックサムを、送信チェックサム # 1 ~ # 3 とそれぞれ示す場合がある。更に、以下、本実施形態の第 1 変形例において、受信チェックサムレジスタ # 1 ~ # 3 に格納される受信チェックサムを、受信チェックサム # 1 ~ # 3 とそれぞれ示す場合がある。

40

【0057】

FPGA 130 の第 1 算出部 131 及び第 2 算出部 133 は、同一のデータについて算出した送信チェックサム及び受信チェックサムを一組の送信チェックサムレジスタ 132

50

及び受信チェックサムレジスタ134にそれぞれ格納する。

具体的には、第1算出部131は、MPU110によってデータバッファ仮想アドレス空間#1を指定したデータ#1の読み出しが行なわれると、送信チェックサム#1を算出して送信チェックサムレジスタ#1に格納する。第2算出部133は、MPU110によってデータバッファ仮想アドレス空間#1を指定したデータ#1の書き込みが行なわれると、受信チェックサム#1を算出して受信チェックサムレジスタ#1に格納する。

【0058】

また、第1算出部131は、MPU110によってデータバッファ仮想アドレス空間#2を指定したデータ#2の読み出しが行なわれると、送信チェックサム#2を算出して送信チェックサムレジスタ#2に格納する。第2算出部133は、MPU110によってデータバッファ仮想アドレス空間#2を指定したデータ#2の書き込みが行なわれると、受信チェックサム#2を算出して受信チェックサムレジスタ#2に格納する。

10

【0059】

更に、第1算出部131は、MPU110によってデータバッファ仮想アドレス空間#3を指定したデータ#3の読み出しが行なわれると、送信チェックサム#3を算出して送信チェックサムレジスタ#3に格納する。第2算出部133は、MPU110によってデータバッファ仮想アドレス空間#3を指定したデータ#3の書き込みが行なわれると、受信チェックサム#3を算出して受信チェックサムレジスタ#3に格納する。

【0060】

MPU110の比較部112は、送信チェックサムレジスタ132及び受信チェックサムレジスタ134の組毎に、送信チェックサムと受信チェックサムとの比較を行なう。

20

具体的には、比較部112は、送信チェックサムレジスタ#1に格納された送信チェックサム#1と、受信チェックサムレジスタ#1に格納された受信チェックサム#1とを比較する。また、比較部112は、送信チェックサムレジスタ#2に格納された送信チェックサム#2と、受信チェックサムレジスタ#2に格納された受信チェックサム#2とを比較する。更に、比較部112は、送信チェックサムレジスタ#3に格納された送信チェックサム#3と、受信チェックサムレジスタ#3に格納された受信チェックサム#3とを比較する。

【0061】

〔B-2〕動作

30

上述の如く構成された実施形態の第1変形例としてのストレージ装置におけるデータ保障制御処理の例を、図5及び図6に示すシーケンス図(ステップS21~S35, S41~S55)に従って説明する。具体的には、図5にステップS21~S32, S41~S47を示し、図6にステップS33~S35, S48~S55を示す。

【0062】

図5及び図6に示す例においては、MPU110の読み書き部111は、データバッファ仮想アドレス空間#1, #2を指定してデータ#1, #2の読み書きをそれぞれ行なう。また、図5及び図6において実線矢印で示しているステップS21~S35はデータ#1に関する処理を示し、図5及び図6において破線矢印で示しているステップS41~S55はデータ#2に関する処理を示す。

40

【0063】

ホスト装置3からのI/Oが発行され、データバッファ140にデータ#1が格納されると、MPU110の読み書き部111は、送信チェックサムレジスタ#1及び受信チェックサムレジスタ#1に格納されている値を“0”クリア(初期化)する(図5のステップS21参照)。

読み書き部111は、データバッファ140に格納されているデータ#1を読み出す。具体的には、読み書き部111は、FPGA130に対して、データバッファ仮想アドレス空間#1を指定して、データバッファ140が格納するデータ#1(例えばアドレス0x0000~0x0100)のリード要求を発行する(図5のステップS22参照)。FPGA130のアドレス変換部135は、MPU110からのリード要求に係る仮想アドレスを物理ア

50

ドレスに変換し、リード要求をデータバッファ140に転送する(図5のステップS23参照)。データバッファ140は、FPGA130にリード応答を発行する(図3のステップS24参照)。そして、FPGA130のアドレス変換部135は、データバッファ140からのリード応答に係る物理アドレスを仮想アドレスに変換し、リード応答をMPU110に転送する(図5のステップS25参照)。

【0064】

MPU110の読み書き部111は、CSメモリ120に対してデータ#1のライト要求を発行することにより、読み出したデータ#1をCSメモリ120に書き込む(図5のステップS26参照)。

FPGA130の第1算出部131は、MPU110によってデータバッファ140から読み出されたデータ#1のチェックサムを算出し、送信チェックサム#1として送信チェックサムレジスタ#1に格納する(図5のステップS27参照)。

【0065】

ホスト装置3からのI/Oが発行され、データバッファ140にデータ#2が格納されると、MPU110の読み書き部111は、送信チェックサムレジスタ#2及び受信チェックサムレジスタ#2に格納されている値を“0”クリア(初期化)する(図5のステップS41参照)。

読み書き部111は、CSメモリ120に書き込んだデータ#1を読み出す。具体的には、読み書き部111は、CSメモリ120に対してデータ#1のリード要求を発行する(図5のステップS28参照)。そして、CSメモリ120は、MPU110に対してデータ#1のリード応答を発行する(図3のステップS29参照)。

【0066】

読み書き部111は、データバッファ140に格納されているデータ#2を読み出す。具体的には、読み書き部111は、FPGA130に対して、データバッファ仮想アドレス空間#2を指定して、データバッファ140が格納するデータ#2(例えばアドレス0x1100~0x1200)のリード要求を発行する(図5のステップS42参照)。FPGA130のアドレス変換部135は、MPU110からのリード要求に係る仮想アドレスを物理アドレスに変換し、リード要求をデータバッファ140に転送する(図5のステップS43参照)。データバッファ140は、FPGA130にリード応答を発行する(図5のステップS44参照)。そして、FPGA130のアドレス変換部135は、データバッファ140からのリード応答に係る物理アドレスを仮想アドレスに変換し、リード応答をMPU110に転送する(図5のステップS45参照)。

【0067】

MPU110の読み書き部111は、CSメモリ120に対してデータ#2のライト要求を発行することにより、読み出したデータ#2をCSメモリ120に書き込む(図5のステップS46参照)。

FPGA130の第1算出部131は、MPU110によってデータバッファ140から読み出されたデータ#2のチェックサムを算出し、送信チェックサム#2として送信チェックサムレジスタ#2に格納する(図5のステップS47参照)。

【0068】

MPU110の読み書き部111は、CSメモリ120から読み出したデータ#1をデータバッファ140に書き込む。具体的には、読み書き部111は、FPGA130に対して、データバッファ仮想アドレス空間#1を指定して、データバッファ140(例えばアドレス0x0000~0x0100)へのデータ#1のライト要求を発行する(図5のステップS30参照)。FPGA130のアドレス変換部135は、MPU110からのライト要求に係る仮想アドレスを物理アドレスに変換し、ライト要求をデータバッファ140に転送する(図5のステップS31参照)。

【0069】

FPGA130の第2算出部133は、MPU110によってデータバッファ140に書き込まれたデータ#1のチェックサムを算出し、受信チェックサム#1として受信チェ

10

20

30

40

50

ックサムレジスタ# 1に格納する(図5のステップS 3 2参照)。

M P U 1 1 0の読み書き部1 1 1は、C Sメモリ1 2 0に書き込んだデータ# 2を読み出す。具体的には、読み書き部1 1 1は、C Sメモリ1 2 0に対してデータ# 2のリード要求を発行する(図6のステップS 4 8参照)。そして、C Sメモリ1 2 0は、M P U 1 1 0に対してデータ# 2のリード応答を発行する(図6のステップS 4 9参照)。

【0 0 7 0】

M P U 1 1 0の読み書き部1 1 1は、送信チェックサムレジスタ# 1に格納された送信チェックサム# 1と、受信チェックサムレジスタ# 1に格納された受信チェックサム# 1とを読み出す。具体的には、読み書き部1 1 1は、F P G A 1 3 0に対して、送信チェックサム# 1及び受信チェックサム# 1のリード要求を発行する(図6のステップS 3 3参照)。そして、F P G A 1 3 0は、M P U 1 1 0に対して、送信チェックサム# 1及び受信チェックサム# 1のリード応答を発行する(図5のステップS 3 4参照)。

10

【0 0 7 1】

M P U 1 1 0の比較部1 1 2は、読み書き部1 1 1によって読み出された送信チェックサム# 1と受信チェックサム# 1とを比較する(図6のステップS 3 5参照)。

ここで、比較部1 1 2による比較が一致した場合には、データバッファ1 4 0に格納されたデータ# 1が記憶装置2に送信される。

一方、比較部1 1 2による比較の結果が不一致である場合には、M P U 1 1 0のエラー出力部1 1 3は、エラーを出力する。また、比較部1 1 2による比較の結果が不一致である場合には、M P U 1 1 0の抑止部1 1 4は、記憶装置2に対するデータ# 1の送信を抑止しても良い。

20

【0 0 7 2】

M P U 1 1 0の読み書き部1 1 1は、C Sメモリ1 2 0から読み出したデータ# 2をデータバッファ1 4 0に書き込む。具体的には、読み書き部1 1 1は、F P G A 1 3 0に対して、データバッファ仮想アドレス空間# 2を指定して、データバッファ1 4 0(例えばアドレス0x1100~0x1200)へのデータ# 2のライト要求を発行する(図6のステップS 5 0参照)。F P G A 1 3 0のアドレス変換部1 3 5は、M P U 1 1 0からのライト要求に係る仮想アドレスを物理アドレスに変換し、ライト要求をデータバッファ1 4 0に転送する(図6のステップS 5 1参照)。

【0 0 7 3】

F P G A 1 3 0の第2算出部1 3 3は、M P U 1 1 0によってデータバッファ1 4 0に書き込まれたデータ# 2のチェックサムを算出し、受信チェックサム# 2として受信チェックサムレジスタ# 2に格納する(図6のステップS 5 2参照)。

30

M P U 1 1 0の読み書き部1 1 1は、送信チェックサムレジスタ# 2に格納された送信チェックサム# 2と、受信チェックサムレジスタ# 2に格納された受信チェックサム# 2とを読み出す。具体的には、読み書き部1 1 1は、F P G A 1 3 0に対して、送信チェックサム# 2及び受信チェックサム# 2のリード要求を発行する(図6のステップS 5 3参照)。そして、F P G A 1 3 0は、M P U 1 1 0に対して、送信チェックサム# 2及び受信チェックサム# 2のリード応答を発行する(図6のステップS 5 4参照)。

【0 0 7 4】

M P U 1 1 0の比較部1 1 2は、読み書き部1 1 1によって読み出された送信チェックサム# 2と受信チェックサム# 2とを比較する(図6のステップS 5 5参照)。

40

ここで、比較部1 1 2による比較が一致した場合には、データバッファ1 4 0に格納されたデータ# 2が記憶装置2に送信される。

一方、比較部1 1 2による比較の結果が不一致である場合には、M P U 1 1 0のエラー出力部1 1 3は、エラーを出力する。また、比較部1 1 2による比較の結果が不一致である場合には、M P U 1 1 0の抑止部1 1 4は、記憶装置2に対するデータ# 2の送信を抑止しても良い。

【0 0 7 5】

〔B - 3〕効果

50

このように、実施形態の第1変形例における通信制御装置1（ストレージ装置10）によれば、実施形態の一例において奏することができる上述した効果とともに、例えば以下の効果を奏することができる。

アドレス変換部135は、データ記憶部140における物理アドレスを多重化させた仮想アドレスに対応付ける。そして、読み書き部111は、仮想アドレスを指定することにより、データ記憶部140に対するデータの読み書きを行なう。これにより、上位装置3からのI/Oが多重化されて発行された場合においても、複数のデータの伝送処理を並行して多重化させて行なうことができる。

【0076】

比較部112は、多重化させた仮想アドレスのそれぞれに対応する複数の第1及び第2記憶部132, 134の組毎に比較を行なう。これにより、上位装置3からのI/Oが多重化されて発行された場合においても、複数のデータについてのデータ保障制御処理を並行して多重化させて行なうことができる。

〔C〕実施形態の第2変形例

〔C-1〕システム構成

図9及び図10を用いて示したように、本実施形態の関連技術としてのストレージシステムにおいて伝送されるデータにおいては、記憶装置2aに書き込まれるべき有効データと、MPU110aによって破棄される無効データとを含む場合がある。この場合には、MPU110aは、データバッファ140aから読み出したデータから有効データのみを抽出して無効データを破棄した後に、有効データをデータバッファ140aに書き込む。

【0077】

上述した実施形態の一例において、ホスト装置3から送信されるデータに無効データが含まれる場合には、無効データが破棄される前にFPGA130の第1算出部131によって算出される送信チェックサムと、無効データが破棄された後にFPGA130の第2算出部133によって算出される受信チェックサムとは、異なる値となる。これにより、MPU110の比較部112は、MPU110内部のバス上でビット化け等のエラーが発生していないにも関わらず、送信チェックサムと受信チェックサムとの不一致を検出してしまふ。

【0078】

そこで、本実施形態の第2変形例においては、MPU110の読み書き部111は、ホスト装置3から送信されたデータに無効データが含まれている場合であっても、無効データをダミーデータとしてFPGA130に書き込む。例えば、図4に示したデータバッファ仮想アドレス空間#1～#3に加えて、ダミーライト用のデータバッファ仮想アドレス空間を定義する。そして、読み書き部111は、ダミーライト用のデータバッファ仮想アドレス空間を指定することにより、FPGA130が備える図示しない受信バッファにダミーデータを書き込む（以下、単に「FPGA130にダミーデータを書き込む」という場合がある。）。例えば、データバッファ仮想アドレス空間142に対応する物理アドレスを0x0000～0x0FFFと定義し、ダミーライト用のデータバッファ仮想アドレス空間に対応する物理アドレスを0x8000～0x8FFFと定義する。

【0079】

また、ダミーライト用のデータバッファ仮想アドレス空間を指定して書き込まれたダミーデータは、データバッファ140に書き込まれないように設定する。例えば、FPGA130のアドレス変換部135は、MPU110からデータバッファ140のアドレス0x0000～0x0FFFへのライト要求を受信した場合には、ライト要求に係るデータをデータバッファ140に書き込む。一方、アドレス変換部135は、MPU110からデータバッファ140のアドレス0x8000～0x8FFFへのライト要求を受信した場合には、ライト要求に係るデータをデータバッファ140に書き込まない。

【0080】

FPGA130の第2算出部113は、MPU110によってデータバッファ140に書き込まれたデータ（有効データ）と、MPU110によってFPGA130に書き込ま

10

20

30

40

50

れたダミーデータ（無効データ）とに基づき、受信チェックサムを算出する。

〔 C - 2 〕 動作

上述の如く構成された実施形態の第 2 変形例としてのストレージ装置におけるデータ保障制御処理の例を、図 7 (a) ~ (d) を参照しながら、図 8 に示すシーケンス図（ステップ S 1 ~ S 1 5 , S 6 1 ~ S 6 4 ）に従って説明する。図 8 のステップ S 1 ~ S 1 5 に示す処理は図 3 のステップ S 1 ~ S 1 5 に示した処理とそれぞれ同様であるため、その詳細な説明は省略する場合がある。

【 0 0 8 1 】

図 7 (a) ~ (d) に示す例においては、FPGA 1 3 0 が備える機能構成として、送信チェックサムレジスタ 1 3 2 及び受信チェックサムレジスタ 1 3 4 のみを示し、その他の機能構成の図示は簡単のため省略している。

10

図 7 (a) ~ (d) 及び図 8 に示す例において、ホスト装置 3 からの一連の I / O によって送信されたデータ # 1 ~ # 3 のうち、データ # 1 , # 3 は有効データであり、データ # 2 は無効データであるものとする。

【 0 0 8 2 】

ホスト装置 3 からの I / O が発行され、データバッファ 1 4 0 にデータ # 1 ~ # 3 が格納されると、MPU 1 1 0 の読み書き部 1 1 1 は、送信チェックサムレジスタ 1 3 2 及び受信チェックサムレジスタ 1 3 4 に格納されている値を “ 0 ” クリア（初期化）する（図 8 のステップ S 1 参照）。

読み書き部 1 1 1 は、データバッファ 1 4 0 が格納するデータ # 1 ~ # 3 （例えばアドレス 0x0000 ~ 0x0100）のリード要求を発行することによって、データバッファ 1 4 0 に格納されているデータ # 1 ~ # 3 を読み出す（図 7 (a) の符号 B 1 及び図 8 のステップ S 2 ~ S 5 参照）。

20

【 0 0 8 3 】

読み書き部 1 1 1 は、CSメモリ 1 2 0 にライト要求を発行することによって、データ # 1 ~ # 3 を CSメモリ 1 2 0 に書き込む（図 8 のステップ S 6 参照）。

FPGA 1 3 0 の第 1 算出部 1 3 1 は、MPU 1 1 0 によってデータバッファ 1 4 0 から読み出されたデータ # 1 ~ # 3 のチェックサムを算出し、送信チェックサムとして送信チェックサムレジスタ 1 3 2 に格納する（図 7 (a) の符号 B 2 及び図 8 のステップ S 7 参照）。

30

【 0 0 8 4 】

MPU 1 1 0 の読み書き部 1 1 1 は、CSメモリ 1 2 0 にリード要求を発行することによって、CSメモリ 1 2 0 に書き込んだデータ # 1 ~ # 3 の中から有効データ # 1 , # 3 を抽出して読み出す（図 8 のステップ S 8 , S 9 参照）。

読み書き部 1 1 1 は、データバッファ 1 4 0 （例えばアドレス 0x0000 ~ 0x0050）へのデータ # 1 , # 3 のライト要求を発行することによって、CSメモリ 1 2 0 から読み出したデータ # 1 , # 3 をデータバッファ 1 4 0 に書き込む（図 7 (b) の符号 B 3 及び図 8 のステップ S 1 0 , S 1 1 参照）。

【 0 0 8 5 】

FPGA 1 3 0 の第 2 算出部 1 3 3 は、MPU 1 1 0 によってデータバッファ 1 4 0 に書き込まれたデータ # 1 , # 3 のチェックサムを算出し、受信チェックサムとして受信チェックサムレジスタ 1 3 4 に格納する（図 7 (b) の符号 B 4 及び図 8 のステップ S 1 2 参照）。

40

MPU 1 1 0 の読み書き部 1 1 1 は、CSメモリ 1 2 0 に書き込んだデータ # 1 ~ # 3 の中から無効データ # 2 を抽出して読み出す。具体的には、読み書き部 1 1 1 は、CSメモリ 1 2 0 にデータ # 2 のリード要求を発行する（図 8 のステップ S 6 1 参照）。そして、CSメモリ 1 2 0 は、MPU 1 1 0 に対してデータ # 2 のリード応答を発行する（図 8 のステップ S 6 2 参照）。

【 0 0 8 6 】

MPU 1 1 0 の読み書き部 1 1 1 は、FPGA 1 3 0 に対してダミーライト用のデータ

50

バッファ仮想アドレス空間（例えば物理アドレス0x8000～0x8050に対応する仮想アドレス）を指定してライト要求を発行する。これにより、読み書き部111は、CSメモリ120から読み出したデータ#2をダミーデータとしてFPGA130に書き込む（図7(c)の符号B5及び図8のステップS63参照）。

【0087】

FPGA130の第2算出部133は、MPU110によってデータバッファ140に書き込まれたデータ（有効データ）#1、#3と、MPU110によってFPGA130に書き込まれたダミーデータ（無効データ）#2とに基づき、受信チェックサムを算出する。そして、第2算出部133は、算出した受信チェックサムを受信チェックサムレジスタ134に格納する（図7(c)の符号B6及び図8のステップS64参照）。

10

【0088】

MPU110によって書き込まれたデータにはダミーデータであることを示すオフセット（例えば0x8000）が付加されているため、FPGA130のアドレス変換部135は、ダミーデータをデータバッファ140に転送せずに破棄する。

MPU110の読み書き部111は、FPGA130に対して送信チェックサム及び受信チェックサムのリード要求を発行する。これにより、読み書き部111は、送信チェックサムレジスタ132に格納された送信チェックサムと、受信チェックサムレジスタ134に格納された受信チェックサムとを読み出す（図7(d)の符号B7及び図8のステップS13、S14参照）。

【0089】

20

MPU110の比較部112は、読み書き部111によって読み出された送信チェックサムと受信チェックサムとを比較する（図8のステップS15参照）。

ここで、比較部112による比較が一致した場合には、データバッファ140に格納されたデータ#1、#3が記憶装置2に送信される。

一方、比較部112による比較の結果が不一致である場合には、MPU110のエラー出力部113は、エラーを出力する。また、比較部112による比較の結果が不一致である場合には、MPU110の抑止部114は、記憶装置2に対するデータ#1、#3の送信を抑止しても良い。

【0090】

30

〔C-3〕効果

このように、実施形態の第2変形例における通信制御装置1（ストレージ装置10）によれば、実施形態の一例において奏することができる上述した効果とともに、例えば以下の効果を奏することができる。

第2算出部133は、上位装置3から送信されたデータに記憶装置2に送信する必要がないデータが含まれている場合であっても、読み書き部111によってデータ記憶部140に書き込まれたデータと、記憶装置2に送信する必要がないデータとに基づき、第2の値を算出する。これにより、MPU110内部のバス上でビット化け等のエラーが発生していないにも関わらず、比較部112が送信チェックサムと受信チェックサムとの不一致を検出してしまうことを防ぐことができる。

【0091】

40

読み書き部111は、仮想アドレスのうち特定のアドレスを指定することにより、記憶装置2に送信する必要がないデータを第2算出部133に送信する。これにより、不要なデータが記憶装置2に送信されることを防ぐことができる。

〔D〕その他

開示の技術は上述した実施形態に限定されるものではなく、本実施形態の趣旨を逸脱しない範囲で種々変形して実施することができる。本実施形態の各構成及び各処理は、必要に応じて取捨選択することができ、あるいは適宜組み合わせてもよい。

【0092】

上述した実施形態の一例及び各変形例においては、第1算出部131及び第2算出部133がチェックサムを算出し、比較部112は算出されたチェックサムを比較することと

50

したが、これに限定されるものではない。第 1 算出部 1 3 1 及び第 2 算出部がチェックサム以外の種々の誤り検出符号を算出し、比較部 1 1 2 は算出された誤り検出符号を比較しても良い。

【 0 0 9 3 】

また、上述した実施形態の一例及び各変形例においては、MPU 1 1 0 が比較部 1 1 2、エラー出力部 1 1 3 及び抑止部 1 1 4 としての機能を備えることとしたが、これに限定されるものではない。例えば、FPGA 1 3 0 が比較部 1 1 2、エラー出力部 1 1 3 及び抑止部 1 1 4 としての機能を備えても良い。

更に、上述した実施形態の第 2 変形例においては、読み書き部 1 1 1 はダミーライト用のデータバッファ仮想アドレス空間を指定することによりダミーデータを FPGA 1 3 0 に書き込むこととしたが、これに限定されるものではない。例えば、読み書き部 1 1 1 は、図 4 に示したデータバッファ仮想アドレス空間 1 4 2 を指定することにより、ダミーデータを FPGA 1 3 0 に書き込んで良い。この場合には、読み書き部 1 1 1 は、ダミーデータの書き込み前にダミーデータを書き込むことを示す信号を FPGA 1 3 0 に送信する。また、読み書き部 1 1 1 は、ダミーデータであることを示すフラグをダミーデータに付加して FPGA 1 3 0 に書き込んで良い。これにより、FPGA 1 3 0 は、書き込まれたデータがダミーデータであることを認識することができる。

10

【 0 0 9 4 】

〔 E 〕 付記

(付記 1)

上位装置と通信可能に接続され、前記上位装置との通信を制御する通信制御装置であって、

20

前記上位装置から送信されるデータを格納するデータ記憶部と、

前記データ記憶部に格納されたデータを読み出した後に、当該読み出したデータを前記データ記憶部に書き込む読み書き部と、

前記読み書き部によって前記データ記憶部から読み出されるデータに関する第 1 の値を算出する第 1 算出部と、

前記第 1 算出部によって算出された前記第 1 の値を格納する第 1 記憶部と、

前記読み書き部によって前記データ記憶部に書き込まれるデータに関する第 2 の値を算出する第 2 算出部と、

30

前記第 2 算出部によって算出された前記第 2 の値を格納する第 2 記憶部と、

前記第 1 記憶部に格納された前記第 1 の値と、前記第 2 記憶部に格納された前記第 2 の値とを比較する比較部と、

を備えることを特徴とする、通信制御装置。

【 0 0 9 5 】

(付記 2)

前記比較部による比較の結果が不一致である場合に、エラーを出力するエラー出力部を備えることを特徴とする、付記 1 に記載の通信制御装置。

(付記 3)

当該通信制御装置は、記憶装置と通信可能に接続され、

40

前記比較部による比較の結果が不一致である場合に、前記記憶装置に対するデータの送信を抑止する抑止部

を備えることを特徴とする、付記 1 又は 2 に記載の通信制御装置。

【 0 0 9 6 】

(付記 4)

前記データ記憶部における物理アドレスを多重化させた仮想アドレスに対応付けるアドレス変換部を備え、

前記読み書き部は、前記仮想アドレスを指定することにより、前記データ記憶部に対するデータの読み書きを行なう、

ことを特徴とする、付記 3 に記載の通信制御装置。

50

【 0 0 9 7 】

(付記 5)

前記多重化させた仮想アドレスのそれぞれに対応する複数組の前記第 1 及び第 2 記憶部を備え、

前記比較部は、前記第 1 及び第 2 記憶部の組毎に前記比較を行なう、ことを特徴とする、付記 4 に記載の通信制御装置。

【 0 0 9 8 】

(付記 6)

前記第 2 算出部は、前記上位装置から送信されたデータに前記記憶装置に送信する必要がないデータが含まれている場合であっても、前記読み書き部によって前記データ記憶部に書き込まれたデータと、前記記憶装置に送信する必要がないデータとに基づき、前記第 2 の値を算出する、

ことを特徴とする、付記 4 又は 5 に記載の通信制御装置。

10

【 0 0 9 9 】

(付記 7)

前記読み書き部は、前記仮想アドレスのうち特定のアドレスを指定することにより、前記記憶装置に送信する必要がないデータを前記第 2 算出部に送信する、ことを特徴とする、付記 6 に記載の通信制御装置。

(付記 8)

前記第 1 及び第 2 の値は、チェックサムである、

20

【 0 1 0 0 】

(付記 9)

上位装置と通信可能に接続されるストレージ装置であって、

前記上位装置との通信を制御する通信制御部を備え、

前記通信制御部は、

前記上位装置から送信されたデータを格納するデータ記憶部と、

前記データ記憶部に格納されたデータを読み出した後に、当該読み出したデータを前記データ記憶部に書き込む読み書き部と、

前記読み書き部によって前記データ記憶部から読み出されるデータに関する第 1 の値を算出する第 1 算出部と、

30

前記第 1 算出部によって算出された前記第 1 の値を格納する第 1 記憶部と、

前記読み書き部によって前記データ記憶部に書き込まれるデータに関する第 2 の値を算出する第 2 算出部と、

前記第 2 算出部によって算出された前記第 2 の値を格納する第 2 記憶部と、

前記第 1 記憶部に格納された前記第 1 の値と、前記第 2 記憶部に格納された前記第 2 の値とを比較する比較部と、

を備えることを特徴とする、ストレージ装置。

【 0 1 0 1 】

(付記 10)

前記比較部による比較の結果が不一致である場合に、エラーを出力するエラー出力部を備えることを特徴とする、付記 9 に記載のストレージ装置。

40

(付記 11)

前記比較部による比較の結果が不一致である場合に、当該ストレージ装置が有する記憶装置に対するデータの送信を抑止する抑止部

を備えることを特徴とする、付記 9 又は 10 に記載のストレージ装置。

【 0 1 0 2 】

(付記 12)

前記データ記憶部における物理アドレスを多重化させた仮想アドレスに対応付けるアドレス変換部を備え、

50

前記読み書き部は、前記仮想アドレスを指定することにより、前記データ記憶部に対するデータの読み書きを行なう、
ことを特徴とする、付記 1 1 に記載のストレージ装置。

【0103】

(付記 1 3)

前記多重化させた仮想アドレスのそれぞれに対応する複数組の前記第 1 及び第 2 記憶部を備え、

前記比較部は、前記第 1 及び第 2 記憶部の組毎に前記比較を行なう、
ことを特徴とする、付記 1 2 に記載のストレージ装置。

【0104】

(付記 1 4)

前記第 2 算出部は、前記上位装置から送信されたデータに前記記憶装置に送信する必要がないデータが含まれている場合であっても、前記読み書き部によって前記データ記憶部に書き込まれたデータと、前記記憶装置に送信する必要がないデータとに基づき、前記第 2 の値を算出する、
ことを特徴とする、付記 1 2 又は 1 3 に記載のストレージ装置。

【0105】

(付記 1 5)

前記読み書き部は、前記仮想アドレスのうち特定のアドレスを指定することにより、前記記憶装置に送信する必要がないデータを前記第 2 算出部に送信する、
ことを特徴とする、付記 1 4 に記載のストレージ装置。

(付記 1 6)

前記第 1 及び第 2 の値は、チェックサムである、
ことを特徴とする、付記 9 ~ 1 5 のいずれか 1 項に記載のストレージ装置。

【0106】

(付記 1 7)

上位装置と通信可能に接続され、前記上位装置との通信を制御する通信制御装置に備えられるコンピュータに、

前記上位装置から送信されるデータを格納するデータ記憶部からデータを読み出した後に、当該読み出したデータを前記データ記憶部に書き込み、

前記データ記憶部から読み出されるデータに関する第 1 の値を第 1 記憶部から読み出し、

前記データ記憶部に書き込まれるデータに関する第 2 の値を第 2 記憶部から読み出し、
前記第 1 記憶部から読み出した前記第 1 の値と前記第 2 記憶部から読み出した前記第 2 の値とを比較する、

処理を実行させることを特徴とする、通信制御プログラム。

【0107】

(付記 1 8)

前記比較の結果が不一致である場合に、エラーを出力する、
処理を前記コンピュータに実行させることを特徴とする、付記 1 7 に記載の通信制御プログラム。

(付記 1 9)

前記通信制御装置は、記憶装置と通信可能に接続され、
前記比較の結果が不一致である場合に、前記記憶装置に対するデータの送信を抑止する、
処理を前記コンピュータに実行させることを特徴とする、付記 1 7 又は 1 8 に記載の通信制御プログラム。

【0108】

(付記 2 0)

前記データ記憶部における物理アドレスを多重化させた仮想アドレスを指定することに

10

20

30

40

50

より、前記データ記憶部に対するデータの読み書きを行なう、
処理を前記コンピュータに実行させることを特徴とする、付記 17 ~ 19 のいずれか 1 項
に記載の通信制御プログラム。

【0109】

(付記 21)

前記多重化させた仮想アドレスのそれぞれに対応する複数の前記第 1 及び第 2 記憶部の
組毎に、前記比較を行なう、
処理を前記コンピュータに実行させることを特徴とする、付記 20 に記載の通信制御プロ
グラム。

【0110】

(付記 22)

前記上位装置から送信されたデータに前記記憶装置に送信する必要がないデータが含ま
れている場合であっても、前記データ記憶部に書き込まれたデータと、前記記憶装置に送
信する必要がないデータとに基づき、算出された前記第 2 の値を前記第 2 記憶部から読み
出す、
処理を前記コンピュータに実行させることを特徴とする、付記 19 に記載の通信制御プロ
グラム。

10

【0111】

(付記 23)

前記第 1 及び第 2 の値は、チェックサムである、
ことを特徴とする、付記 17 ~ 22 のいずれか 1 項に記載の通信制御プログラム。

20

【符号の説明】

【0112】

- 100 ストレージシステム
- 10 ストレージ装置
- 1 CA (通信制御装置, 通信制御部)
- 110 MPU (コンピュータ)
- 111 読み書き部
- 112 比較部
- 113 エラー出力部
- 114 抑止部
- 120 CSメモリ
- 121 SDRAM
- 130 FPGA
- 131 第 1 算出部
- 132 送信チェックサムレジスタ (第 1 記憶部)
- 133 第 2 算出部
- 134 受信チェックサムレジスタ (第 2 記憶部)
- 135 アドレス変換部
- 140 データバッファ (データ記憶部)
- 141 SDRAM
- 142 データバッファ仮想アドレス空間
- 150 SW (PCIe - SW)
- 160 IFチップ
- 161 FCコントローラ
- 162 SFPモジュール
- 2 記憶装置
- 3 ホスト装置 (上位装置)
- 4 CM
- 100a ストレージシステム

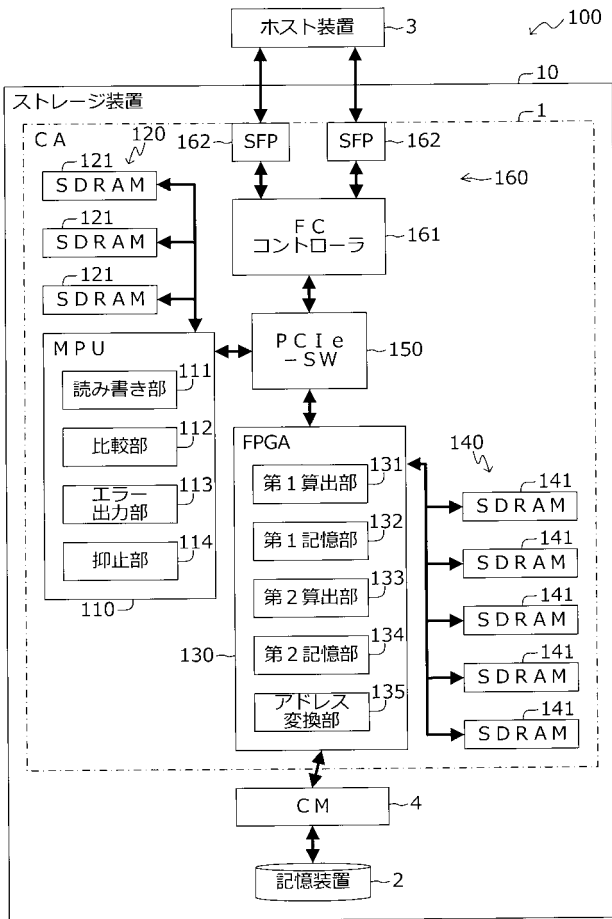
30

40

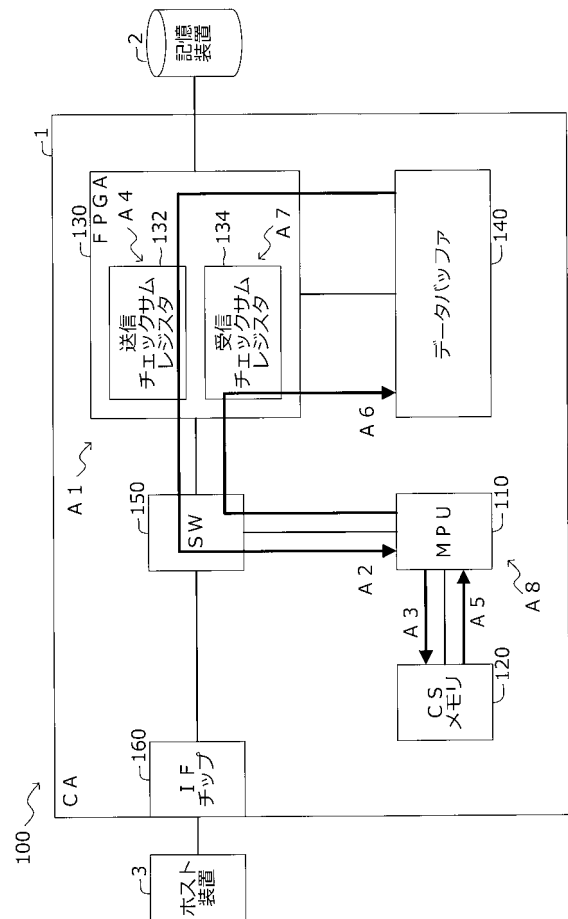
50

- 1 a CA
- 1 1 0 a MPU
- 1 2 0 a CSメモリ
- 1 3 0 a FPGA
- 1 4 0 a データバッファ
- 1 5 0 a SW
- 1 6 0 a IFチップ
- 2 a 記憶装置
- 3 a ホスト装置

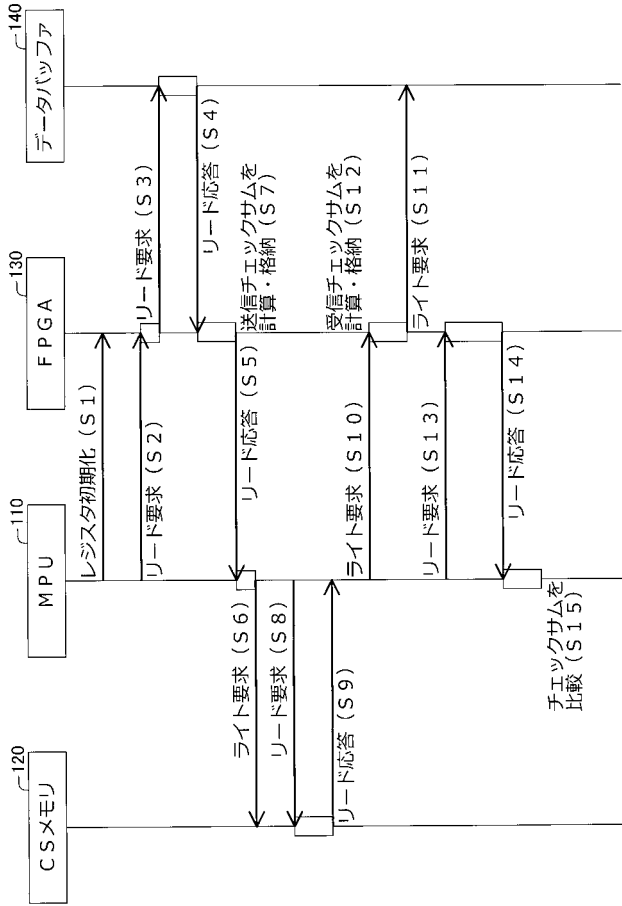
【 図 1 】



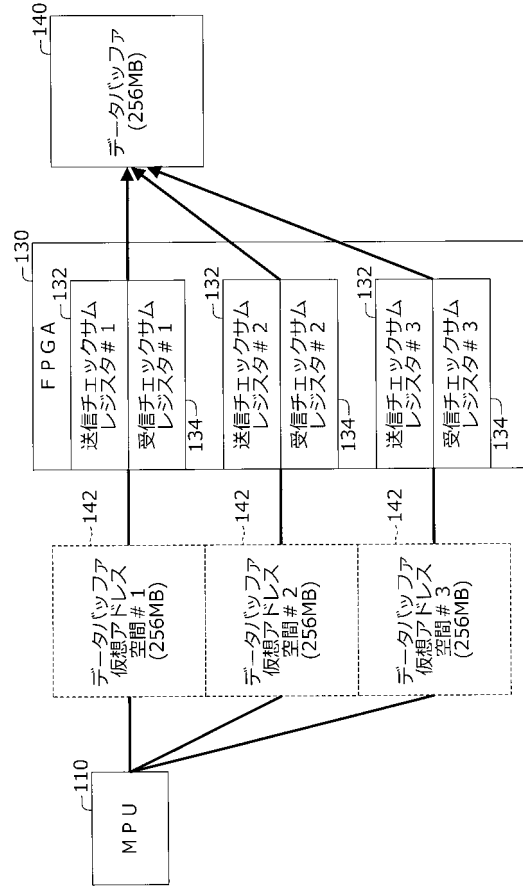
【 図 2 】



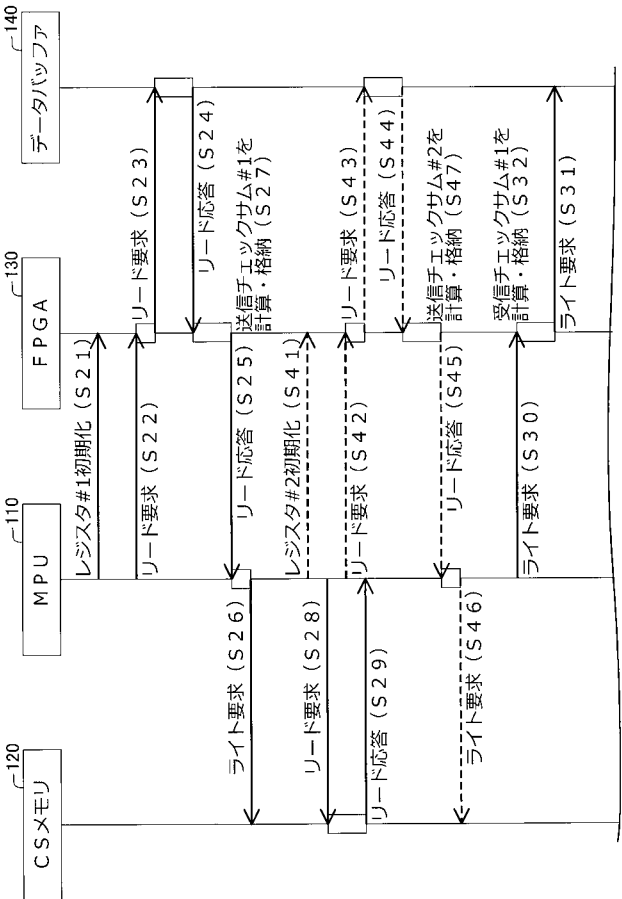
【 図 3 】



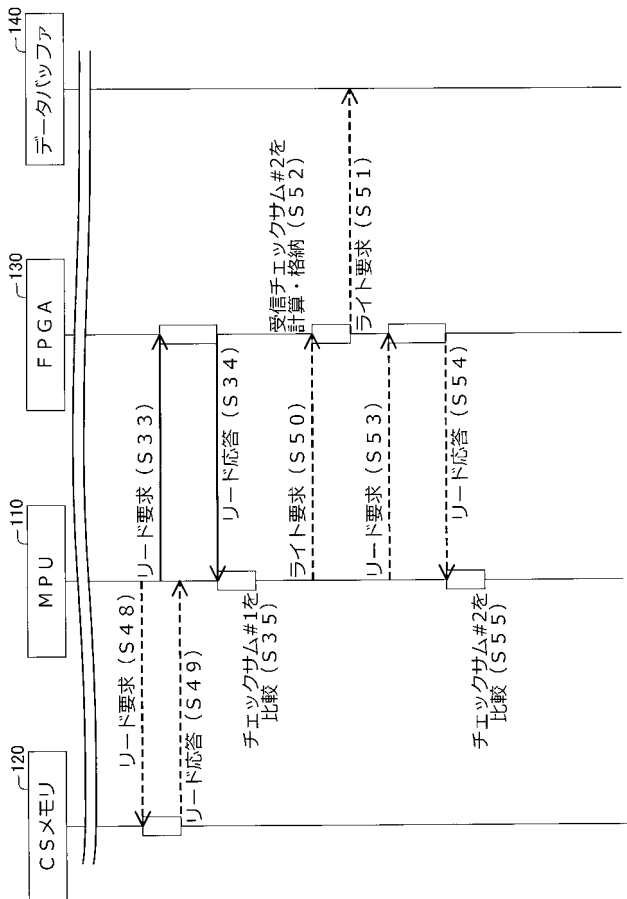
【 図 4 】



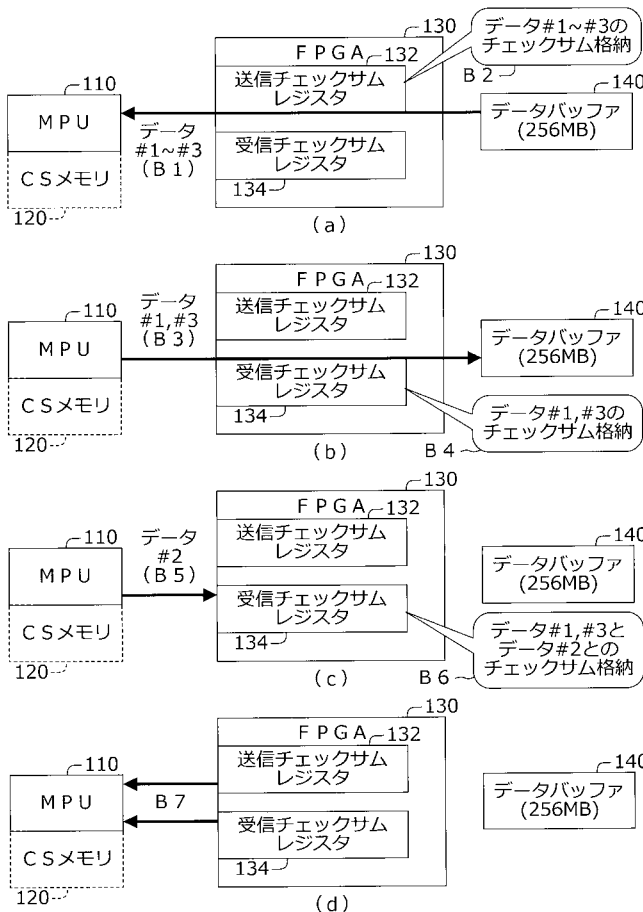
【 図 5 】



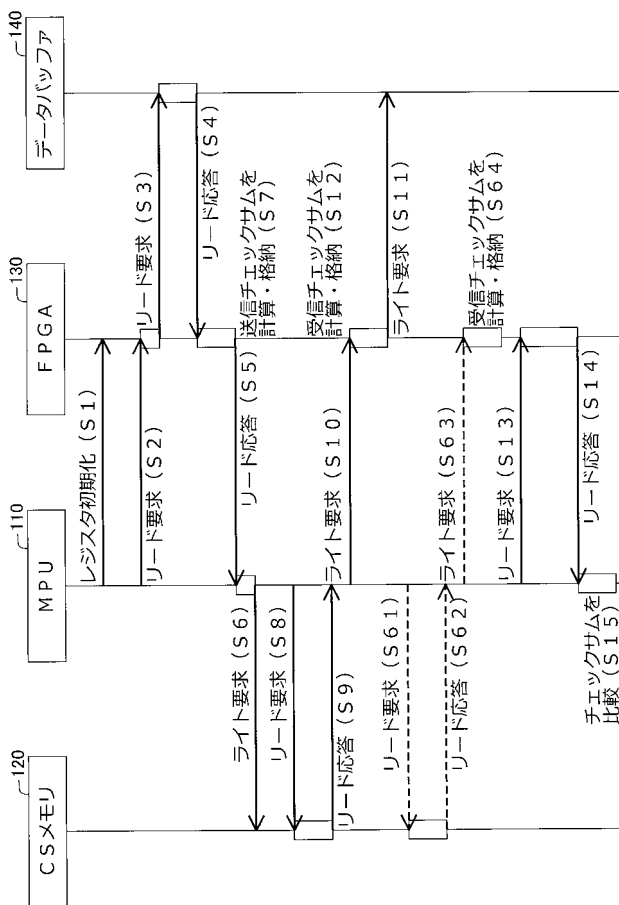
【 図 6 】



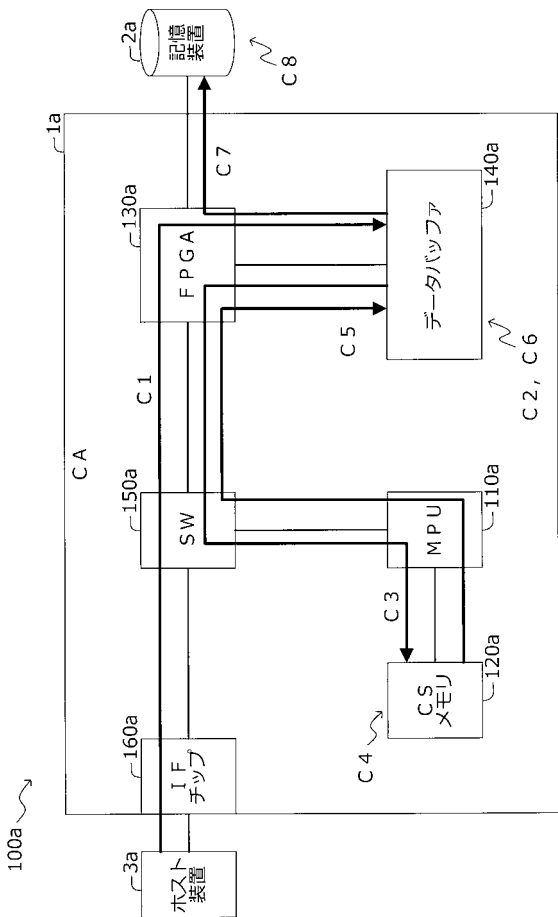
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】

