

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H04L 12/56

(45) 공고일자 2000년 12월 15일

(11) 등록번호 10-0276079

(24) 등록일자 2000년 09월 26일

(21) 출원번호	10-1998-0035645	(65) 공개번호	특2000-0015618
(22) 출원일자	1998년 08월 31일	(43) 공개일자	2000년 03월 15일

(73) 특허권자 한국전기통신공사 이계철
경기도 성남시 분당구 정자동 206한국전자통신연구원 정선중
대전광역시 유성구 가정동 161번지

(72) 발명자 김영섭
대전광역시 유성구 어은동 99 한빛아파트 113동 905호
박상택
대전광역시 유성구 가정동 236-1 신관 221호
곽동용
대전광역시 유성구 어은동 99 한빛아파트 123동 402호

(74) 대리인 김영섭, 이화익

심사관 : **마정윤**

(54) 버킷 칼렌다를 이용한 셀 스페이서 및 그 제어방법

요약

ATM 정합 장치의 셀 스페이서에 있어서, 시스템 내에서 발생된 CDV를 측정하여 CDV를 제거하고 셀을 상대방으로 전송함으로써 중단 사용자에게까지 셀 손실이 없이 셀이 전달 될 수 있도록 CDV를 제거하는 셀 스페이서 및 그 제어방법을 제공하기 위한 것이다. 본 발명은, 각 셀 슬롯마다 출력 셀의 버퍼 어드레스를 저장하는 FIFO와 같은 동작을 하는 버킷을 가진 버킷 칼렌다 및 방출 FIFO를 포함하는 셀 스페이서를 구성하고, 상기 버킷은, 해당 셀 슬롯에 등록되어 있는 셀의 수를 나타내는 하나의 셀 카운터 및 셀이 저장되어 있는 셀 버퍼 어드레스를 등록하기 위한 7개의 셀 포인터로 구성하며, 그 셀 스페이서가 ATM셀과 CDV 및 셀도착시간 t를 입력받고, 임의의 시간에 셀이 입력되면 이를 셀 버퍼에 저장하고, 저장된 셀 버퍼 어드레스를 현재의 시간보다 CDV 만큼 뒤에 있는 슬롯의 버킷에 셀 버퍼 어드레스를 등록시키고, 출력 시간이 되면 해당 슬롯에 등록되어 있는 셀 버퍼 어드레스를 읽어 셀을 출력 시키는 방식으로 입력된 셀을 CDV 만큼 지연시켜 스페이싱을 수행하도록 ATM 정합장치의 셀 스페이서 및 그의 제어방법을 제공한다. 따라서, 본 발명에서 제안한 셀 스페이서는 제어구조가 간단하고, 단순한 RAM을 이용하여 버킷을 구성할 수 있으므로 셀 스페이서를 간단하게 효율적으로 구성할 수 있다.

대표도

도6

명세서

도면의 간단한 설명

도 1은 본 발명을 적용하기 위한 ATM 정합 장치 구성도.
도 2는 본 발명을 적용하기 위한 ATM 정합 장치의 송신 셀 처리부의 구성도.
도 3은 본 발명을 적용하기 위한 VSA를 이용한 셀 스페이서 구성도.
도 4는 본 발명의 VSA 알고리즘의 흐름도.
도 5는 종래 단순 칼렌다를 이용한 셀 스페이서 구성도.
도 6은 본 발명의 버킷 칼렌다를 이용한 셀 스페이서 구성도.
도 7은 본 발명의 버킷 칼렌다의 구성.

<도면의 주요부분에 대한 부호의 설명>

1 : 가입자 선로	2 : 물리계층 처리부
3 : 수신셀 처리부	4 : 송신 셀 처리부
5 : 스위치 링크 정합부	6 : 스위치 링크
7 : 제어부	9 : 연결 식별자 관리부

10 : 셀 스페이서부	11 : 출력 셀 처리부
12 : VSA 엔진	13 : 스페이서
23 : 쓰기 제어부	24 : 셀 버퍼
25 : 읽기 제어부	26 : 유휴 FIFO
30 : 칼렌다 제어부	31 : 버킷 칼렌다
32 : 방출 FIFO	33 : 스페이서 제어부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 ATM 교환기 정합 장치에 있어서, 중단 사용자에게까지 셀 손실이 없이 셀이 전달 될 수 있도록 다중화 과정에서 발생하는 셀 지연 변이(Cell Delay Variance, 이하 CDV)를 제거하기 위한 셀 스페이서 장치를 제공하기 위한 것이다.

일반적으로, ATM 정합 장치는, 약의 사용자가 협상된 대역보다 높은 대역을 갖는 셀을 전송하여 발생하는 망의 폭주로 인하여 선의의 가입자가 피해를 입지 않도록 모든 사용자로부터 입력되는 셀의 속도를 감시하여 협상된 대역보다 높은 대역으로 입력되는 셀을 검출하여 셀을 폐기 함으로써 약의의 가입자에 의한 망의 폭주를 예방하는 셀 속도 감시 기능을 가지고 있다.

그런데 정합장치의 속도 감시 기능에서는 협상된 대역을 준수한 것으로 판단되어 망으로 전달하는 셀이 스위치 등의 다중화 장치를 거치게 되면 다중화 과정에서 새로운 셀 지연 변이(CDV)가 발생되어 다시 정합 장치로 출력될 때에는 순간적으로 협상된 대역을 위반하는 경우가 발생할 수 있다. 이렇게 되면 사용자는 정확하게 협상 대역폭을 준수하여 셀을 전송하였음에도 불구하고 망에서 발생된 CDV로 인하여 다음 노드에서는 협상된 대역을 위반한 셀로 간주되어 셀이 폐기 되므로 중단 사용자가 셀을 수신하였을 때는 셀 손실이 발생하게 된다.

이를 방지하기 위하여 ATM 정합 장치에서는 셀이 출력될 때 시스템 내에서 발생된 CDV를 측정하여 CDV를 제거하고 셀을 상대방으로 전송함으로써 중단 사용자에게까지 셀 손실이 없이 셀이 전달 될 수 있도록 CDV를 제거하는 셀 스페이서를 구성하여야 한다.

기존의 셀 스페이서는, 셀을 CDV 만큼 지연시키기 위해 칼렌다 메모리라고 불리는 메모리에 셀이 저장되어 있는 위치를 기록할 때 현재 출력되고 있는 칼렌다로부터 CDV만큼 뒤에 있는 메모리에 셀의 위치를 기록하고, 셀 출력장치는 순서대로 칼렌다에 등록되어 있는 셀을 읽어 출력 시키는 형태로 셀 스페이서를 구성하였다.

그런데 CDV 만큼 지연시키기 위해 현재 시간에 CDV를 더한 칼렌다 메모리에 셀을 등록할 때 이미 해당 위치가 다른 셀에 의해 점유되어 있다면 다음 메모리에 저장하고, 또 다시 해당 메모리가 점유되어 있으면 다음메모리에 저장하는 식으로 셀의 출력 시간을 등록하였다. 이렇게 하기 위해서는 출력될 시간 이후의 칼렌다 메모리에서 점유되지 않은 메모리를 찾기 위해 시간이 필요하므로 칼렌다에 등록하기 위한 규가 필요하게 되었으며, 셀 타이머의 불일치 등으로 인하여 셀 전송 순서가 뒤바뀌는 등의 문제가 발생할 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명에서는 상기한 문제점을 해결하기 위하여 단순 메모리를 이용한 칼렌다를 대신하여 각 셀 시간마다 별도의 큐를 갖는 버킷 칼렌다를 사용하여 셀의 전송 순서를 보장하고 점유되지 않은 셀 슬롯을 찾기 위해 대기하는 큐를 없애는 버킷 칼렌다를 이용한 셀 스페이서를 제공함에 목적이 있다.

이와 같은 목적을 달성하기 위한 본 발명은, 각 셀 슬롯마다 출력 셀의 버퍼 어드레스를 저장하는 FIFO와 같은 동작을 하는 버킷을 가진 버킷 칼렌다 및 방출 FIFO를 포함하는 셀 스페이서를 구성하고, 상기 버킷은, 해당 셀 슬롯에 등록되어 있는 셀의 수를 나타내는 하나의 셀 카운터 및 셀이 저장 되어 있는 셀 버퍼 어드레스를 등록하기 위한 7개의 셀 포인터로 구성하며, 그 셀 스페이서가 ATM셀과 CDV 및 셀도착시간 t를 입력받고, 임의의 시간에 셀이 입력되면 이를 셀 버퍼에 저장하고, 저장된 셀 버퍼 어드레스를 현재의 시간보다 CDV 만큼 뒤에 있는 슬롯의 버킷에 셀 버퍼 어드레스를 등록시키고, 출력 시간이 되면 해당 슬롯에 등록되어 있는 셀 버퍼 어드레스를 읽어 셀을 출력 시키는 방식으로 입력된 셀을 CDV 만큼 지연시켜 스페이싱을 수행하도록 ATM 정합장치의 셀 스페이서 및 그의 제어방법을 제공함으로써, 달성된다.

발명의 구성 및 작용

이하 첨부된 도면을 통해 본 발명의 구성 및 작용을 상세히 설명한다.

도 1은 본 발명을 적용하기 위한 ATM 교환기의 정합 장치 구성을 나타내었다. ATM 정합 장치는 물리 계층 처리부(2), 수신 셀 처리부(3), 송신 셀 처리부(4), 스위치 링크 정합부(5), 제어부(7) 등으로 구성된다.

물리 계층 처리부(2)에서는 가입자 선로(1)로부터 수신한 신호에서 데이터와 클럭을 복원하고, 가입자 선로(1)의 종류에 따라 프레임을 추출하여 프레임을 처리하고 ATM 셀을 추출하여 수신 셀 처리부(3)로 전달하거나, 송신 셀 처리부(4)에서 수신한 ATM 셀을 가입자 종류에 따라 프레임을 생성하여 그 프레임에 ATM 셀을 실어 가입자 선로(1)를 통해 가입자로 전달한다.

수신 셀 처리부(3)에서는 물리 계층 처리부(2)로부터 셀을 수신하였음을 통보 받으면 해당 물리 계층 처리부(2)에서 셀을 읽어내어 다중화하고, 수신 연결 정보를 이용하여 수신 셀의 헤더를 변환하고 스위치 링크 정합부(5)로 전달한다.

스위치 링크 정합부(5)에서는 수신 셀 처리부(3)로부터 셀을 수신하여 스위치 링크(6)에서 사용하는 형태로 셀을 변환하여 스위치 링크(6)로 셀을 전송한다. 또한, 스위치 링크(6)로부터 셀을 수신하면 송신 셀 처리부(4)로 셀을 전달하는 기능을 수행한다.

송신 셀 처리부(4)에서는 스위치 링크 정합부(5)로부터 수신한 사용자 셀과 제어부(7)로부터 수신한 관리 셀 등을 다중화 하여 송신 연결 정보에 따라 출력 선로를 선택하여 해당 물리 계층 처리부(2)로 셀을 전달한다.

제어부(7)에서는 물리 계층 처리부(2)의 상태를 관리하고 수신 셀 처리부(3)에 있는 수신 연결 정보를 관리하며, 송신 셀 처리부(4)의 송신 연결 정보를 관리하는 기능을 수행한다.

도 2는 본 발명이 적용되는 송신 셀 처리부(4)의 상세한 구성을 나타내었다.

송신 셀 처리부(4)는 연결 식별자 관리부(9)와 셀 스페이서부(10), 출력 셀 처리부(11)로 구성된다.

연결 식별자 관리부(9)에서는 스위치 링크 정합부로부터 셀을 수신하면 셀의 VPI, VCI를 참조하여 연결 식별자를 추출하여 연결 식별자와 셀 데이터를 셀 스페이서부(10)로 전달한다. 셀 스페이서부(10)에서는 입력되는 셀의 CDV를 계산하여 계산된 CDV만큼 셀의 출력 속도를 조절하여 출력 셀 처리부(11)로 전달한다. 출력 셀 처리부(11)에서는 셀 스페이서부(10)에서 수신한 셀의 성능 감시 등의 OAM 기능을 수행하고 출력 선로를 찾아 물리 계층 처리부로 셀을 출력한다.

도 3은 본 발명이 적용된 셀 스페이서부(10)의 상세한 구성을 나타내었다.

셀 스페이서부(10)는 입력되는 셀의 속도 감시를 수행하고 CDV를 계산하는 VSA(Virtual Scheduling Algorithm) 엔진(12)과, 입력된 셀을 CDV 만큼 지연시켜 스페이싱을 수행하는 스페이서(13)로 구성된다.

VSA 엔진(12)에서는 연결 식별자 관리부(9)로부터 연결 식별자와 ATM 셀을 수신하면, 연결 식별자를 이용하여 해당 연결에 대한 파라미터 테이블로부터 해당 연결에 대한 속도 감시의 결과로 저장되어 있는 파라미터를 읽어와서 도 4에 나타난 흐름도에 따라 셀 속도 감시를 수행하고 CDV를 계산한다.

도 4에 도시된 바와 같이, CDV를 계산하는 절차는 다음과 같다.

임의의 연결에 대한 셀이 시간 t 에 도착하면(S41), 이전셀도착시간(이하; TAT)이 만료(expire)가 되었는지를 조사한다(S42). 이전셀도착시간이 만료 되었다는 것은 해당 연결에 대한 셀이 협상된 최소 셀 간격 T보다 상당히 큰 시간동안 셀이 입력되지 않았음을 의미한다. 따라서 해당 연결이 만료 되었다는 것은 입력된 셀이 협상된 대역을 위반하지 않았음을 의미하며 이때는 CDV가 0이다.

만료되지 않았을 때는 해당 연결의 이전 셀이 도착한 이론적 시간인 TAT에 최소 셀 간격 T를 더하여 ($X=TAT+T$)(S43), 그 더한 값이 현재의 시간 t 보다 작은지를 검사($X < t$?)한다(S44). t 보다 작은 경우는 최소 셀 간격보다 크게 셀이 입력되었다는 것을 의미하므로 이 때도 협상된 대역폭을 위반하지 않고 셀이 입력되었음을 나타내며 이 때의 CDV도 0이 된다(S49).

그렇지만 t 보다 큰 경우는 협상된 최소 셀 간격보다 작은 셀 간격을 가지고 셀이 입력되었음을 의미하기 때문에 협상된 셀 속도를 위반한 것이 된다.

그런데 셀 속도 협상을 할 때 각종 다중화 장치들을 거치면서 발생하는 CDV를 고려한 CDVT(Cell Delay Variance Tolerance of PCR = τ)를 협상하기 때문에 입력된 셀이 CDVT를 위반하였는지를 다시 검사한다. CDVT를 검사하기 위해서 현재 시간 t 에 CDVT(= τ)를 더한 값이 TAT+T보다 큰지를 검사한다(S45). TAT+T(= X)보다 $t+\tau$ 가 작은 경우는 협상된 대역폭과 허용되는 CDV를 초과하여 셀이 입력되었음을 의미하므로 셀을 폐기한다(S48).

그렇지 않은 경우는 셀 속도를 위반하였지만 허용되는 CDV를 위반하지 않고 입력된 셀이므로 CDV를 계산한다(S46). CDV는 이론적 도착 시간인 TAT+T에서 현재 시간 t 를 뺀 값($CDV=X-t$)이 된다. 셀 속도와 CDV를 위반하지 않은 경우에는 TAT를 TAT+T값이나 현재 시간 t 로 저장하고, 셀과 CDV를 출력한다(S47).

VSA 엔진(12)은 위와 같은 방법으로 계산된 CDV와 현재 시간 t , 그리고 셀을 스페이서(13)로 전달한다.

도 5는 기존에 사용되던 DPRAM으로 구성된 칼렌다를 사용한 스페이서의 상세한 구성도를 나타내었으며, 도 6은 본 발명이 적용된 버킷 칼렌다를 이용한 스페이서의 구성을 나타내었다.

스페이서(13)는 셀을 스페이싱하기 위해 제어하는 스페이서 제어기(33)와 셀을 저장하는 셀 버퍼(24)로 구성되며 스페이서 제어기(33)는 FPGA(Field Programmable Gate Array)로 구성되고, 셀 버퍼(24)는 이중 포트 램(Dual Port RAM, DPRAM)으로 구성한다.

먼저 도 5에 나타난 스페이서 제어기(33)의 동작에 대해 설명하면 다음과 같다.

스페이서 제어기(33)의 쓰기 제어부(23)에서는 VSA 엔진으로부터 셀 데이터와 계산된 CDV 그리고 현재 시간 t 를 입력으로 받아 셀 버퍼의 점유되지 않은 유히 어드레스를 저장하고 있는 유히(Idle) FIFO(26)로부터 유히 어드레스를 읽어와서 해당 쓰기어드레스(waddr)의 셀 버퍼(24)에 셀을 기록하고 CDV와 쓰기어드레스(waddr)를 CDV FIFO(27)에 저장한다.

CDV FIFO(27)에 저장된 데이터가 있으면 칼렌다 제어부(28)에서는 CDV FIFO(27)에 있는 CDV와 셀이 저장되어 있는 셀 버퍼 어드레스를 읽어, 현재 시간(t)보다 CDV 만큼 뒤에 있는 칼렌다(29) 메모리를 읽어 해당 슬롯에 이미 등록되어 있는 셀이 있는지를 검사하고, 점유되어 있지 않으면 셀 버퍼 어드레스를 기록하고 해당 슬롯이 점유되었음을 표시한다. 슬롯이 이미 다른 셀에 의해 점유되어 있다면 그 다음 어드레스를 순차적으로 읽어 비어 있는 슬롯을 찾아 셀을 등록한다.

읽기 제어부(25)에서는 현재 시간의 칼렌다 메모리를 읽어 셀이 등록되어 있으면 등록되어 있는 셀 버퍼 어드레스를 이용하여 셀 버퍼로부터 셀을 읽어내어 출력하고 셀 버퍼 어드레스를 유휴 FIFO에 저장한다. 셀이 등록되어 있지 않으면 유휴 셀을 출력한다. 여기서 현재 시간 t 는 매 셀 시간마다 1씩 증가 한다.

이와 같은 방법의 셀 스페이서는 비교적 제어가 간단하고 칼렌다 메모리가 시스템에서 허용하는 CDV 만큼의 크기를 가지면 되기 때문에 비교적 적은 메모리를 사용하여 구현할 수 있다.

그러나, 칼렌다 메모리에서 충돌이 발생하면 비어있는 슬롯을 찾을 때까지 다음 메모리를 검색하여야 하므로 1셀 시간동안 처리하지 못하는 경우가 발생할 수 있으므로 CDV FIFO(27)가 필요하게 되고, 이러한 처리 도중에 셀의 순서가 뒤바뀌는 경우가 발생할 수 있다.

이와 같은 문제를 해결하기 위한 도 6에 나타난 본 발명이 적용된 셀 스페이서 제어기(33)의 동작에 대해 설명하면 다음과 같다. 여기서는 CDV FIFO(27)와 칼렌다 메모리(29)를 대신하여 각 셀 슬롯마다 출력 셀의 버퍼 어드레스를 저장하는 FIFO와 같은 동작을 하는 버킷을 갖고 있는 버킷 칼렌다(31)와 출력 셀의 버퍼 어드레스를 저장하고 있는 방출 FIFO(32)를 갖는다.

도 5에서 설명한 것처럼 쓰기 제어부(23)에서는 유휴 어드레스 FIFO(26)로부터 유휴 어드레스를 읽어와서 해당 셀 버퍼(24)에 셀을 저장하고 CDV와 버퍼 어드레스를 칼렌다 제어부(30)로 전달한다.

칼렌다 제어부(30)에서는 현재 시간(t)에 CDV를 더한 시간에 있는 버킷에 버퍼 어드레스를 저장한다. 또 현재 시간의 버킷에 등록되어 있는 버퍼 어드레스를 모두 읽어 방출 FIFO(32)에 저장한다.

한편, 읽기 제어부(25)에서는 방출 FIFO(32)로부터 출력되어야 할 셀 버퍼의 어드레스를 가져와서 셀 버퍼(24)에 있는 셀을 읽어 출력하고 버퍼 어드레스를 유휴 FIFO(26)에 저장한다.

여기에서 사용된 버킷 칼렌다(31)의 구조와 동작에 대해 좀 더 상세하게 설명하면, 버킷 칼렌다(31)의 구조는 도 7에 나타난 바와 같이 일반적인 RAM을 이용하여 구성되며, 각 셀 슬롯마다 등록되어 있는 셀의 수를 나타내는 셀 카운터와 셀이 저장 되어 있는 셀 버퍼 어드레스를 등록하기 위한 버킷(34)으로 구성된다.

임의의 시간 t 에 셀이 입력되었고, CDV가 Δ 라고 하면, 해당 셀 슬롯에 등록되어 있는 셀의 수를 알기 위해 $(t+\Delta) * 8$ 에 있는 메모리를 읽는다. 여기서 읽은 셀의 수가 n 이라고 하면 $(t+\Delta) * 8$ 에 $n+1$ 을 다시 써넣고, $(t+\Delta) * 8 + n+1$ 에 셀 버퍼 어드레스를 써 넣으면 버킷 칼렌다에 셀을 등록하는 절차가 끝난다.

그리고 버킷 칼렌다에서 셀 포인터를 읽는 절차는 임의의 시간 t 에서 $t*8$ 에 등록되어 있는 셀 카운터를 읽어 카운터를 저장하고 $t*8+1$ 부터 카운터가 0이 될 때까지 셀 포인터를 읽어 방출 FIFO(32)에 저장한다. 카운터를 읽었을 때 카운터가 0이면 해당 슬롯에 출력할 셀이 없음을 나타내므로 아무런 동작을 취하지 않는다.

발명의 효과

본 발명은 ATM망에서 가상 연결에서 사용자와 망간에 협상한 전송 대역을 위반하지 않고 입력된 셀이 스위치, 다중화기 등의 망의 전송 장치를 거치면서 발생하는 CDV로 인하여 대역폭을 위반하여 전송되는 셀을 방지하기 위한 셀 스페이서를 구성함에 있어서, 버킷 칼렌다를 이용하여 셀 스페이서를 구성함으로써, 셀 출력시간 등록 지연과 셀 전송 순서의 바뀌는 현상을 제거할 수 있는 효과가 있다.

특히 본 발명에서 구성한 버킷 칼렌다는 일반 RAM 구조를 이용하여 각 전송 슬롯마다 FIFO를 구성하기 위한 구조를 제공함으로써, 제어구조가 간단해지는 효과가 있다.

따라서 본 발명을 이용하면 흔히 사용되는 일반적인 FPGA를 이용하여 버킷 칼렌다 구조의 셀 스페이서를 효율적으로 구성할 수 있다.

(57) 청구의 범위

청구항 1

ATM 교환기의 정합 장치내에서 입력되는 셀의 CDV를 계산하여 계산된 CDV만큼 셀의 출력 속도를 조절하여 출력셀 처리부를 거쳐 물리 계층 처리부로 전달하는 셀스페이서에 있어서,

상기 셀 스페이서는

스위칭링크 정합부로부터 ATM셀을 입력받아 연결식별자 관리를 하는 연결 식별자 관리부(9)로부터 연결식별자와 ATM 셀을 수신하면, 연결 식별자를 이용하여 해당 연결에 대한 파라미터 테이블로부터 해당 연결에 대한 속도 감시의 결과로 저장되어 있는 파라미터를 읽어와서 셀 속도 감시를 수행하고, CDV를 계산하는 VSA 엔진(12)과,

그 VSA 엔진(12)으로부터 ATM셀과 CDV 및 셀도착시간 t 를 입력받고, 임의의 시간에 셀이 입력되면 이를 셀 버퍼에 저장하고, 저장된 셀 버퍼 어드레스를 현재의 시간보다 CDV 만큼 뒤에 있는 슬롯의 버킷에 셀 버퍼 어드레스를 등록시키고, 출력 시간이 되면 해당 슬롯에 등록되어 있는 셀 버퍼 어드레스를 읽어 셀을 출력 시키는 방식으로 입력된 셀을 CDV 만큼 지연시켜 스페이싱을 수행하는 스페이서(13)로 구성된 것을 특징으로 하는 버킷 칼렌다를 이용한 셀 스페이서.

청구항 2

제 1 항에 있어서, 상기 스페이서(13)는,

셀의 스페이싱을 제어하기 위한 스페이서 제어기(33)와,

셀을 저장하기 위한 셀 버퍼(24)로 구성하며,

상기 스페이스 제어기(33)는,

VSA 엔진으로부터 셀 데이터와, CDV 및 현재 시간 t 를 입력으로 받아 상기 셀 버퍼(24)의 점유되지 않은 유휴 어드레스를 쓰기어드레스(waddr)로 하여 셀 버퍼(24)에 셀을 기록하고, CDV와 쓰기어드레스(waddr)를 버킷 칼렌다(30)에 전달하는 쓰기 제어부(23)와,

각 셀 슬롯마다 출력 셀의 버퍼 어드레스를 저장하는 FIFO와 같은 동작을 하는 버킷이 포함된 버킷 칼렌다(31)와,

출력 셀의 버퍼 어드레스를 저장하고 있는 방출 FIFO(32)와,

상기 쓰기 제어부로부터 CDV와 어드레스를 전달받아, 현재 시간(t)에 CDV를 더한 시간에 있는 버킷 칼렌다(31)에 버퍼 어드레스를 저장하고, 현재 시간의 버킷에 등록되어 있는 버퍼 어드레스를 모두 읽어 방출 FIFO(32)에 저장하는 칼렌다 제어부(30)와,

상기 방출 FIFO(32)로부터 출력되어야 할 셀 버퍼의 어드레스를 가져와서 상기 셀 버퍼(24)에 있는 셀을 읽어 출력하는 읽기 제어부(25)와,

그 읽기 제어부(25)로부터 상기 출력되는 버퍼 어드레스를 입력받아 상기 쓰기 제어부(23)가 읽어갈 수 있도록 유휴 어드레스로 저장하는 유휴 FIFO(26)로 구성된 것을 특징으로 하는 버킷 칼렌다를 이용한 셀 스페이스.

청구항 3

제 2 항에 있어서, 상기 버킷 칼렌다(31)의 구조는,

일반적인 RAM을 이용하여 다수의 셀 슬롯으로 구성되며,

하나의 셀 슬롯은,

해당 셀 슬롯에 등록되어 있는 셀의 수를 나타내는 하나의 셀 카운터 및 셀이 저장 되어 있는 셀 버퍼 어드레스를 등록하기 위한 다수의 셀 포인터로 이루어진 버킷(34)으로 구성된 것을 특징으로 하는 버킷 칼렌다를 이용한 셀 스페이스.

청구항 4

ATM정합 장치에서 셀을 시스템내에서 발생된 CDV를 제거하기 위한 셀 스페이스의 제어방법에 있어서,

연결 식별자를 이용하여 해당 연결에 대한 파라메타 테이블로부터 해당 연결에 대한 속도 감시의 결과로 저장되어 있는 파라메타를 읽어와서 셀 속도를 감시함과 아울러 CDV를 계산하고,

각 셀 슬롯마다 출력 셀의 버퍼 어드레스를 저장하는 FIFO와 같은 동작을 하는 버킷을 가진 버킷 칼렌다 및 방출 FIFO를 포함하는 셀 스페이스를 구성하여,

그 셀 스페이스가 ATM셀과 CDV 및 셀도착시간 t 를 입력받고, 임의의 시간에 셀이 입력되면 이를 셀 버퍼에 저장하고, 저장된 셀 버퍼 어드레스를 현재의 시간보다 CDV 만큼 뒤에 있는 슬롯의 버킷에 셀 버퍼 어드레스를 등록시키고, 출력 시간이 되면 해당 슬롯에 등록되어 있는 셀 버퍼 어드레스를 읽어 셀을 출력시키는 방식으로 입력된 셀을 CDV 만큼 지연시켜 스페이싱을 수행하는 것을 특징으로 하는 ATM 정합장치의 셀 스페이스 제어방법.

청구항 5

제 4 항에 있어서, 상기 버킷에 셀 버퍼 어드레스를 등록하는 방법은,

해당 셀 슬롯에 등록되어 있는 셀의 수를 나타내는 하나의 셀 카운터 및 셀이 저장 되어 있는 셀 버퍼 어드레스를 등록하기 위한 7개의 셀 포인터로 버킷을 구성하고,

임의의 시간 t 에 셀이 입력되었고, CDV가 Δ 라고 하면,

해당 셀 슬롯에 등록되어 있는 셀의 수를 알기 위해 $(t+\Delta) * 8$ 에 있는 메모리를 읽고,

읽은 셀의 수가 n 이라고 하면 $(t+\Delta) * 8$ 에 $n+1$ 을 다시 써넣고,

$(t+\Delta) * 8 + n+1$ 에 셀 버퍼 어드레스를 써 넣어 버킷 칼렌다에 셀을 등록하는 것을 특징으로 하는 ATM 정합장치의 셀 스페이스 제어방법.

청구항 6

제 5 항에 있어서, 상기 등록된 셀 버퍼 어드레스를 읽는 방법은,

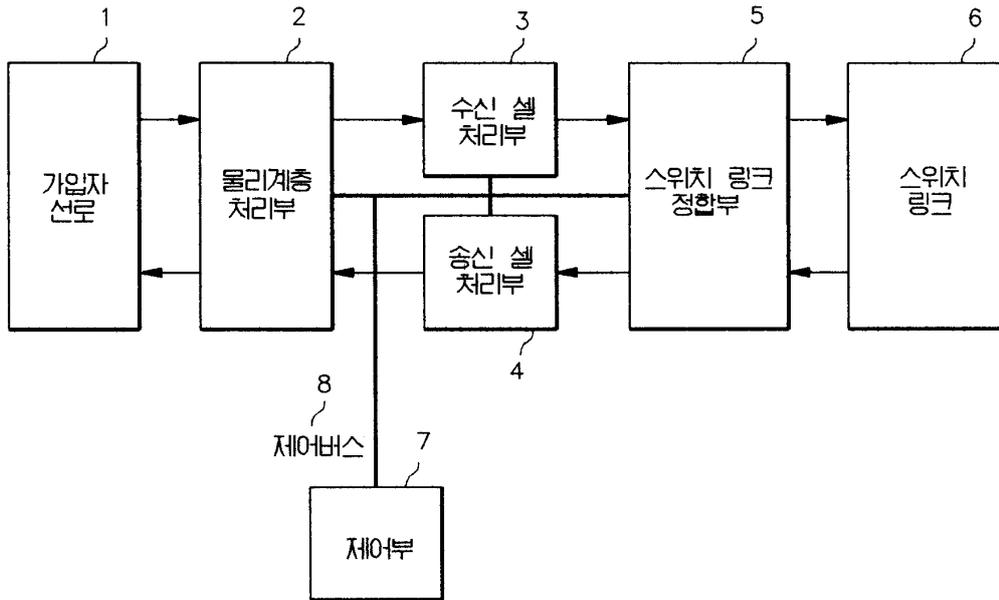
임의의 시간 t 에서 $t*8$ 에 등록되어 있는 셀 카운터를 읽어 카운터를 저장하고,

$t*8+1$ 부터 카운터가 0이 될 때까지 셀 포인터를 읽어 방출 FIFO에 저장하며,

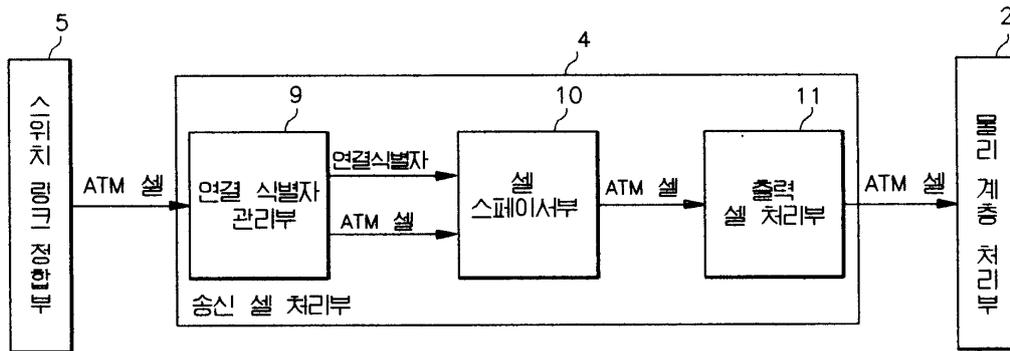
카운터를 읽었을 때 카운터가 0이면 해당 슬롯에 출력할 셀이 없음을 나타내므로 동작을 취하지 않는 것을 특징으로 하는 ATM 정합장치의 셀 스페이스 제어방법.

도면

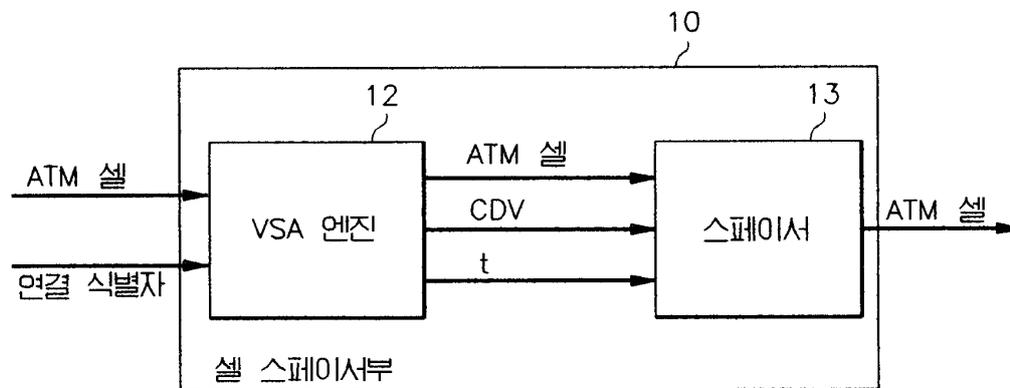
도면1



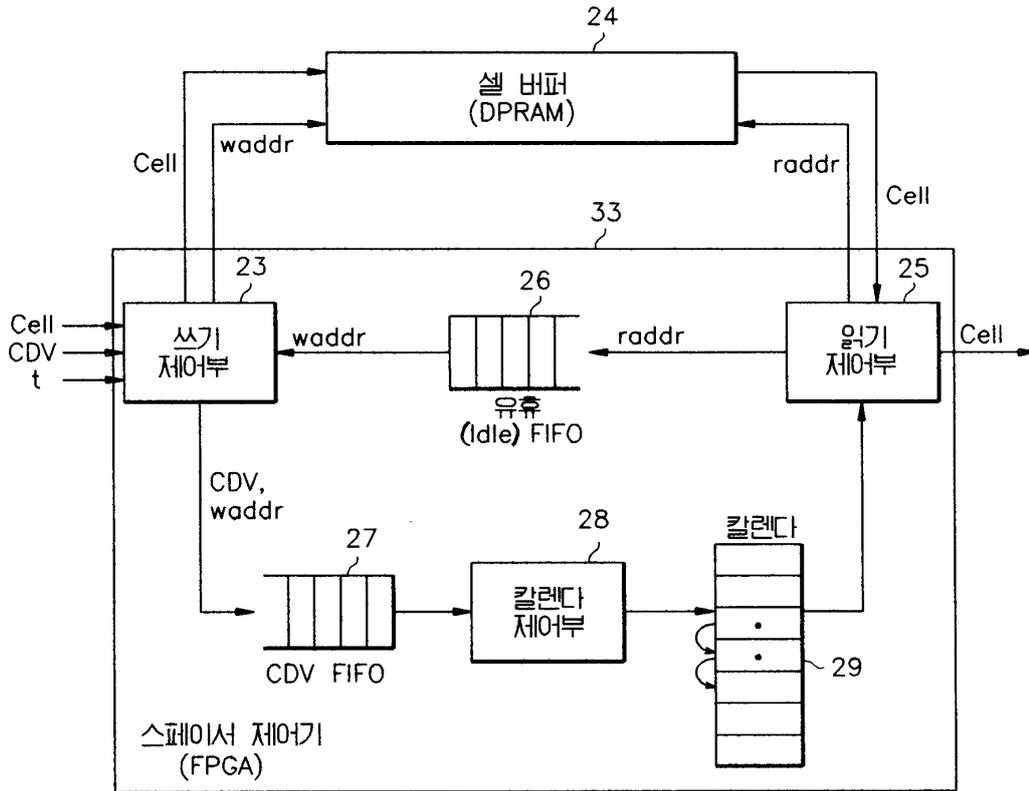
도면2



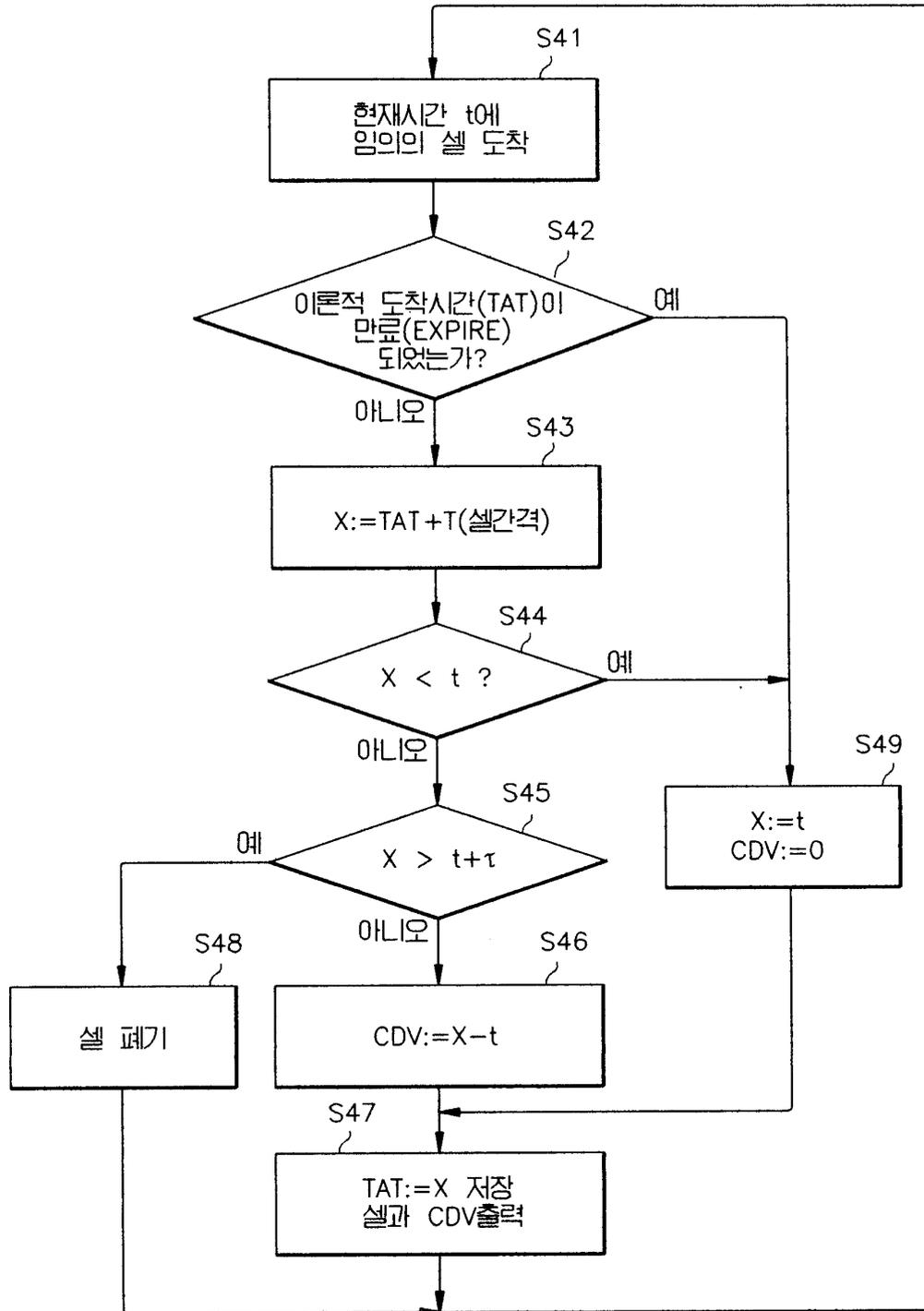
도면3



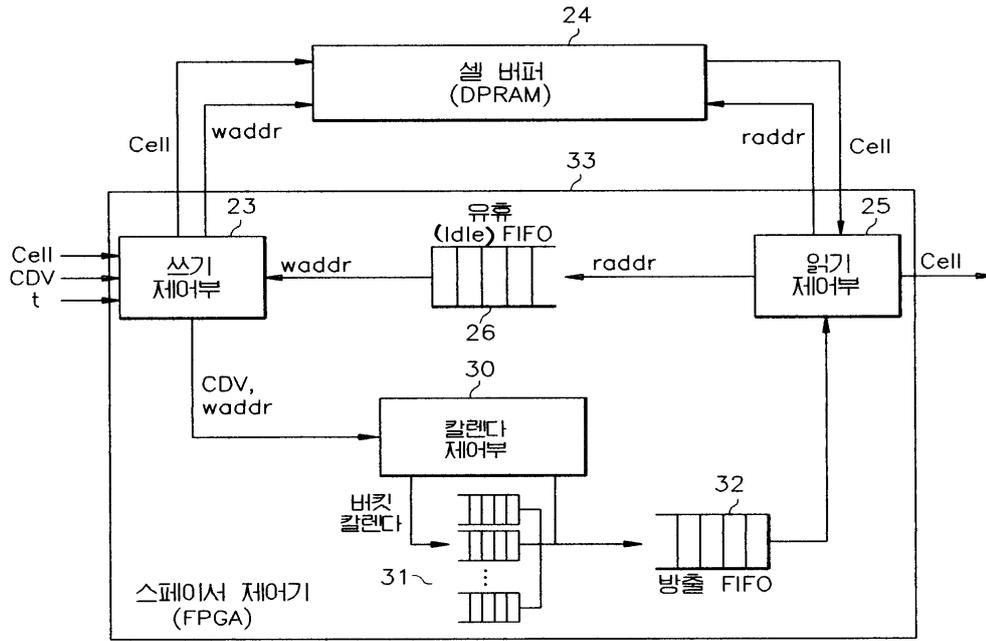
도면5



도면4



도면6



도면7

