

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4691990号
(P4691990)

(45) 発行日 平成23年6月1日(2011.6.1)

(24) 登録日 平成23年3月4日(2011.3.4)

(51) Int.Cl.		F I		
HO 1 L	27/146	(2006.01)	HO 1 L	27/14 A
HO 1 L	31/10	(2006.01)	HO 1 L	31/10 A
HO 4 N	5/369	(2011.01)	HO 4 N	5/335 690

請求項の数 6 (全 11 頁)

(21) 出願番号	特願2005-727 (P2005-727)	(73) 特許権者	000002185
(22) 出願日	平成17年1月5日(2005.1.5)		ソニー株式会社
(65) 公開番号	特開2006-190769 (P2006-190769A)		東京都港区港南1丁目7番1号
(43) 公開日	平成18年7月20日(2006.7.20)	(74) 代理人	110000925
審査請求日	平成19年8月24日(2007.8.24)		特許業務法人信友国際特許事務所
		(72) 発明者	田谷 圭司
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	阿部 秀司
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	大橋 正典
			東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板に形成したウェル領域に信号電荷を蓄積するn型の電荷蓄積領域を有する光電変換部を含む複数個の画素を2次元配列してなる固体撮像装置であって、

前記ウェル領域の表面で前記電荷蓄積領域の周囲に沿って形成され前記画素同士間を電気的に分離する素子分離膜と、

前記素子分離膜の下方で前記電荷蓄積領域の周囲を取り囲むように、前記素子分離膜より狭い幅で形成され前記画素同士間を電気的に分離する拡散層とを備え、

前記光電変換部は、前記電荷蓄積領域上に積層された正孔蓄積層を有し、

前記電荷蓄積領域および前記正孔蓄積層は、前記素子分離膜の下方に延在し、かつ前記拡散層に当接するように形成されている、

固体撮像装置。

【請求項2】

前記素子分離膜は、前記ウェル領域の表面上にパターニングされている

請求項1記載の固体撮像装置。

【請求項3】

半導体基板に形成したウェル領域に信号電荷を蓄積するn型の電荷蓄積領域を有する光電変換部を含む複数個の画素を半導体基板に2次元配列してなる固体撮像装置の製造方法であって、

前記画素同士間を電気的に分離する素子分離膜を前記ウェル領域の表面に形成する素子

10

20

分離膜形成工程と、

前記素子分離膜の下方で前記電荷蓄積領域の周囲を取り囲むようにして前記画素同士間を電氣的に分離する拡散層を形成する拡散層形成工程と、

前記ウェル領域に前記素子分離膜及び前記拡散層により互いに電氣的に分離した状態で前記光電変換部を画素毎に形成する光電変換部形成工程とを含み、

前記光電変換部形成工程は、

前記ウェル領域に対して、前記電荷蓄積領域を形成するための不純物のイオン注入と、当該電荷蓄積領域上に積層される正孔蓄積層を形成するための不純物のイオン注入とを行うイオン注入工程と、

前記イオン注入工程により前記ウェル領域に注入された不純物を熱拡散して、前記電荷蓄積領域を前記素子分離膜の下方に延在し、かつ前記拡散層に当接するように形成する熱拡散工程を含む、

固体撮像装置の製造方法。

【請求項 4】

半導体基板に形成したウェル領域に信号電荷を蓄積する n 型の電荷蓄積領域を有する光電変換部を含む複数個の画素を半導体基板に 2 次元配列してなる固体撮像装置の製造方法であって、

前記画素同士間を電氣的に分離する素子分離膜を前記ウェル領域の表面に形成する素子分離膜形成工程と、

前記素子分離膜の下方で前記電荷蓄積領域の周囲を取り囲むようにして前記画素同士間を電氣的に分離する拡散層を形成する拡散層形成工程と、

前記ウェル領域に前記素子分離膜及び前記拡散層により互いに電氣的に分離した状態で前記光電変換部を画素毎に形成する光電変換部形成工程とを含み、

前記光電変換部形成工程は、

前記ウェル領域に対して、前記光電変換部の電荷蓄積領域を形成するための不純物のイオン注入と、当該電荷蓄積領域上に積層される正孔蓄積層を形成するための不純物のイオン注入とを行う第 1 のイオン注入工程と、

前記第 1 のイオン注入工程の後に、前記素子分離膜で囲まれた前記電荷蓄積領域に対応する前記ウェル領域の表面をマスクングするマスク工程と、

前記マスクング後に、前記電荷蓄積領域の外周領域に前記第 1 のイオン注入工程時のイオンと異なる不純物のイオン注入を前記素子分離膜を通して行うことにより電荷蓄積拡張部を前記拡散層に当接するように形成する第 2 のイオン注入工程とを含む、

固体撮像装置の製造方法。

【請求項 5】

半導体基板に形成したウェル領域に信号電荷を蓄積する n 型の電荷蓄積領域を有する光電変換部を含む複数個の画素を半導体基板に 2 次元配列してなる固体撮像装置の製造方法であって、

後に形成される素子分離膜の下方で前記電荷蓄積領域の周囲を取り囲むようにして前記画素同士間を電氣的に分離する拡散層を形成する拡散層形成工程と、

前記ウェル領域に前記拡散層により互いに電氣的に分離した状態で前記光電変換部を画素毎に形成する光電変換部形成工程であって、前記ウェル領域に対して、前記電荷蓄積領域を前記拡散層に当接するように形成するための不純物のイオン注入と、当該電荷蓄積領域上に積層される正孔蓄積層を形成するための不純物のイオン注入とを行うイオン注入工程を含む光電変換部形成工程と、

前記イオン注入工程の後に、前記画素同士間を電氣的に分離する素子分離膜を前記ウェル領域の表面に形成する素子分離膜形成工程とを含む、

固体撮像装置の製造方法。

【請求項 6】

前記素子分離膜形成工程では、前記ウェル領域の表面上に素子分離膜をパターンニングする

10

20

30

40

50

請求項 3, 4, 5 の何れか 1 項に記載の固体撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、単位画素の光電変換効率を向上させる固体撮像装置及びその製造方法に関する。

【背景技術】

【0002】

従来、固体撮像装置では、単位画素の開口率を大きくしたり、マイクロレンズの集光効率を向上させることで、単位画素の光電変換効率を向上させている。

10

ところで、近年の固体撮像装置においては、ますます多画素化が進み、これに伴い、単位画素の面積が小さくなり、さらなる光電変換効率の向上が望まれている。このため、例えばフォトダイオードの場合には、PN接合のそれぞれの不純物領域の不純物濃度を高め、光電変換効率を向上させている（非特許文献1参照）。

【非特許文献1】米本和也著CQ出版社「CCD/CMOSイメージ・センサの基礎と応用」第92頁～第94頁

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、従来の固体撮像装置及びその製造方法では、光電変換素子の不純物領域の不純物濃度を過度に高くすると、白点等の欠陥画素が多発するといった問題があった。

20

【0004】

本発明は、このような事情に鑑みなされたものであり、その目的は、単位画素の光電変換効率を向上させることができる固体撮像装置及びその製造方法を提供するにある。

【課題を解決するための手段】

【0005】

上記目的を達成するため、本発明は、半導体基板に形成したウェル領域に信号電荷を蓄積するn型の電荷蓄積領域を有する光電変換部を含む複数個の画素を2次元配列してなる固体撮像装置であって、前記ウェル領域の表面で前記電荷蓄積領域の周囲に沿って形成され前記画素同士間を電氣的に分離する素子分離膜と、前記素子分離膜の下方で前記電荷蓄積領域の周囲を取り囲むように、前記素子分離膜より狭い幅で形成され前記画素同士間を電氣的に分離する拡散層とを備え、前記光電変換部は、前記電荷蓄積領域上に積層された正孔蓄積層を有している。また、前記電荷蓄積領域および前記正孔蓄積層は、前記素子分離膜の下方に延在し、かつ前記拡散層に当接するように形成されていることを特徴とする。

30

【0006】

また、本発明は、半導体基板に形成したウェル領域に信号電荷を蓄積するn型の電荷蓄積領域を有する光電変換部を含む複数個の画素を半導体基板に2次元配列してなる固体撮像装置の製造方法であって、前記画素同士間を電氣的に分離する素子分離膜を前記ウェル領域の表面に形成する素子分離膜形成工程と、前記素子分離膜の下方で前記電荷蓄積領域の周囲を取り囲むようにして前記画素同士間を電氣的に分離する拡散層を形成する拡散層形成工程と、前記ウェル領域に前記素子分離膜及び前記拡散層により互いに電氣的に分離した状態で前記光電変換部を画素毎に形成する光電変換部形成工程とを含み、前記光電変換部形成工程は、前記ウェル領域に対して、前記電荷蓄積領域を形成するための不純物のイオン注入と、当該電荷蓄積領域上に積層される正孔蓄積層を形成するための不純物のイオン注入とを行うイオン注入工程と、前記イオン注入工程により前記ウェル領域に注入された不純物を熱拡散して、前記電荷蓄積領域を前記素子分離膜の下方に延在し、かつ前記拡散層に当接するように形成する熱拡散工程を含むことを特徴とする。

40

50

【0007】

また、本発明は、半導体基板に形成したウェル領域に信号電荷を蓄積する n型の電荷蓄積領域を有する光電変換部を含む複数個の画素を半導体基板に2次元配列してなる固体撮像装置の製造方法であって、前記画素同士間を電気的に分離する素子分離膜を前記ウェル領域の表面に形成する素子分離膜形成工程と、前記素子分離膜の下方で前記電荷蓄積領域の周囲を取り囲むようにして前記画素同士間を電気的に分離する拡散層を形成する拡散層形成工程と、前記ウェル領域に前記素子分離膜及び前記拡散層により互いに電気的に分離した状態で前記光電変換部を画素毎に形成する光電変換部形成工程とを含み、前記光電変換部形成工程は、前記ウェル領域に対して、前記光電変換部の電荷蓄積領域を形成するための不純物のイオン注入と、当該電荷蓄積領域上に積層される正孔蓄積層を形成するための不純物のイオン注入とを行う第1のイオン注入工程と、前記第1イオン注入工程の後に、前記素子分離膜で囲まれた前記電荷蓄積領域に対応する前記ウェル領域の表面をマスクングするマスク工程と、前記マスクング後に、前記電荷蓄積領域の外周領域に前記第1のイオン注入時のイオンと異なる不純物のイオン注入を前記素子分離膜を通して行うことにより電荷蓄積拡散部を前記拡散層に当接するように形成する第2のイオン注入工程とを含むことを特徴とする。

10

【0008】

また、本発明は、半導体基板に形成したウェル領域に信号電荷を蓄積する n型の電荷蓄積領域を有する光電変換部を含む複数個の画素を半導体基板に2次元配列してなる固体撮像装置の製造方法であって、後に形成される素子分離膜の下方で前記電荷蓄積領域の周囲を取り囲むようにして前記画素同士間を電気的に分離する拡散層を形成する拡散層形成工程と、前記ウェル領域に前記拡散層により互いに電気的に分離した状態で前記光電変換部を画素毎に形成する光電変換部形成工程であって、前記ウェル領域に対して、前記電荷蓄積領域を前記拡散層に当接するように形成するための不純物のイオン注入と、当該電荷蓄積領域上に積層される正孔蓄積層を形成するための不純物のイオン注入とを行うイオン注入工程を含む光電変換部形成工程と、前記イオン注入工程の後に、前記画素同士間を電気的に分離する素子分離膜を前記ウェル領域の表面に形成する素子分離膜形成工程とを含むことを特徴とする。

20

30

【発明の効果】

【0009】

本発明にかかる固体撮像装置によれば、光電変換部の電荷蓄積領域を、素子分離膜の下方に延在し、かつ拡散層に当接または近接するように形成したので、画素内における光電変換部の電荷蓄積領域（面積）を増大することができ、単位画素の光電変換効率を向上させることができる。また、従来のように光電変換素子の不純物領域の不純物濃度を過度に高くする必要がないので、白点等の欠陥画素の発生を抑制できる。

【0010】

本発明にかかる固体撮像装置の製造方法によれば、光電変換部の形成工程において、イオン注入により光電変換部の電荷蓄積領域を形成した後、熱拡散により電荷蓄積領域を素子分離膜の下方に延在し、かつ拡散層に当接または近接するように形成したので、素子分離膜の下にも電荷蓄積領域を容易に形成することができ、これにより、画素内における光電変換部の電荷蓄積領域（面積）を増大することができ、単位画素の光電変換効率を向上させることができる。また、従来のように光電変換素子の不純物領域の不純物濃度を過度に高くする必要がないので、白点等の欠陥画素の発生を抑制できる。

40

【0011】

本発明にかかる固体撮像装置の製造方法によれば、光電変換部の形成工程において、第1のイオン注入により光電変換部の電荷蓄積領域を形成した後、素子分離膜で囲まれた電荷蓄積領域に対応する半導体基板の表面領域をマスクングし、この状態で、電荷蓄積領域の外周領域に第1のイオン注入時のイオンと異なる不純物のイオン注入を行うことにより

50

電荷蓄積拡張部を拡散層に当接または近接するように形成したので、素子分離膜の下にも電荷蓄積領域を容易に形成することができ、これにより、画素内における光電変換部の電荷蓄積領域（面積）を増大することができ、単位画素の光電変換効率を向上させることができる。また、従来のように光電変換素子の不純物領域の不純物濃度を過度に高くする必要がないので、白点等の欠陥画素の発生を抑制できる。

【0012】

本発明にかかる固体撮像装置の製造方法によれば、光電変換部の形成工程において、素子分離膜成形工程の前に、イオン注入により光電変換部の電荷蓄積領域を形成し、この電荷蓄積領域の形成後に素子分離膜を形成するようにしたので、素子分離膜の下にも電荷蓄積領域を容易に形成することができ、これにより、画素内における光電変換部の電荷蓄積領域（面積）を増大することができ、単位画素の光電変換効率を向上させることができる。また、従来のように光電変換素子の不純物領域の不純物濃度を過度に高くする必要がないので、白点等の欠陥画素の発生を抑制できる。

【発明を実施するための最良の形態】

【0013】

本実施の形態による固体撮像装置の特徴は、光電変換部の電荷蓄積領域を、素子分離膜の下に延在するように伸張り、かつ拡散層に当接または近接するように形成することにより、好ましくは、イオン注入により光電変換部の電荷蓄積領域を形成した後に、熱拡散により電荷蓄積領域を素子分離膜の下方に延在させ、または、第1のイオン注入により光電変換部の電荷蓄積領域を形成した後に、素子分離膜で囲まれた電荷蓄積領域に対応するウェル領域の表面をマスクングした状態で、電荷蓄積領域の外周領域に第1のイオン注入時のイオンと異なる不純物のイオン注入を行うことにより電荷蓄積拡張領域を形成し、または、素子分離膜成形工程の前に、イオン注入により光電変換部の電荷蓄積領域を形成する。

この構成により、画素内における光電変換部の電荷蓄積領域（面積）を増大することができ、単位画素の光電変換効率を向上させることが可能になる。

【実施例1】

【0014】

以下、本発明の固体撮像装置及びその製造方法について図面を参照して説明する。

図1は本実施例1にかかる固体撮像装置の製造過程を示す要部の構成図であり、図2は同じく本実施例1にかかる固体撮像装置の製造過程を示す要部の構成図である。

【0015】

実施例1にかかる固体撮像装置10は、第1導電型の半導体基板、例えばn型シリコン基板（特許請求の範囲の半導体基板に相当）11に第2導電型、例えばp型の半導体ウェル領域（特許請求の範囲のウェル領域に相当）12が形成され、このp型半導体ウェル領域12には、光電変換部となるフォトダイオードPDを含む複数個の画素20（この画素20は、フォトダイオードPDに蓄積された信号電荷を取り出すための図示省略のトランジスタを含んで構成される）が2次元配列に形成されている。また、p型半導体ウェル領域12にはその表面に臨ませて、隣合う単位画素20の間を互いに電氣的に分離する素子分離膜13が形成され、さらに、素子分離膜13の下方に位置するp型半導体ウェル領域12の箇所には電荷蓄積領域の周囲を取り囲むようにして隣合う単位画素20の間を互いに電氣的に分離するp型の拡散層14が形成されている。なお、15はp型半導体ウェル領域12の表面に形成した絶縁膜である。

【0016】

フォトダイオードPDは、p型半導体ウェル領域12と、このp型半導体ウェル領域12に形成された、信号電荷を蓄積する第1導電型のn型電荷蓄積領域17とを備えている。さらに、本実施例では、フォトダイオードPDは、n型電荷蓄積領域17の表面に形成された第2導電型のp⁺アキューミュレーション層16を備えている。このようなフォトダイオードPDはHAD（Hole Accumulation Diode：正孔蓄積ダイオード）構造のセンサを構成している。

フォトダイオードPDにおいて、 p^+ アキュムレーション層16は、界面準位による暗電流、白点の原因を抑制する働きをする。また、 p 型拡散層14は、隣合うフォトダイオードPD間の深さ方向の分離機能をも兼ねている。

【0017】

次に、固体撮像装置10の製造方法について、図1及び図2を参照して説明する。

まず、図1に示すように、 n 型シリコン基板11に p 型半導体ウェル領域12を形成する。しかる後、 p 型半導体ウェル領域12上にホトリソグラフィにより、光電変換部となるフォトダイオードPDを含む各画素20を互いに分離する分離パターンをパターンニングして、 p 型拡散層14を深さ方向に一回または複数回のイオン注入で形成する。この場合のイオン注入時のドーズ量は $1 \times 10^{12} \text{ cm}^{-2}$ 程度であり、 p 型拡散層14の幅 d_1 は、 $0.05 \mu\text{m}$ から $10 \mu\text{m}$ 程度である。このように p 型拡散層14の幅 d_1 を上記寸法に設定し、かつその加工線幅の許す限り細くして、素子分離膜13の線幅寸法 d_2 より小さくすることにより、素子分離膜13の下方で p 型拡散層14の内側である p 型半導体ウェル領域12の箇所に n 型電荷蓄積領域17の電荷蓄積面積を実質的に拡大するための拡張領域18が生じるようになっている。

【0018】

次いで、ホトリソグラフィにより、光電変換部となるフォトダイオードPDを含む各画素20の素子分離パターンを p 型半導体ウェル領域12の表面上にパターンニングして、例えば SiO_2 からなる素子分離膜13を形成する。しかる後、素子分離膜13に形成された開口13Aを通して p 型半導体ウェル領域12に、例えばドーズ量が $1 \times 10^{12} \text{ cm}^{-2}$ 程度のイオンを注入することにより、開口13Aに対応する大きさの面積を有する n 型電荷蓄積領域17を形成する。その後、 n 型電荷蓄積領域17の表面に、例えば $5 \times 10^{17} \text{ cm}^{-3}$ 以上の高濃度の p 型イオンを注入して拡散することにより、 p^+ アキュムレーション層16を形成する。

【0019】

次に、図1に示す構造の固体撮像装置10を図示省略の熱拡散装置に入れて、所定の温度、例えば 900°C の雰囲気下で所定の時間、例えば10分程度加熱することにより、 n 型電荷蓄積領域17の不純物を p 型半導体ウェル領域12中で熱拡散する。これにより、 n 型電荷蓄積領域17を、図2に示すように、フォトダイオードPDの深さ方向及びこれと直角な方向、少なくともフォトダイオードPDの深さ方向と直角な方向に拡大して、 n 型電荷蓄積領域17の外周部位が素子分離膜13の下方で p 型拡散層14に当接または近接する状態に形成する。

【0020】

上記実施例1にかかる固体撮像装置10及びその製造方法によれば、光電変換部となるフォトダイオードPDの形成工程において、イオン注入によりフォトダイオードPDの電荷蓄積領域17を形成した後、熱拡散により電荷蓄積領域17を素子分離膜13の下方に延在し、かつ拡散層14に当接または近接するように形成したので、素子分離膜13の下にも電荷蓄積領域17を容易に形成することができ、これにより、画素内における光電変換部の電荷蓄積領域(面積)を増大することができ、単位画素の光電変換効率を向上させることができる。また、従来のように光電変換素子の不純物領域の不純物濃度を過度に高くする必要がないので、白点等の欠陥画素の発生を抑制することができる。

【実施例2】

【0021】

次に、図3及び図4により本発明の実施例2にかかる固体撮像装置及びその製造方法について説明する。

図3は本実施例2にかかる固体撮像装置の製造過程を示す要部の構成図であり、図4は同じく本実施例2にかかる固体撮像装置の製造過程を示す要部の構成図である。

【0022】

実施例2にかかる固体撮像装置30は、上記実施例1に示す場合と同様に、第1導電型の半導体基板、例えば n 型シリコン基板11に第2導電型、例えば p 型の半導体ウェル領

10

20

30

40

50

域 12 が形成され、この p 型半導体ウェル領域 12 には、光電変換部となるフォトダイオード PD を含む複数個の画素 20 が 2 次元配列に形成されている。また、p 型半導体ウェル領域 12 の表面には、各隣合う単位画素 20 の間を互いに電氣的に分離する素子分離膜 13 が形成され、さらに、素子分離膜 13 の下方に位置する p 型半導体ウェル領域 12 の箇所には電荷蓄積領域の周囲を取り囲むようにして各隣合う単位画素 20 の間を互いに電氣的に分離する p 型の拡散層 14 が形成されている。なお、15 は p 型半導体ウェル領域 12 の表面に形成した絶縁膜である。

【0023】

フォトダイオード PD は、p 型半導体ウェル領域 12 と、この p 型半導体ウェル領域 12 上に形成された、信号電荷を蓄積する第 1 導電型の n 型電荷蓄積領域 17 とを備えている。本実施例では、フォトダイオード PD は、n 型電荷蓄積領域 17 の表面に形成された第 2 導電型の p⁺ アキューミュレーション層 16 を備えている。このようなフォトダイオード PD は HAD 構造のセンサを構成している。

10

フォトダイオード PD において、p⁺ アキューミュレーション層 16 は、界面準位による暗電流、白点の原因を抑制する働きをする。また、p 型拡散層 14 は、隣合うフォトダイオード PD 間の深さ方向の分離機能をも兼ねている。

【0024】

次に、固体撮像装置 30 の製造方法について、図 3 及び図 4 を参照して説明する。

まず、図 3 に示すように、上記実施例 1 に示す場合と同様にして、n 型シリコン基板 11 に p 型半導体ウェル領域 12 を形成する。しかる後、p 型半導体ウェル領域 12 にホトリソグラフィにより、光電変換部となるフォトダイオード PD を含む各画素 20 を互いに分離する分離パターンをパターニングして、p 型拡散層 14 を深さ方向に一回または複数回のイオン注入で形成する。この場合のイオン注入時のドーズ量は $1 \times 10^{12} \text{ cm}^{-2}$ 程度であり、p 型拡散層 14 の幅 d1 は、 $0.05 \mu\text{m}$ から $10 \mu\text{m}$ 程度である。このように p 型拡散層 14 の幅 d1 を上記寸法に設定し、かつその加工線幅の許す限り細くして、素子分離膜 13 の線幅寸法 d2 より小さくすることにより、素子分離膜 13 の下方で p 型拡散層 14 の内側である p 型半導体ウェル領域 12 の箇所に n 型電荷蓄積領域 17 の電荷蓄積面積を実質的に拡大するための拡張領域 18 が生じるようになっている。

20

【0025】

次いで、上記実施例 1 に示す場合と同様に、ホトリソグラフィにより、光電変換部となるフォトダイオード PD を含む各画素 20 の素子分離パターンを p 型半導体ウェル領域 12 の表面上にパターニングして、例えば SiO_2 からなる素子分離膜 13 を形成する。しかる後、素子分離膜 13 に形成された開口 13A を通して p 型半導体ウェル領域 12 に、例えばドーズ量が $1 \times 10^{12} \text{ cm}^{-2}$ 程度のイオンを注入することにより、開口 13A に対応する大きさの面積を有する n 型電荷蓄積領域 17 を形成する。その後、n 型電荷蓄積領域 17 の表面に、例えば $5 \times 10^{17} \text{ cm}^{-3}$ 以上の高濃度の p 型イオンを注入して拡散することにより、p⁺ アキューミュレーション層 16 を形成する。

30

【0026】

次に、図 4 に示すように、n 型電荷蓄積領域 17 の形成用イオン注入工程が終了した後に、素子分離膜 13 で囲まれた開口 13A に対応するフォトダイオード PD の表面領域、すなわち絶縁膜 15 の表面をレジスト膜 21 でマスクングする。その後、n 型電荷蓄積領域 17 の外周面とこれに対向する p 型拡散層 14 の内周面との間に形成された拡張領域 18 に n 型電荷蓄積領域 17 のイオン注入時のイオンと異なる不純物のイオン注入を素子分離膜 13 を通過して行う。これにより、n 型電荷蓄積領域 17 の電荷蓄積面積を実質的に拡大するための蓄積電荷拡張部 19 を、p 型拡散層 14 の内周面に当接または近接するように形成する。

40

【0027】

上記実施例 2 にかかる固体撮像装置 30 及びその製造方法によれば、光電変換部となるフォトダイオード PD の形成工程において、イオン注入によりフォトダイオード PD の電荷蓄積領域 17 を形成した後、素子分離膜 13 で囲まれた開口 13A に対応するフォトダ

50

イオードPDの表面領域をレジスト膜21でマスクングした後、n型電荷蓄積領域17の外周面と対向する拡張領域18にn型電荷蓄積領域17のイオン注入時のイオンと異なる不純物のイオン注入を行うことにより電荷蓄積拡張部19を拡散層14に当接または近接するように形成したので、素子分離膜13の下にも電荷蓄積領域17を容易に形成することができ、これにより、画素内における光電変換部の電荷蓄積領域(面積)を増大することができ、単位画素の光電変換効率を向上させることができる。また、従来のように光電変換素子の不純物領域の不純物濃度を過度に高くする必要がないので、白点等の欠陥画素の発生を抑制することができる。

【実施例3】

【0028】

次に、図5及び図6により本発明の実施例3にかかる固体撮像装置及びその製造方法について説明する。

図5は本実施例3にかかる固体撮像装置の製造過程を示す要部の構成図であり、図6は同じく本実施例3にかかる固体撮像装置の製造過程を示す要部の構成図である。

【0029】

実施例3にかかる固体撮像装置40は、上記実施例1に示す場合と同様に、第1導電型の半導体基板、例えばn型シリコン基板11に第2導電型、例えばp型の半導体ウェル領域12が形成され、このp型半導体ウェル領域12には、光電変換部となるフォトダイオードPDを含む複数個の画素20が2次元配列に形成されている。また、p型半導体ウェル領域12の表面には、各隣合う単位画素20の間を互いに電氣的に分離する素子分離膜13が形成され、さらに、素子分離膜13の下方に位置するp型半導体ウェル領域12の箇所には電荷蓄積領域の周囲を取り囲むようにして各隣合う単位画素20の間を互いに電氣的に分離するp型の拡散層14が形成されている。なお、15はp型半導体ウェル領域12の表面に形成した絶縁膜である。

【0030】

フォトダイオードPDは、p型半導体ウェル領域12と、このp型半導体ウェル領域12上に形成された、信号電荷を蓄積する第1導電型のn型電荷蓄積領域17とを備えている。さらに、本実施例では、フォトダイオードPDは、n型電荷蓄積領域17の表面に形成された第2導電型のp⁺アキューミュレーション層16を備えている。このようなフォトダイオードPDはHAD構造のセンサを構成している。

フォトダイオードPDにおいて、p⁺アキューミュレーション層16は、界面準位による暗電流、白点の原因を抑制する働きをする。また、p型拡散層14は、隣合うフォトダイオードPD間の深さ方向の分離機能をも兼ねている。

【0031】

次に、固体撮像装置40の製造方法について、図5及び図6を参照して説明する。

まず、図5に示すように、上記実施例1に示す場合と同様にして、n型シリコン基板11にp型半導体ウェル領域12を形成する。しかる後、p型半導体ウェル領域12にホトリソグラフィにより、光電変換部となるフォトダイオードPDを含む各画素20を互いに分離する分離パターンをパターンニングして、p型拡散層14を深さ方向に一回または複数回のイオン注入で形成する。この場合のイオン注入時のドーズ量は $1 \times 10^{12} \text{ cm}^{-2}$ 程度であり、p型拡散層14の幅d1は、 $0.05 \mu\text{m}$ から $10 \mu\text{m}$ 程度である。このようにp型拡散層14の幅d1を上記寸法に設定し、かつその加工線幅の許す限り細くして、素子分離膜13の線幅寸法d2より小さくすることにより、素子分離膜13の下方でp型拡散層14の内側であるp型半導体ウェル領域12の箇所にn型電荷蓄積領域17の電荷蓄積面積を実質的に拡大するための拡張領域18が生じるようになっている。

【0032】

次に、p型拡散層14に囲まれた素子分離膜13が形成される前のp型半導体ウェル領域12の表面に、例えばドーズ量が $1 \times 10^{12} \text{ cm}^{-2}$ 程度のイオンを注入することにより、p型拡散層14の内周面に当接または近接する大きさの面積を有するn型電荷蓄積領域17を形成する。その後、n型電荷蓄積領域17の表面に、例えば $5 \times 10^{17} \text{ cm}$

10

20

30

40

50

・³以上の高濃度のp型イオンを注入して拡散することにより、p⁺アキュムレーション層16を形成する。

【0033】

次いで、ホトリソグラフィにより、光電変換部となるフォトダイオードPDを含む各画素20の素子分離パターンをp型半導体ウェル領域12の表面上にパターンニングして、p型半導体ウェル領域12に、例えばSiO₂からなる素子分離膜13を形成する。

【0034】

上記実施例3にかかる固体撮像装置40及びその製造方法によれば、光電変換部となるフォトダイオードPDの形成工程において、素子分離膜13が形成される前に、イオン注入によりp型拡散層14の内周面に当接または近接する大きさの面積を有するn型電荷蓄積領域17を形成し、この電荷蓄積領域17の形成後に素子分離膜13を形成するようにしたので、素子分離膜13の下にも電荷蓄積領域17を容易に形成することができ、これにより、画素内における光電変換部の電荷蓄積領域(面積)を増大することができ、単位画素の光電変換効率を向上させることができる。また、従来のように光電変換素子の不純物領域の不純物濃度を過度に高くする必要がないので、白点等の欠陥画素の発生を抑制することができる。

10

【0035】

なお、上記の実施例1~3では、フォトダイオードPDを、n型電荷蓄積領域17上にp⁺アキュムレーション層16を積層したHAD(Hole Accumulation Diode)構造のセンサとして構成した場合について説明したが、本発明はこれに限らず、p⁺アキュムレーション層16を省いた構造のフォトダイオードPDなどであってもよい。

20

【図面の簡単な説明】

【0036】

【図1】本発明の実施例1にかかる固体撮像装置の製造過程を示す要部の構成図である。

【図2】本発明の実施例1にかかる固体撮像装置の製造過程を示す要部の構成図である。

【図3】本発明の実施例2にかかる固体撮像装置の製造過程を示す要部の構成図である。

【図4】本発明の実施例2にかかる固体撮像装置の製造過程を示す要部の構成図である。

【図5】本発明の実施例3にかかる固体撮像装置の製造過程を示す要部の構成図である。

【図6】本発明の実施例3にかかる固体撮像装置の製造過程を示す要部の構成図である。

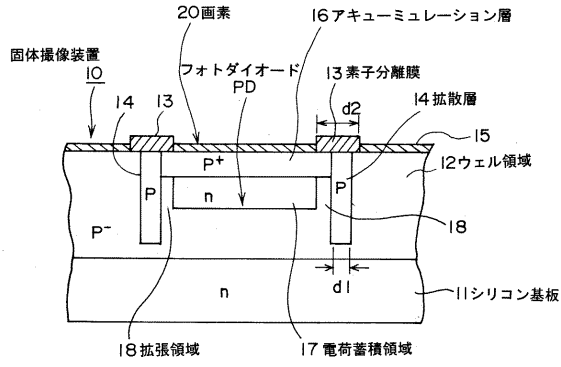
【符号の説明】

30

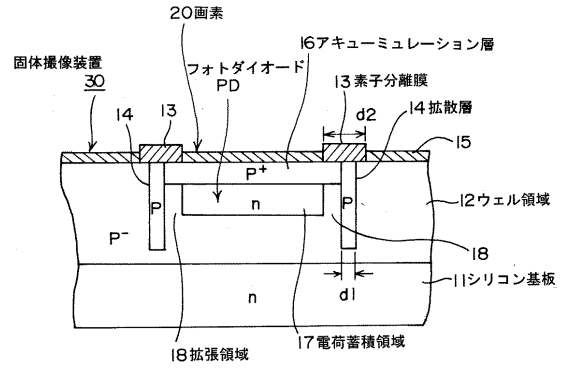
【0037】

10, 30, 40.....固体撮像装置、11.....n型シリコン基板、12.....p型半導体ウェル領域、13.....素子分離膜、14.....p型の拡散層、15.....絶縁膜、16.....p⁺アキュムレーション層、17.....n型電荷蓄積領域、18.....拡張領域、19.....蓄積電荷拡張部、20.....画素、21.....レジスト膜。

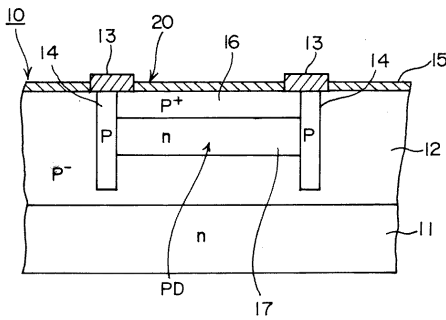
【図1】



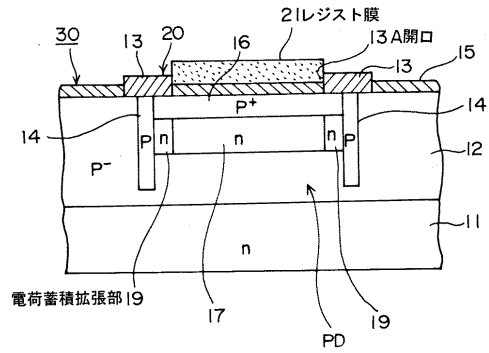
【図3】



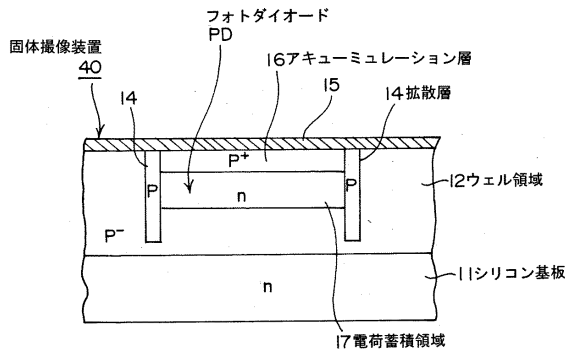
【図2】



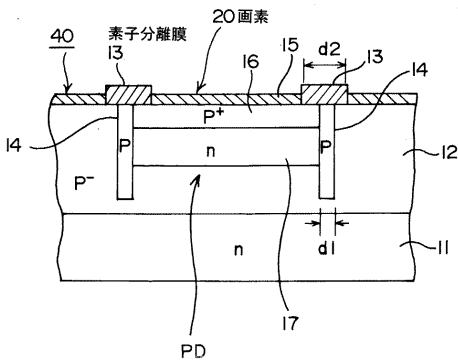
【図4】



【図5】



【図6】



フロントページの続き

- (72)発明者 正垣 敦
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 山本 敦彦
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 古川 雅一
神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内

審査官 栗野 正明

- (56)参考文献 特開昭59-208870(JP,A)
特開平11-186533(JP,A)
特開2003-299453(JP,A)
特開2004-165462(JP,A)
特開平11-004374(JP,A)
特開2004-266159(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146
H01L 27/148
H01L 31/10
H04N 5/369