



(12) 发明专利申请

(10) 申请公布号 CN 117560928 A

(43) 申请公布日 2024. 02. 13

(21) 申请号 202310711790.3

H10B 43/27 (2023.01)

(22) 申请日 2023.06.15

H10B 43/30 (2023.01)

H10B 43/40 (2023.01)

(30) 优先权数据

2205853 2022.06.16 FR

18/330,287 2023.06.06 US

(71) 申请人 意法半导体(克洛尔2)公司

地址 法国克洛尔

(72) 发明人 R·贝特隆 O·韦伯

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 成城

(51) Int. Cl.

H10B 41/27 (2023.01)

H10B 41/30 (2023.01)

H10B 41/42 (2023.01)

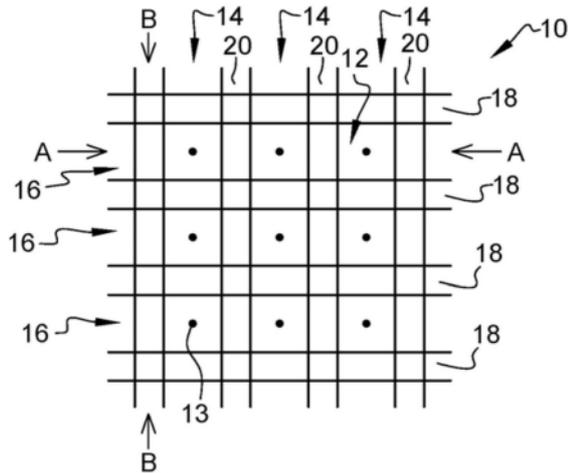
权利要求书3页 说明书11页 附图7页

(54) 发明名称

电子器件制造方法

(57) 摘要

本公开涉及电子器件制造方法。本说明书涉及一种制造器件的方法,所述器件包括其中形成有存储器单元阵列的第一部分和其中形成有晶体管的第二部分,所述方法包括:a形成将同一单元行的衬底区域彼此分隔的第一绝缘沟槽,以及b形成将同一单元列的区域彼此分隔的第二沟槽,所述第二沟槽的高度大于所述第一沟槽的高度,步骤a包括每个第一沟槽的下部和上部的独立形成,上部的形成包括第一绝缘层的沉积,第一绝缘层的不位于上部的部分的蚀刻。



1. 一种制造器件的方法,包括:

在所述器件的第一部分中以及在衬底的第一表面上形成包括多个行和多个列的存储器单元阵列;

在所述器件的第二部分中形成多个晶体管;

形成第一多个沟槽,所述第一多个沟槽分隔所述多个行中的每一行的第一多个衬底区域,所述第一多个沟槽具有进入所述衬底的第一深度,所述第一多个沟槽的形成包括:

形成每个第一沟槽的第一部分,每个第一沟槽的第一部分横向于所述衬底的第一表面并且延伸穿过所述衬底的第一表面;以及

形成每个第一沟槽的第二部分,与每个第一沟槽的第一部分接触,形成每个第一沟槽的第二部分包括形成第一绝缘层并且蚀刻所述第一绝缘层的多个部分;

形成第二多个沟槽,所述第二多个沟槽分隔所述多个列中的每个列的第二多个衬底区域,所述第二沟槽具有进入所述衬底的大于所述第一深度的第二深度。

2. 根据权利要求1所述的方法,其中所述衬底是所述器件的所述第二部分中的绝缘体上衬底类型的。

3. 根据权利要求1所述的方法,包括:

在所述器件的所述第一部分中去除所述衬底的上半导体层,其中所述衬底是半导体上衬底类型的,并且所述上半导体层具有第一厚度;以及

使所述衬底的绝缘中间层膨胀到至少等于所述衬底的上半导体层的第一厚度的厚度,所述中间层包括第一绝缘材料。

4. 根据权利要求3所述的方法,其中所述方法包括:在所述器件的第一部分和第二部分上形成第一绝缘层。

5. 根据权利要求4所述的方法,其中形成每个第一沟槽的所述第二部分包括:在所述第一绝缘层中形成第一多个开口,并且形成每个第一沟槽的所述第一部分包括:

穿过所述第一多个开口蚀刻所述中间层;以及

去除所述器件的所述第二部分中的所述第一层的所述部分,所述第一绝缘层包括第二绝缘材料。

6. 根据权利要求4所述的方法,包括:去除所述器件的所述第一部分上的所述第一绝缘层的第一多个部分,以及去除所述中间层的和所述第一多个沟槽上的所述第一绝缘层的第二多个部分,所述第一绝缘层包括所述第一绝缘材料。

7. 根据权利要求5所述的方法,包括:膨胀绝缘体上半导体型的所述衬底的下层。

8. 根据权利要求7所述的方法,其中所述方法包括:在所述器件的第一部分和第二部分上形成包括所述第一材料的第二层和包括所述第二材料的第三层的堆叠。

9. 根据权利要求8所述的方法,其中第一材料是氧化硅,第二材料是氮化硅。

10. 根据权利要求8所述的方法,其中形成所述第二多个沟槽包括:

在所述第二沟槽上方的所述堆叠的所述第三层中形成第二多个开口;

形成穿过所述第二多个开口的多个腔体;以及

在所述器件的第一部分和第二部分上形成包括所述第一材料的第四层并且填充所述多个腔体。

11. 根据权利要求10所述的方法,包括:

通过化学机械抛光去除所述堆叠的所述第三层上的所述第四层的多个部分;以及去除所述第三层。

12. 根据权利要求11所述的方法,包括:掺杂所述衬底。

13. 根据权利要求1所述的方法,包括:在所述第一沟槽中的每个第一沟槽的多个第二部分上沉积多个硅条。

14. 一种器件,包括:

衬底,具有第一表面;

第一部分,包括所述衬底的所述第一表面上的存储单元阵列,所述存储器单元阵列包括多个行和多个列;

第二部分,包括多个晶体管;

第一多个绝缘沟槽,分隔所述存储器单元的多个行中的每一行的第一多个衬底区域,所述第一多个绝缘沟槽具有第一厚度,以及

第二多个沟槽,分隔所述存储器单元的多个列中的每一列的第二多个衬底区域,所述第二多个沟槽具有大于所述第一多个沟槽的所述第一厚度的第二厚度,其中所述第一沟槽和所述第二沟槽的上表面分由短于10nm的距离分隔。

15. 根据权利要求15所述的器件,其中所述第一多个沟槽中的每一沟槽包括:

第一部分,横向于所述衬底的所述第一表面并且延伸穿过所述衬底的所述第一表面,所述第一部分包括第一材料;以及

第二部分,耦合到所述第一多个沟槽中的每一沟槽的所述第一部分,所述第二部分包括不同于所述第一材料的第二材料。

16. 一种器件,包括:

衬底,具有与第二表面相对的第一表面;

第一多个沟槽,在所述衬底中,所述第一多个沟槽沿横向于所述衬底的所述第一表面的第一方向延伸,所述第一多个沟槽中的每一沟槽包括:

包括第一绝缘材料的第一部分,所述第一部分具有与所述衬底的第一表面共面的第一表面并且沿所述第一方向延伸第一距离到所述衬底中;

第二,具有耦合到每个第一部分的第一表面的第一表面并且沿所述第一方向远离所述衬底延伸,每个第二部分的第一表面与每个第二部分的第二表面相对;以及

第一金属层,耦合到每个第二部分的第二表面;

第二多个沟槽,在所述衬底中,所述第二多个沟槽沿横向于所述衬底的所述第一表面的所述第一方向延伸,所述第二多个沟槽中的每一沟槽具有所述衬底中的第一表面和延伸出所述衬底的与所述第一表面相对的第二表面,所述第二多个沟槽中的每一沟槽包括第二绝缘材料;以及

第二金属层,耦合到所述第二多个沟槽中的每一沟槽的所述第二表面。

17. 根据权利要求16所述的器件,其中所述衬底包括:

第一导电类型的第一掺杂区;

第二导电类型的第二掺杂区,所述第二掺杂区完全覆盖所述第一掺杂区;以及

在所述第二掺杂区上的第三掺杂区,所述第三掺杂区具有第三导电类型。

18. 根据权利要求16所述的器件,包括所述衬底上的存储器单元阵列。

19. 根据权利要求18所述的器件,其中所述存储器单元阵列包括多个行和多个列,所述多个列由所述第一多个沟槽分隔并且所述多个行由所述第二多个沟槽分隔。

20. 根据权利要求16所述的器件,其中所述第二多个沟槽由多个绝缘区域分隔,所述多个绝缘区域包括所述第一绝缘材料。

电子器件制造方法

[0001] 相关申请的穿过引用

[0002] 本申请要求于2022年6月6日提交的,名称为“procédé fabrication de dispositifs électroniques”的法国专利申请No. Fr 2205853的优先权,该专利申请在此以法律允许的最大范围作为参考被并入。

技术领域

[0003] 本发明大体上涉及制造电子器件的方法,且更特定来说涉及包括存储器单元的器件。

背景技术

[0004] 包括存储器的电子器件例如包括存储器单元阵列。存储器单元阵列包括存储器单元的行和列,同一行的单元由位线耦合且同一列的单元由字线耦合。

发明内容

[0005] 实施例克服了已知电子器件制造方法的全部或部分缺点。

[0006] 实施例提供一种制造器件的方法,所述器件包括其中形成有存储器单元阵列的第一部分和其中形成有晶体管的第二部分,每一存储器单元位于衬底区域上,所述方法包括以下步骤:

[0007] 形成将同一单元行的衬底区域彼此分隔的第一绝缘沟槽,以及

[0008] 形成将同一单元列的衬底区域彼此分隔的第二沟槽,所述第二沟槽具有大于所述第一沟槽的高度的高度,

[0009] 步骤a.包括以下步骤:

[0010] a1.每个第一沟槽的下部的形成,以及

[0011] a2.每个第一沟槽的上部的形成,

[0012] 上部的形成包括第一绝缘层的沉积和第一绝缘层的不位于上部上的部分的蚀刻。

[0013] 根据实施例,衬底是器件的第二部分中的绝缘体上衬底类型。

[0014] 根据一个实施例,该方法在步骤a和b之前包括步骤c。在第一部分中,沿着至少等于衬底的上半导体层的高度的高度去除半导体上衬底类型的衬底的上半导体层和生长半导体上衬底类型的衬底的中间绝缘层的绝缘材料,中间层由第一绝缘材料制成。

[0015] 根据一个实施例,该方法在步骤a和b之前并且在步骤c.之后包括步骤d。在第一和第二部分上形成第一层。

[0016] 根据一个实施方案,步骤a2.包括在所述区域的位置前面的第一层中形成第一开口。以及步骤a1包括通过第一开口蚀刻中间层。步骤a2在步骤a1之后包括去除位于该第二部分中的该第一层的这些部分,该第一层是由一种第二绝缘材料制成的。

[0017] 根据一个实施方案,步骤a2.包括去除位于第一部分外部的第一层的部分以及去除位于第一沟槽位置处的中间层和第一层的部分,第一层由第一绝缘材料制成。

[0018] 根据一个实施例,该方法包括,在步骤a之后,以及在步骤b之前的步骤e。在所述区域的位置生长绝缘体上半导体型衬底的下层。

[0019] 根据一个实施例,该方法在步骤e之后包括步骤f。在所述第一和第二部分上形成包括由所述第一材料制成的第二层和由所述第二材料制成的第三层的叠层。

[0020] 根据实施例,第一和第二材料可相对于彼此选择性地蚀刻。

[0021] 根据一个实施例,第一材料是氧化硅,第二材料是氮化硅。

[0022] 根据一个实施方案,在步骤f之后,步骤b包括在第二沟槽的位置前面的堆叠的第三层中形成第二开口,形成穿过第二开口的腔体,以及在第一和第二部分上形成由足够厚以填充腔体的第一材料制成的第四层。

[0023] 根据一个实施例,该方法在步骤b之后的步骤g和步骤h。步骤g通过化学机械抛光去除位于叠层第三层上方的第四层部分。步骤h,去除第三层。

[0024] 根据一个实施例,该方法在步骤h之后包括掺杂衬底的步骤。

[0025] 根据实施例,该方法包括在第一沟槽的上部上沉积硅条。

[0026] 另一实施例提供一种器件,其包括具有布置于其中的存储器单元阵列的第一部分和具有布置于其中的晶体管的第二部分,每一存储器单元位于衬底的区域上,所述器件包括将同一单元行的衬底区域彼此分隔的第一绝缘沟槽和将同一单元列的衬底区域彼此分隔的第二沟槽,所述第二沟槽具有大于所述第一沟槽的高度的高度,其中所述第一和第二沟槽的上表面分隔短于10nm的距离。

[0027] 另一实施例提供一种器件,其包括其中布置有存储器单元阵列的第一部分和其中布置有晶体管的第二部分,每一存储器单元位于衬底的区域上,所述器件包括将同一单元行的衬底区域彼此分隔的第一绝缘沟槽和将同一单元列的衬底区域彼此分隔的第二沟槽,所述第二沟槽具有大于所述第一沟槽的高度的高度,其中每一第一沟槽包括由第一材料制成的下部和由不同于所述第一材料的第二材料制成的下部,其中所述第二沟槽不包括所述第二材料。

附图说明

[0028] 前述特征和优点以及其它特征和优点将参照附图在以说明而非限制的方式给出的具体实施例的公开的其余部分中详细描述,其中:

[0029] 图1示意性地示出了存储器单元阵列的顶视图;

[0030] 图2A示出了图1的器件沿字线方向的截面图;

[0031] 图2B示出了图1的器件在位线方向上的截面图;

[0032] 图3A、图3B、图3C、图3D、图3E、图3F、图3G、图3H示出了电子器件制造方法的优选连续的步骤;以及

[0033] 图4A、图4B、图4C、图4D、图4E、图4F、图4G、图4H示出了另一种电子器件制造方法的优选连续的步骤。

具体实施方式

[0034] 在各个附图中,相同的特征由相同的附图标记表示。特别地,在各个实施例中共同的结构和/或功能特征可以具有相同的附图标记并且可以设置相同的结构,尺寸和材料特

性。

[0035] 为了清楚起见,仅示出和详细描述了对理解本文所述的实施例有用的步骤和元件。

[0036] 除非另有说明,当提及连接在一起的两个元件时,这表示除了导体之外没有任何中间元件的直接连接,并且当提及连接在一起的两个元件时,这表示这两个元件可以被连接或者它们可以经由一个或多个其它元件被耦合。

[0037] 在以下公开内容中,当提及绝对位置限定词时,例如术语“前”,“后”,“顶”,“底”,“左”,“右”等,或提及相对位置限定词时,例如术语“上”,“下”,“上”,“下”等,或提及取向限定词时,例如“水平”,“竖直”等,除非另有说明,否则提及附图的取向。

[0038] 除非另有说明,表述“约”,“大约”,“基本上”和“以…量级”表示在10%以内,优选在5%以内。

[0039] 图1示意性地示出了包括存储器单元12的阵列10的电子器件的顶视图。

[0040] 在图1中未示出的同一衬底上形成单元12。每个存储器单元例如包括位于衬底上的通孔13并具有位于其上的剩余单元。存储器单元例如是相变存储器单元。因此,每个单元包括相变材料层(未示出)。所述层例如位于两个金属层(未示出)之间,下层例如位于电池的通孔13上。

[0041] 阵列10包括多个存储器单元12的列14和多个存储器单元12的行16。图1中仅示出了三行和三列。

[0042] 存储器单元的不同行16通过浅绝缘沟槽(浅沟槽绝缘—STI)18彼此分隔。因此,存储器单元的每一行16通过沟槽18与每一邻近行16分隔。

[0043] 存储器单元的不同列14通过超浅绝缘沟槽(超浅沟槽绝缘—SSTI)20彼此分隔。因此,存储器单元的每一列14通过沟槽20与每一邻近列14分隔。

[0044] 换句话说,行16和沟槽18在例如位线方向的相同方向上延伸,且因此大体上彼此平行。类似地,列14和沟槽20在相同方向上延伸,例如字线的方向,且因此大体上彼此平行。沟槽18延伸的方向和沟槽20延伸的方向基本上正交。在顶视图中,即在图1的平面中,沟槽18延伸的方向和沟槽20延伸的方向基本上垂直。

[0045] 该器件例如包括具有各种电子元件的芯片。存储器阵列10例如位于芯片上。例如,其上布置有阵列10的芯片包括衬底,位于衬底的一个区域上的阵列,以及位于衬底的另一区域中的部件,例如逻辑部件。这些元件例如包括作为多数的晶体管。位于阵列周围的晶体管和可能的其它部件包括例如晶体管栅极中的多晶硅。在芯片的制造过程中,确保多晶硅的密度不会太不均匀是有用的。为此,例如将图1中未示出的多晶硅线放置在存储器阵列中。例如,多晶硅线例如位于每个沟槽20上。优选地,多晶硅线不用于除了多晶硅密度均匀化之外的其它功能的器件中。优选地,多晶硅线没有电耦合到除其自身之外的电子元件。

[0046] 图2A展示图1的器件在字线方向上的横截面图。图2B示出了图1的器件在位线方向上的截面图。更确切地,图2A示出了图1的器件在图1的平面A—A中的截面图,并且图2B示出了图1的器件在图1的平面B—B中的截面图。

[0047] 该器件包括衬底22。衬底22是例如由硅制成的半导体衬底。衬底22例如包括第一导电类型(例如P型掺杂)的下掺杂区22a。衬底22例如包括第二导电类型(例如P型掺杂)的中间掺杂区22b。区域22b优选地完全覆盖区域22a。

[0048] 衬底22包括上部区域22c。每个存储器单元位于优选为单个的区域22c上。区域22c因此形成对应于存储器单元阵列的阵列。因此,区域22c的阵列包括在与存储器单元阵列的行相同的方向上延伸的行和在与存储器单元阵列的列相同的方向上延伸的列。因此,区域22c的阵列包括在存储器单元阵列的行之之前延伸的行和在存储器单元阵列的列之前延伸的列。具有位于其上的区域22c的阵列的区域22c例如掺杂有第一导电类型。例如,某些区域22c,例如其上没有存储器单元的区域,掺杂有第二导电类型并与通孔接触,以将电压传送到区域22b。

[0049] 区域22c的阵列的同一行的区域22c通过沟槽20彼此分隔。沟槽20从区域22c的上表面,特别是从相邻区域22c的上表面延伸到区域22b。沟槽20至少沿区域22c的整个高度延伸。沟槽20例如沿着区域22b的部分高度延伸。

[0050] 区域22c的阵列的相同列的区域22c通过沟槽18彼此分隔。沟槽18从区域22c的上表面,特别是从相邻区域22c的上表面延伸到区域22a。沟槽18至少沿区域22b和22c的整个高度延伸。沟槽18例如沿着区域22a的部分高度延伸。

[0051] 区域22c优选各自覆盖有金属层24。层24优选地仅覆盖区域22c的上表面。通孔13各自位于层24上。因此,通孔13通过层24电耦合到区域22c。因此,电流可以经由对应于每个存储器单元的区域22c和层24传递到每个存储器单元,特别是传递到每个存储器单元的通孔13。

[0052] 该器件还包括金属条带26。条带26例如由氮化钛制成。条带26位于每个沟槽20上。条带26优选地在沟槽20的方向上沿阵列的整个长度延伸。因此,条带26例如沿沟槽20的整个长度延伸。

[0053] 条带26的宽度小于沟槽20的宽度。条带26的宽度是指条带26在从沟槽20的侧壁到另一侧壁的方向上,即在字线的方向上的尺寸。

[0054] 每个条带26覆盖有多晶硅层28。每个条带26优选地完全被层28覆盖。因此,条带26完全掩埋在沟槽20和层28之间。层28能够使器件中的多晶硅密度均匀化。换句话说,层28能够确存储器阵列和包括晶体管的区域之间的多晶硅密度差不会太高而不允许器件的制造。

[0055] 每层28覆盖有例如由氮化硅制成的电绝缘层30。层30例如覆盖有例如由氧化硅制成的电绝缘层32。通孔13例如被绝缘层30和32完全横向包围。

[0056] 在已知的制造方法中,制造沟槽18和20的步骤导致形成具有非共面上表面的沟槽18和20。因此,沉积在沟槽20上的条带26不是平面的。每个条带26例如包括位于下平面中的部分26a和位于上平面中的部分26b。下平面和上平面之间的距离D1例如在10nm至30nm的范围内。部分26a例如与区域22c相邻,部分26b例如与沟槽18相邻。因此,区域22c通过其上具有部分26a的沟槽部分20而彼此分隔。

[0057] 如图2A所示,部分26a靠近区域22c和层24。例如,具有位于其中的部分26a的下平面例如在层24的平面中或在下平面中,即在包括区域22c的平面中。因此,条带26与区域22c和层24之间的干涉风险是显著的。实际上,位于条带26和相邻区域22c或相邻层24之间的绝缘材料的每个部分之间的距离具有足够低的风险,以允许通过条带26在相邻区域22c或相邻区域24之间形成电流。于是将干扰存储器单元的读取和编程。

[0058] 图3A、图3B、图3C、图3D、图3E、图3F、图3G、图3H示出了制造包括存储器单元的电子

器件的方法的优选连续的步骤。图3A至3H包括：

[0059] 第一部分,示出了包括在绝缘体上半导体(SOI)型衬底的一部分上形成的部件(例如逻辑部件)的器件的SOI部分中的台阶；

[0060] 第二部分,示出了器件的固体部分(体)BK中的台阶,包括形成在衬底的固体衬底部分上的部件,例如逻辑部件；

[0061] 在横截面平面A—A(即,图2A的平面)中展示包括存储器阵列的器件的部分A—A的第三部分A—A;以及

[0062] 第四部分B—B在横截面平面B—B(即,图2B的平面)中展示包括存储器阵列的器件的部分B—B。第一,第二和第三部分位于同一衬底上。

[0063] 在产生图3A的结构步骤期间,在绝缘体上半导体(SOI)类型的衬底36的部分上形成蚀刻掩模34。衬底36包括例如由硅制成的下半导体层38,例如由氧化硅制成的绝缘层40,覆盖层38和例如由硅制成的上半导体层42。掩模34例如由氮化硅制成。氧化硅层44例如在形成掩模34之前形成在层42上。掩模34因此例如通过层44与层42分隔。

[0064] 掩模34形成为在衬底的对应于图3A的部分BK和A—A,B—B的部分的水平处具有开口。

[0065] 然后穿过掩模34中的开口蚀刻层42和44。因此,层42和44从衬底的对应于图3A的部分BK和A—A,B—B的部分去除。

[0066] 然后层40经历生长步骤。在该步骤期间,衬底的对应于图3A的部分BK,A—A,B—B的部分中的层40生长以达到SOI部分的层44的上表面水平处的上水平,例如达到层34的上表面水平。在图3A的示例中,SOI部分中的层34的上表面和BK,A—A,B—B部分中的层40的上表面是共面的。

[0067] 在产生图3B的结构步骤期间,去除掩模34。在该结构上,即在层40上,在部分BK,A—A,B—B中,以及在部分SOI中的层44上,形成能够在层40的材料上选择性蚀刻的材料层46。通过选择性蚀刻,意味着存在一种蚀刻方法,利用该方法,层46的材料被蚀刻得比层40的材料快至少两倍。层46例如由氮化硅制成。优选地,层40和46的材料可相对于彼此选择性地蚀刻。

[0068] 在由图3C的结构产生的步骤期间,在层46中形成开口,使得层46形成蚀刻掩模。

[0069] 特别地,开口形成在部分BK(即,形成固体基板的基板部分)的前面,以及部分A—A,B—B的区域22c的前面。

[0070] 然后穿过开口蚀刻层40。因此,从部分BK和区域22c的位置去除层40。

[0071] 在产生图3D的结构步骤期间,层38经历生长步骤。更精确地,在图3C的步骤期间暴露的层38的部分经历生长步骤。因此,层38在部分BK中且在区域22c的位置处延伸到在图3C的步骤期间形成的开口中。优选地,层38在部分BK中并且在区域22c的位置处延伸到在层42的上表面的水平处的上部水平。例如,层38在部分BK中和在区域22c的位置处延伸到部分A—A,B—B中的层40的上表面的水平。层38在部分BK中和在区域22c的位置处的上表面例如与层40在部分A—A,B—B中的上表面共面。

[0072] 然后去除位于部分SOI中的层46的部分。因此,在图3C和3D的步骤结束时,接着完全去除层46,除了位于部分A—A,B—B的层40的部分上的部分,其对应于位于存储器阵列中的沟槽20。这因此对应于升高部分A—A,B—B的层40的部分的步骤,所述部分A—A,B—B对

应于位于存储器阵列中的沟槽20。因此,每个沟槽20包括由层40的一部分形成的下部和由层46的一部分形成的上部。

[0073] 在产生图3E的结构步骤期间,在由图3D的步骤产生的结构上形成绝缘层48和绝缘层50的堆叠。

[0074] 层48共形地形成在该结构上。因此,层48优选完全覆盖部分SOI的层44。更精确地说,层48因此优选地完全覆盖部分SOI的层44的上表面。层48优选完全覆盖部分BK的层38。更精确地说,层48优选完全覆盖部分BK的层38的上表面。层48优选完全覆盖部分A—A,B—B的层46和层38的部分。更精确地说,层48优选地完全覆盖部分A—A,B—B的层38的上表面,部分A—A,B—B的层38的上表面,以及部分A—A,B—B的层46的部分的上表面和侧表面。

[0075] 层50优选完全覆盖层48。未通过图3D的步骤的蚀刻去除的层46的部分,即位于形成沟槽20的层40的部分上的层46的部分,通过层48与层50分隔。

[0076] 优选地,层48由与层40相同的材料制成。层48例如由氧化硅制成。

[0077] 层50例如由与层46相同的材料制成。层50例如由氮化硅制成。层50由可在层48的材料上选择性蚀刻的材料制成。

[0078] 层50的厚度使得层50上表面最靠近层38的部分的水平面或平面通过层48上表面最远离层38的部分的水平面与层38分隔。换句话说,层50的上表面最靠近层38的部分的水平面仅被层50的部分覆盖。

[0079] 在产生图3F的结构步骤期间,在浅沟槽(STI)的位置前方的层50中形成开口,从而形成蚀刻掩模。浅沟槽可以形成在部分SOI,BK和A—A,B—B中。具体地,在部分A—A,B—B中,即,在其中形成有存储器阵列的芯片的部分中,浅沟槽包括图2A和图2B的沟槽18。浅沟槽例如全部都具有基本相同的深度。然后通过层50中的所述开口执行蚀刻步骤以在沟槽18的位置处形成腔体。

[0080] 在SOI部分中,通过层50中的开口蚀刻位于浅沟槽位置处的层38,40,42,44和48的部分。因此,层40,42,44和48优选地完全由通过蚀刻形成的腔体穿过(crossed)。层38优选部分地由通过蚀刻形成的腔体穿过。

[0081] 在部分BK中,通过层50中的开口蚀刻位于浅沟槽位置处的层38和48的部分。因此,层48优选地完全由通过蚀刻形成的腔体穿过。层38优选部分地由通过蚀刻形成的腔体穿过。

[0082] 在部分A—A,B—B中,即,在其中形成有存储器阵列的部分中,通过层50中的开口蚀刻位于浅沟槽18的位置处的层38,40,46和48的部分。因此,层40,46和48优选地完全由通过蚀刻形成的腔体穿过。层38优选部分地由通过蚀刻形成的腔体穿过。

[0083] 在该结构上形成层52。层52的厚度使得层52填充在浅沟槽的位置处形成的腔体并且优选地完全覆盖层50。

[0084] 层52由电绝缘材料例如氧化硅制成。优选地,层52由与层48相同的材料制成。优选地,层52由与层40相同的材料制成。

[0085] 在产生图3G的结构步骤期间,该结构经历抛光步骤,例如通过化学机械抛光步骤。执行抛光方法以优选地完全暴露层50。

[0086] 在部分SOI中,位于层50的上表面的水平之上的层52的部分例如被去除。部分SOI中的器件的上表面因此是平面的,并且包括被层52的上表面横向包围的层50的上表面。

[0087] 在部分BK中,位于层50的上表面的水平面上方的层52的部分例如被去除。部分BK中的器件的上表面因此是平面的,并且包括以层52的上表面横向包围的层50的上表面。

[0088] 在部分A—A,B—B中,层50和52被抛光以去除位于层50上方的层52的所有材料。因此,层50和52一直被去除到层50最靠近层38的部分的水平。

[0089] 然后通过层48的材料和层52的材料上选择性蚀刻层50的材料的方法去除层50的部分。因此,浅沟槽的上表面的平面与层48的上表面的平面分隔基本上对应于层50的厚度的高度。

[0090] 在产生图3H的结构步骤期间,可执行各种电子组件制造步骤。特别地,执行半导体材料掺杂步骤。SOI部分的层42和BK部分的层38例如被掺杂以形成电子部件,特别是晶体管。类似地,部分A—A,B—B的层38被掺杂以形成区域22a,22b和22c。

[0091] 掺杂步骤例如包括形成和去除掩模,例如光刻掩模。这些步骤导致层48的材料和浅沟槽的部分去除。因此,在这些步骤中去除层48。优选地,层48的厚度使得层48被完全去除。位于沟槽20上的层46的部分未被去除。此外,浅沟槽,特别是存储器阵列的沟槽18的高度通过形成和去除掩模的步骤而减小。

[0092] 然后在位于层40的部分上的层46的部分上形成条带26。然后在该结构上形成由多晶硅制成的层28(图3H中未示出)。

[0093] 层46的部分的存在和保持能够减小部分26a和26b之间的距离。因此,下平面和上平面,即部分26a和26b,分隔了比距离D1短的距离D2。换句话说,沟槽18和20的上表面分隔距离D2。距离D2例如短于10nm。此外,部分26a与区域22c更强势(strongly)地分隔,这能够避免电流泄漏。

[0094] 然后在区域22c上形成存储器单元。特别地,然后在区域22c上形成通孔13。

[0095] 图4A、图4B、图4C、图4D、图4E、图4F、图4G、图4H示出了另一种电子器件制造方法的优选连续步骤。

[0096] 在产生图4A的结构步骤期间,如在产生图3A的结构步骤期间,在绝缘体上半导体(SOI)型的衬底36上形成蚀刻掩模34。衬底36包括例如由硅制成的下半导体层38,例如由氧化硅制成的绝缘层40,覆盖层38和例如由硅制成的上半导体层42。掩模34例如由氮化硅制成。氧化硅层44例如在形成掩模34之前形成在层42上。掩模34因此例如通过层44与层42分隔。

[0097] 掩模34形成为在对应于图3A的部分BK,A—A,B—B的衬底部分的水平处具有开口。

[0098] 然后穿过掩模34中的开口蚀刻层42和44。因此,从与图3A的部分BK,A—A,B—B对应的衬底部分去除层42和44。

[0099] 然后层40经历生长步骤。在该步骤期间,对应于图3A的部分BK,A—A,B—B的衬底部分中的层40生长以达到部分SOI的层44的上表面的水平处的上水平,例如达到层34的上表面的水平。在图3A的示例中,SOI部分中的层34的上表面和BK,A—A和B—B部分中的层40的上表面是共面的。

[0100] 在产生图4B的结构步骤期间,去除掩模34和层44。层54形成在该结构上,即,在层40上,在部分BK,A—A,B—B中,以及在层44上,在部分SOI中。层54优选由与层40相同的材料制成。层54例如由氧化硅制成。

[0101] 在产生图4C的结构步骤期间,去除层40和54的位于层42的上表面的平面之下的

部分SOI和BK中的部分。层40和54在部分A—A,B—B(即,对应于存储器阵列的部分)中未被蚀刻。

[0102] 这因此对应于升高部分A—A,B—B的层40的部分的步骤,所述部分A—A,B—B对应于位于存储器阵列中的沟槽20。

[0103] 在产生图4D的结构步骤期间,在该结构上形成层55。层55由绝缘材料制成,优选由与层40相同的材料制成,例如由氧化硅制成。层55覆盖SOI部分中的层42,BK部分中的层38和A—A,B—B部分中的层54。

[0104] 层55优选地完全覆盖有可在层40和54的材料上选择性蚀刻的材料层56。层56例如由氮化硅制成。

[0105] 在层56中形成开口,使得层56形成蚀刻掩模。特别地,开口形成在部分BK(即,形成固体基板的基板部分)的前面,以及部分A—A,B—B的区域22c的前面。

[0106] 然后通过开口蚀刻位于层56和层38之间的层,即衬底。因此,从部分BK去除层40。此外,层40,54和55的位于开口前面(即,在区域22c的位置处)的部分被蚀刻。

[0107] 在产生图4E的结构步骤期间,层38经历生长步骤。更精确地,在图4D的步骤期间暴露的层38的部分经历生长步骤。因此,层38在部分BK中且在区域22c的位置处延伸到在图4D的步骤期间形成的开口中。优选地,层38在部分BK中和区域22c的位置处一直延伸到部分SOI中的层42的上表面的水平。在部分BK中和在区域22c的位置处的层38的上表面例如与部分SOI中的层42的上表面共面。

[0108] 在产生图4F的结构步骤期间,然后去除位于部分SOI中的层56的部分。因此,在图4E和4F的步骤之后,层56被完全去除,除了位于部分A—A,B—B的层40的部分上的部分,其对应于位于存储器阵列中的沟槽20。

[0109] 此外,在该结构上形成层58。层58由绝缘材料制成,优选由与层40相同的材料制成,例如由氧化硅制成。层58覆盖SOI部分中的层55,BK部分中的层35,以及A—A,B—B部分中的层55。

[0110] 层58优选地完全覆盖有可以在层40和58的材料上选择性蚀刻的材料层60。层60例如由氮化硅制成。

[0111] 层60的厚度使得层60上表面最靠近层38的部分的水平面或平面通过层58上表面最远离层38的部分的水平面与层38分隔。换句话说,层60的上表面最靠近层38的部分的水平面仅被层60的部分覆盖。

[0112] 在产生图4G的结构步骤期间,在浅沟槽(STI)的位置前方的层60中形成开口,从而形成蚀刻掩模。浅沟槽可以形成在部分SOI,BK和A—A,B—B中。具体地,在部分A—A,B—B中,即,在其中形成有存储器阵列的芯片的部分中,浅沟槽包括图2A和图2B的沟槽18。浅沟槽例如全部都具有基本相同的深度。然后通过层60中的所述开口执行蚀刻步骤以在沟槽18的位置处形成腔体。

[0113] 在SOI部分中,通过层60中的开口蚀刻位于浅沟槽位置处的层38,40,42,55和58的部分。因此,层40,42,55和58优选地完全由通过蚀刻形成的腔体穿过。层38优选部分地由通过蚀刻形成的腔体穿过。

[0114] 在部分BK中,通过层60中的开口蚀刻位于浅沟槽位置处的层38和58的部分。因此,层58优选地完全被通过蚀刻形成的腔体穿过。层38优选部分地由通过蚀刻形成的腔体穿

过。

[0115] 在部分A—A,B—B中,即在形成存储器阵列的部分中,通过层60中的开口蚀刻位于浅沟槽18的位置处的层38,40,54,55及58的部分。因此,层40,54,55和58优选地完全由通过蚀刻形成的腔体穿过。层38优选部分地由通过蚀刻形成的腔体穿过。

[0116] 在该结构上形成层62。层62的厚度使得层62填充在浅沟槽的位置处形成的腔体并且优选地完全覆盖层60。

[0117] 层62由电绝缘材料例如氧化硅制成。优选地,层62由与层58相同的材料制成。优选地,层62由与层40相同的材料制成。

[0118] 在产生图4H的结构步骤期间,该结构经历例如通过化学机械抛光方法的抛光步骤。执行抛光方法以优选地完全暴露层60的上表面。

[0119] 在部分SOI中,位于层60的上表面的水平之上的层62的部分例如被去除。部分SOI中的器件的上表面因此是平面的,并且包括被层62的上表面横向包围的层60的上表面。

[0120] 在部分BK中,位于层60的上表面的水平面上方的层62的部分例如被去除。部分BK中的器件的上表面因此是平面的,并且包括与层62的上表面横向包围的层60的上表面。

[0121] 在部分A—A,B—B中,层60和62被抛光以去除位于层60上方的层62的所有材料。因此,层60和62一直被去除到层60最靠近层38的部分的水平。部分A—A,B—B中的器件的上表面因此是平面的,并且包括与层62的上表面横向包围的层60的上表面。部分A—A,B—B中的层60的任何部分都没有通过层62的一部分与器件的上表面分隔。

[0122] 然后通过层58的材料和层62的材料上选择性地蚀刻层60的材料步骤去除层60的部分。因此,浅沟槽18的上表面的平面与层58的上表面的平面分隔大致对应于层60的厚度的高度。

[0123] 在结合图4H描述的步骤之后,该方法还包括可以执行电子元件制造的各个步骤的步骤。特别地,执行半导体材料掺杂步骤。

[0124] SOI部分的层42和BK部分的层38例如被掺杂以形成电子部件,特别是晶体管。类似地,部分A—A,B—B的层38被掺杂以形成区域22a,22b和22c。

[0125] 掺杂步骤例如包括形成和去除掩模,例如光刻掩模。这些步骤导致层58的材料和浅沟槽的部分去除。因此,在这些步骤中去除层58。优选地,层58的厚度使得层58被完全去除。位于沟槽20上的层54的部分以及例如层55的部分未被去除。此外,浅沟槽,特别是存储器阵列的沟槽18的高度通过形成和去除掩模的步骤而减小。

[0126] 然后在位于沟槽20上的层54或55的部分上形成条带26。然后在该结构上形成由多晶硅制成的层28(图4H中未示出)。

[0127] 层54的部分的存在和保持能够减小条带26的部分26a和26b之间的距离(图2A和2B)。因此,下平面和上平面,即部分26a和26b,由比距离D1短的距离D3分隔。换句话说,沟槽18和20的上表面分隔距离D。距离D3例如短于10nm。此外,部分26a与区域22c更强烈地分隔,这能够避免电流泄漏。

[0128] 然后在区域22c上形成存储器单元。特别地,然后在区域22c上形成通孔13。

[0129] 已经描述了各种实施例和变型。本领域技术人员将理解,这些各种实施例和变型的某些特征可以组合,并且本领域技术人员将想到其它变型。特别地,尽管附图示出了包括部分SOI和部分BK的器件,部分SOI包括形成在SOI型衬底内部和顶部上的电子部件,部分BK

包括形成在固体衬底内部和顶部上的电子部件,但是除了包括存储器阵列的部分A—A,B—B之外,器件可以仅包括部分BK或部分SOI。

[0130] 最后,基于以上给出的功能指示,所描述的实施例和变型的实际实现在本领域技术人员的能力范围内。

[0131] 制造器件的方法可概括为包括具有形成于其中的存储器单元阵列的第一部分和具有形成于其中的晶体管的第二部分,每一存储器单元位于衬底的区域上,所述方法包括以下步骤:a形成将同一单元行的衬底区域彼此分隔的第一绝缘沟槽,以及b形成将同一单元列的衬底区域彼此分隔的第二沟槽,所述第二沟槽的高度大于所述第一沟槽的高度,步骤a包括以下步骤:a1形成每个第一沟槽的下部,以及a2形成每个第一沟槽的上部,上部的形成包括第一绝缘层的沉积,第一绝缘层的不位于上部的部分的蚀刻。

[0132] 在器件的第二部分中,衬底可以是绝缘体上衬底类型。

[0133] 该方法可以在步骤a之前包括步骤c。在第一部分中,沿着至少等于衬底的上半导体层的高度去除半导体上衬底类型的衬底的上半导体层和生长半导体上衬底类型的衬底的绝缘中间层的绝缘材料,所述中间层由第一绝缘材料制成。

[0134] 该方法可以在步骤a和b之前并且在步骤c之后包括步骤d。在第一和第二部分上形成第一层。

[0135] 步骤a2可以包括在所述区域的位置前面的第一层中形成第一开口,以及步骤a1可以包括通过第一开口蚀刻中间层。步骤a2在步骤a1之后,可以包括去除位于第二部分中的第一层的部分,第一层由第二绝缘材料制成。

[0136] 步骤a2可以包括去除位于第一部分外部的第一层的部分以及去除位于第一沟槽的位置处的中间层和第一层的部分,第一层由第一绝缘材料制成。

[0137] 该方法可以在步骤a之后并且在步骤b之前,包括步骤e。在所述区域的位置生长绝缘体上半导体型衬底的下层。

[0138] 在步骤e之后,该方法可以包括步骤f。在第一和第二部分上形成叠层可以包括由第一材料制成的第二层和由第二材料制成的第三层。

[0139] 第一和第二材料可以相对于彼此选择性地蚀刻。

[0140] 第一材料可以是氧化硅,第二材料可以是氮化硅。

[0141] 步骤b在步骤f之后,可以包括在第二沟槽的位置前面的叠层的第三层中形成第二开口,形成穿过第二开口的腔体,以及在第一和第二部分上形成由足够厚以填充腔体的第一材料制成的第四层。

[0142] 在步骤b之后,该方法可以包括步骤g。通过化学机械抛光去除位于叠层第三层上方的第四层部分,以及步骤h去除第三层。

[0143] 在步骤h之后,该方法可以包括衬底掺杂步骤。

[0144] 该方法可以包括在第一沟槽的上部上沉积硅条。

[0145] 器件可概括为包括其中布置有存储器单元阵列的第一部分和其中布置有晶体管的第二部分,每个存储器单元位于衬底的区域上,该器件包括将同一单元行的衬底区域彼此分隔的第一绝缘沟槽,以及将同一单元列的衬底区域(22c)彼此分隔的第二沟槽,第二沟槽的高度大于第一沟槽的高度,其中第一和第二沟槽的上表面分隔短于10nm的距离。

[0146] 可将器件概括为包括其中布置有存储器单元阵列的第一部分和其中布置有晶体

管的第二部分,每一存储器单元位于衬底的区域上,所述器件包括将同一单元行的衬底区域彼此分隔的第一绝缘沟槽和将同一单元列的衬底区域彼此分隔的第二沟槽,所述第二沟槽具有大于所述第一沟槽的高度的高度,其中每一第一沟槽包括由第一材料制成的下部和不同于所述第一材料的第二材料的下部,其中所述第二沟槽不包括所述第二材料。

[0147] 上述各种实施例可以组合以提供另外的实施例。如果需要,可以修改实施例的各方面以采用各种专利,申请和出版物的概念来提供另外的实施例。

[0148] 根据上述详细描述,可以对实施例进行这些和其它改变。通常,在下面的权利要求中,所使用的术语不应该被解释为将权利要求限制到在说明书和权利要求中公开的特定实施例,而是应该被解释为包括所有可能的实施例以及这些权利要求被授权的等同物的全部范围。因此,权利要求不受本公开的限制。

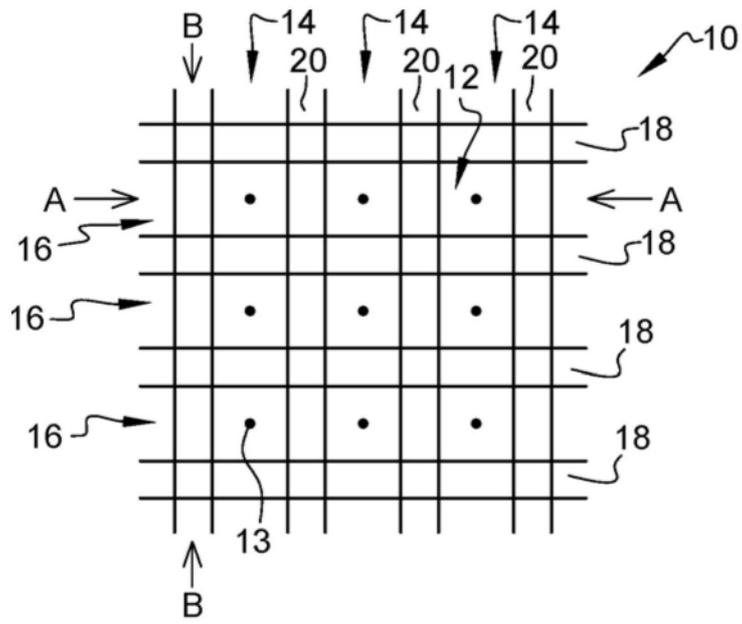


图1

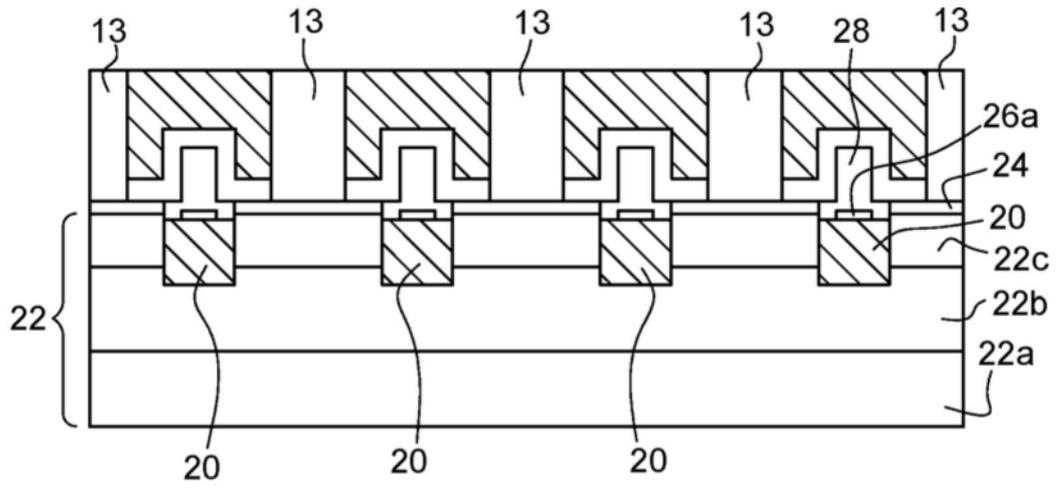


图2A

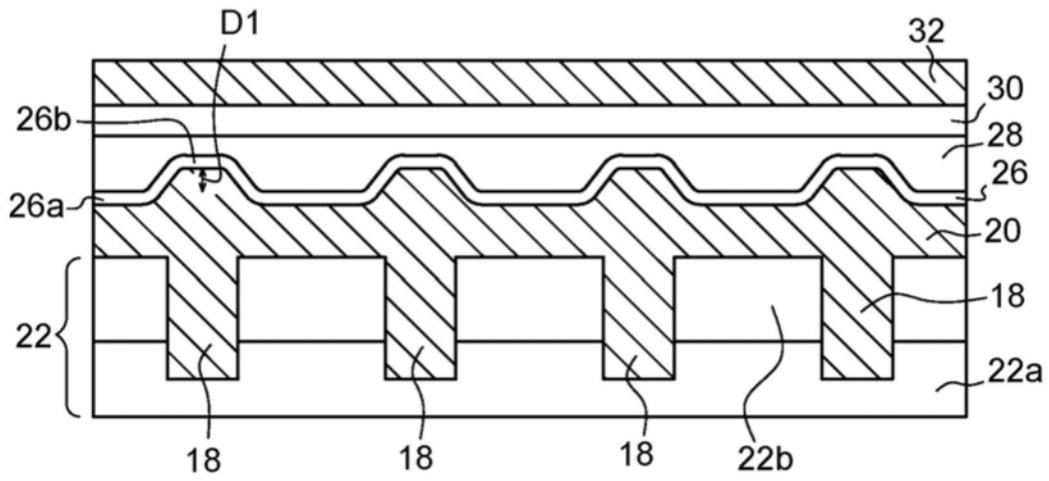


图2B

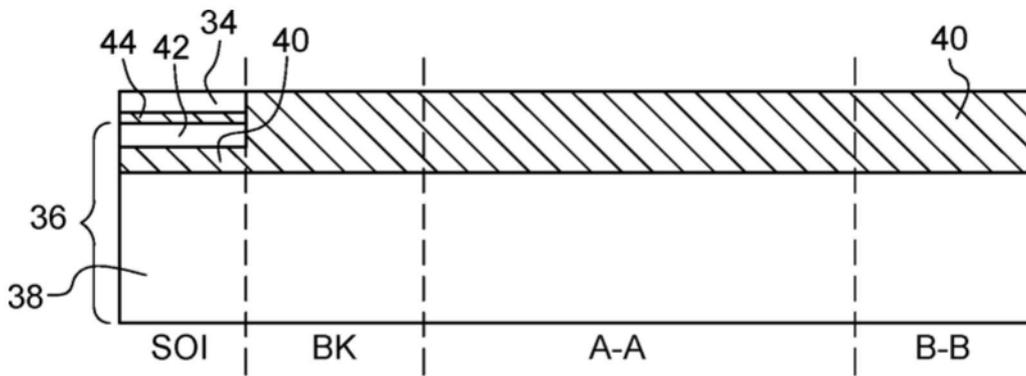


图3A

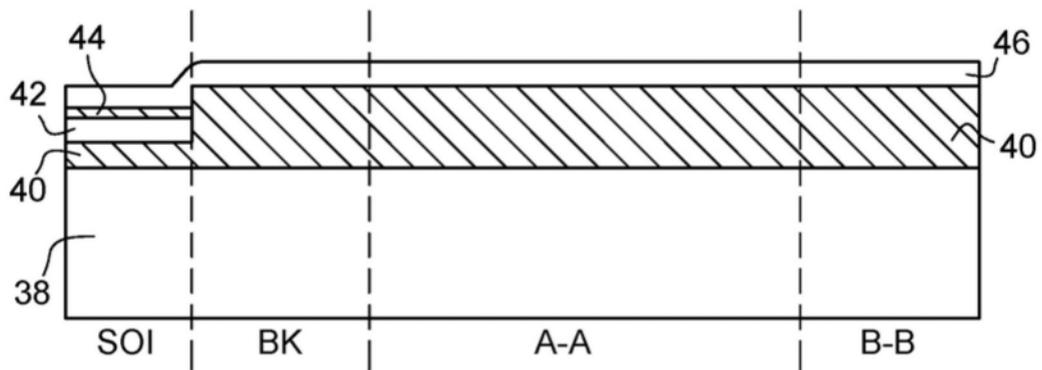


图3B

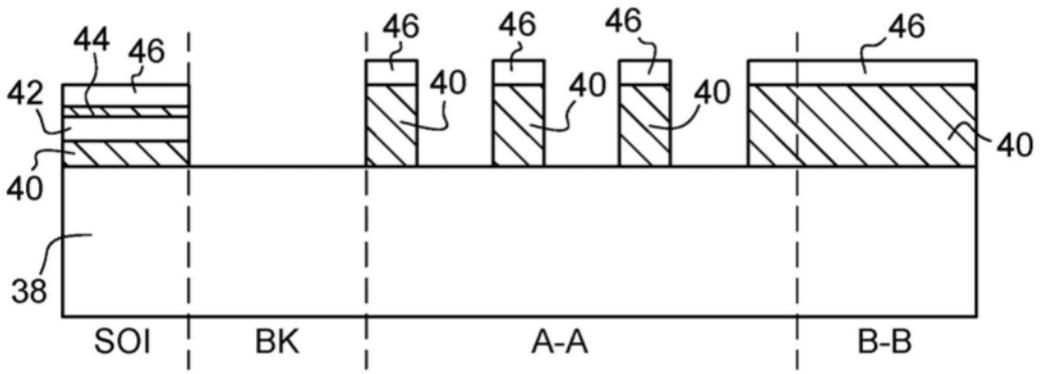


图3C

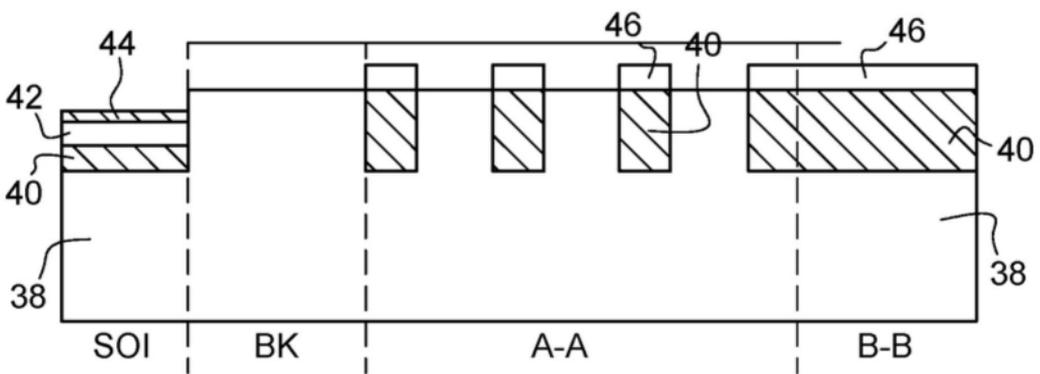


图3D

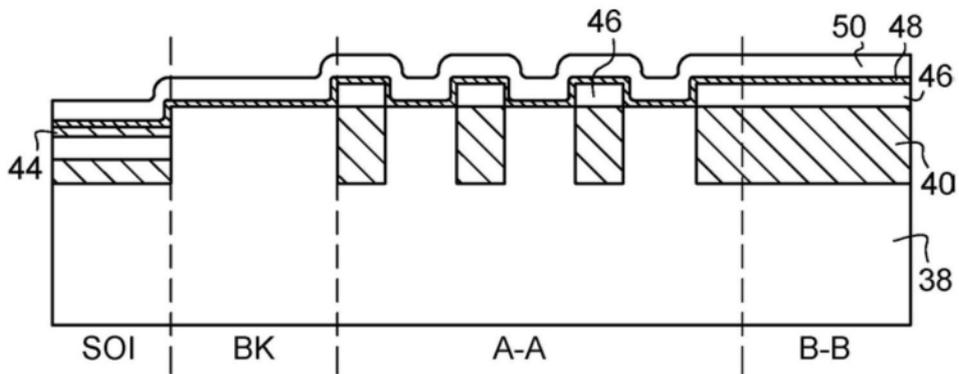


图3E

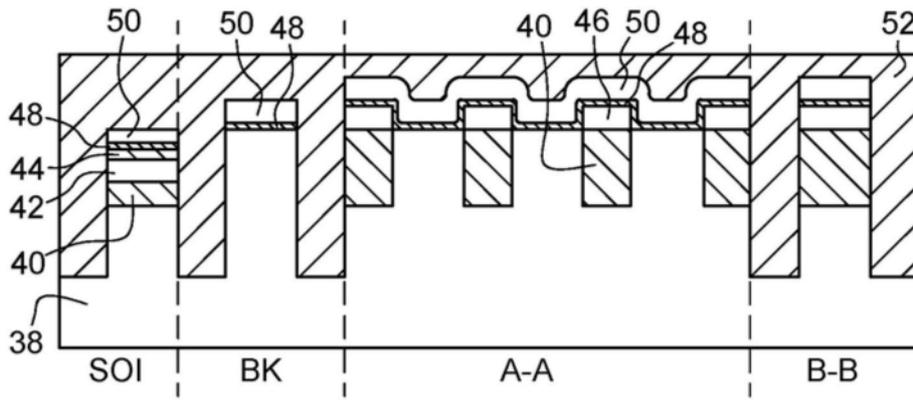


图3F

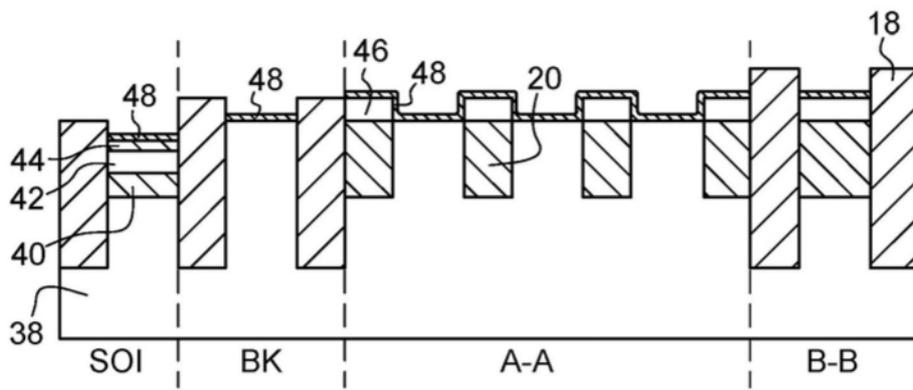


图3G

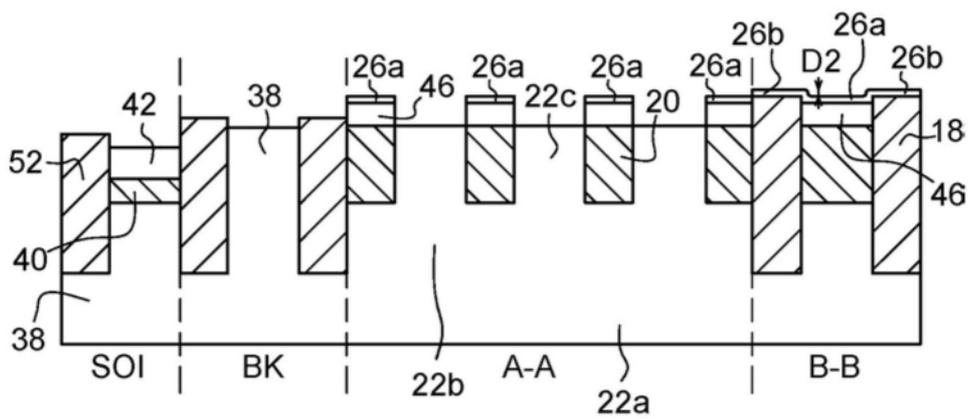


图3H

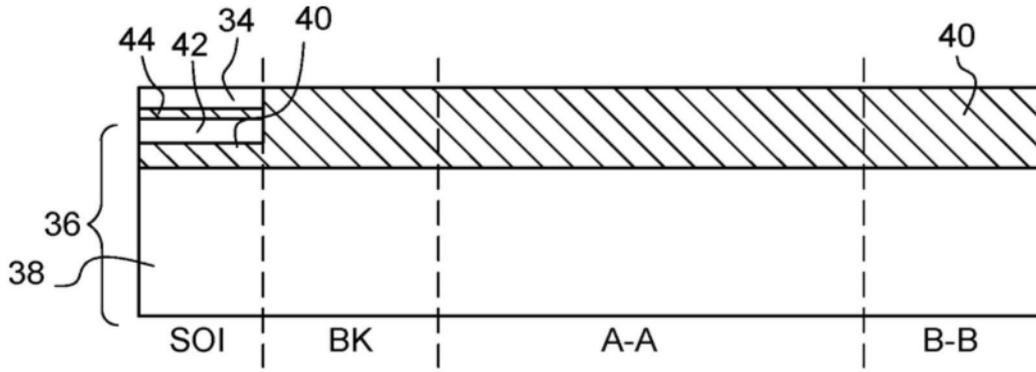


图4A

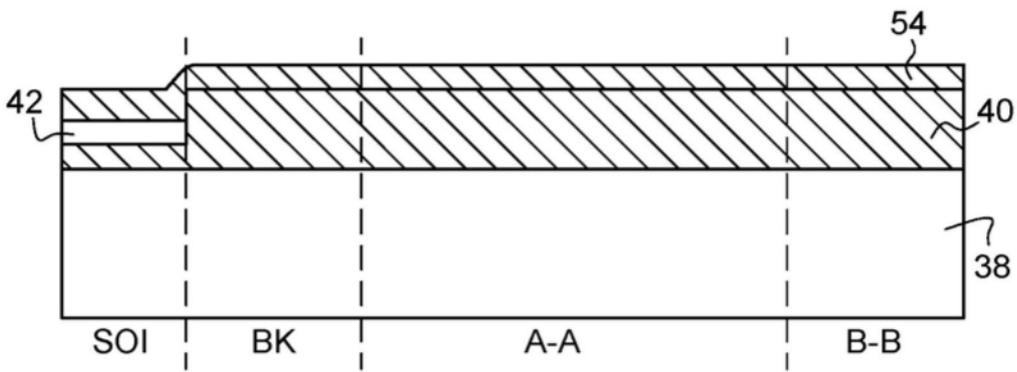


图4B

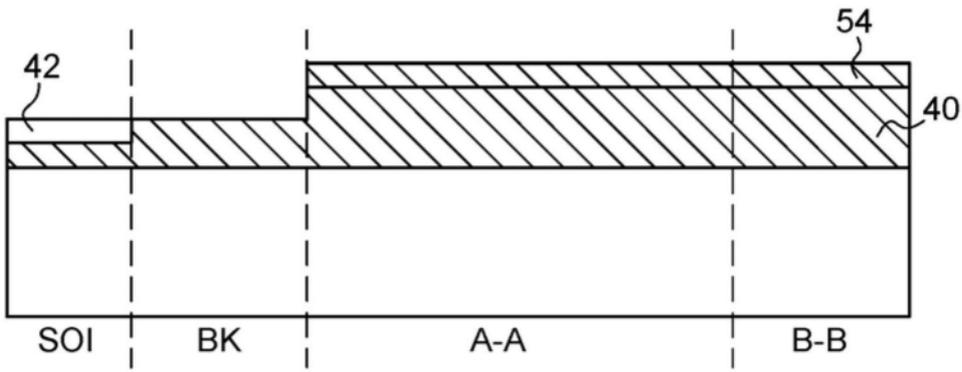


图4C

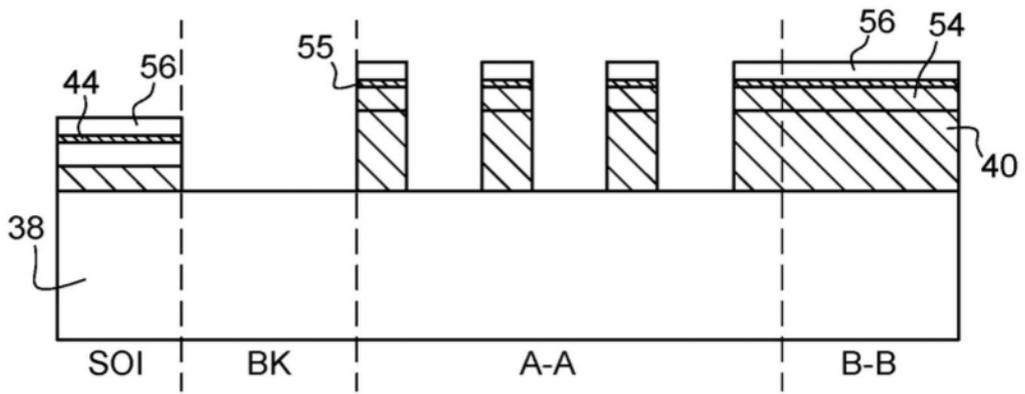


图4D

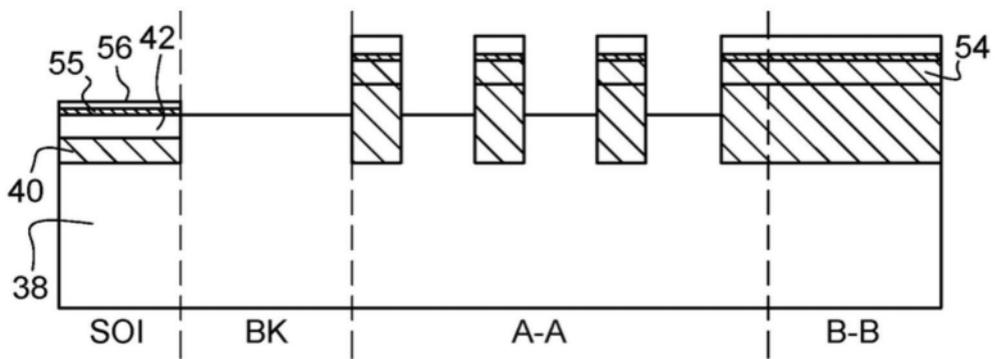


图4E

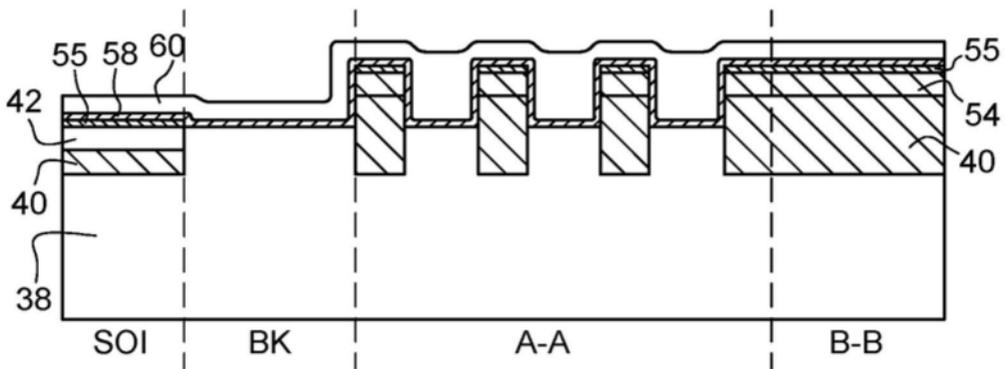


图4F

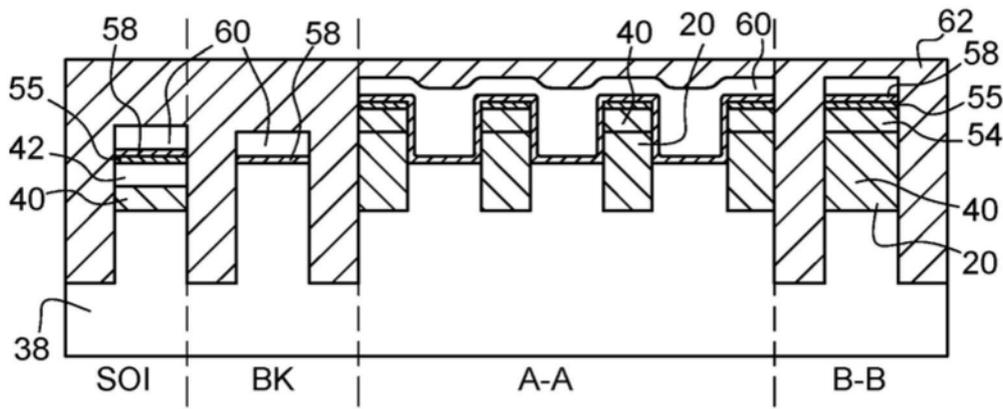


图4G

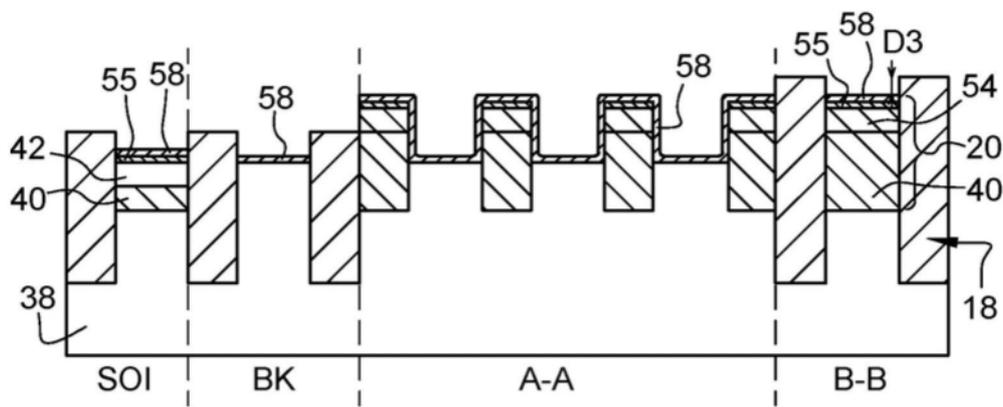


图4H