

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年7月4日(04.07.2019)



(10) 国際公開番号
WO 2019/130963 A1

- (51) 国際特許分類:
H04N 5/378 (2011.01) H04N 5/369 (2011.01)
H01L 27/146 (2006.01) H04N 5/374 (2011.01)
- (21) 国際出願番号: PCT/JP2018/043770
- (22) 国際出願日: 2018年11月28日(28.11.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-248889 2017年12月26日(26.12.2017) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番4号 Kanagawa (JP).
- (72) 発明者: 場色 正昭(BAIRO Masaaki); 〒2430014 神奈川県厚木市旭町四丁目1番4号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 山本 孝久, 外(YAMAMOTO Takahisa et al.); 〒1410032 東京都品川区大崎4丁目3番2号 秋葉ビル301号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: SOLID-STATE IMAGING ELEMENT, COMPARATOR, AND ELECTRONIC DEVICE

(54) 発明の名称: 固体撮像素子、コンパレータ、及び、電子機器

図7A

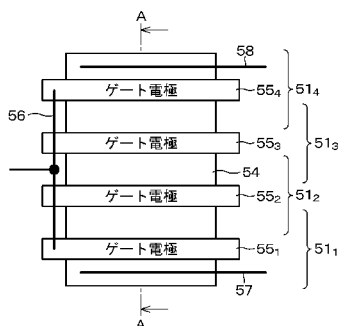
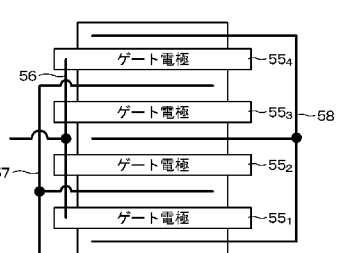


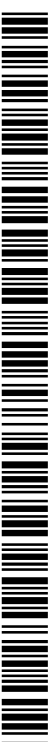
図7B



55₁, 55₂, 55₃, 55₄ Gate electrode

(57) Abstract: This solid-state imaging element is provided with: a pixel array unit in which a plurality of unit pixels including a photoelectric conversion unit are arranged in a matrix; and an analog-digital conversion unit which converts an analog pixel signal outputted from each of the unit pixels of the pixel array unit into a digital signal. The analog-digital conversion unit comprises a comparator including a differential input unit to which a predetermined reference signal and the analog pixel signal are inputted and an active load unit of the differential input unit, at least one transistor constituting the active load unit comprises a plurality of control terminals for controlling an electric current, and the plurality of control terminals are electrically connected in common to each other.

(57) 要約: 本開示の固体撮像素子は、光電変換部を含む複数の単位画素が行列状に配置された画素アレイ部、及び、画素アレイ部の各単位画素から出力されるアナログの画素信号をデジタル信号に変換するアナログ-デジタル変換部を備えている。そして、アナログ-デジタル変換部は、所定の参照信号及びアナログの画素信号を入力とする差動入力部及び差動入力部の能動負荷部を含むコンパレータを有し、能動負荷部を構成する少なくとも1つのトランジスタは、電流を制御する複数の制御端子を有し、複数の制御端子は、電気的に共通に接続されている。



WO 2019/130963 A1

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称： 固体撮像素子、コンパレータ、及び、電子機器

技術分野

[0001] 本開示は、固体撮像素子、コンパレータ、及び、電子機器に関する。

背景技術

[0002] 画像を撮像する固体撮像素子としては、例えば、CCD (Charge Coupled Device) イメージセンサやCMOS (Complementary Metal Oxide Semiconductor) イメージセンサがある。近年は、特別な設備投資を必要とすることなく、既存のCMOSプロセスで製造することが可能なCMOSイメージセンサが注目され、携帯電話に内蔵されたカメラシステムや監視システムへの採用が急速に進んでいる。

[0003] CMOSイメージセンサは、光電変換を行う単位画素（以下、単に「画素」と記述する場合がある）が出力するアナログの画素信号（電気信号）をデジタル信号に変換する（AD (Analog to Digital) 変換する）アナログーデジタル変換部を有する。CMOSイメージセンサのアナログーデジタル変換部としては、処理速度の高速化等の要請から、一行に並ぶ複数の画素の2以上の画素、例えば全部の画素が出力する画素信号を、並列にアナログーデジタル変換することができる列並列型のアナログーデジタル変換部（以下、列並列アナログーデジタル変換部と記述する場合がある）が採用されている。

[0004] 列並列アナログーデジタル変換部は、例えば、画素列の列数と同一の数等の複数のアナログーデジタル変換器（AD変換器）を、行方向に並べて配置することによって構成される。そして、各列のアナログーデジタル変換器は、対応する画素列の単位画素が出力する電気信号のアナログーデジタル変換を行う。列並列アナログーデジタル変換部を構成するアナログーデジタル変換器としては、例えば、コンパレータとカウンタとを有し、所定の参照信号と単位画素が出力するアナログの画素信号とを比較することによって、画素信号のアナログーデジタル変換を行う、所謂、参照信号比較型のアナログー

デジタル変換器がある。

[0005] 参照信号比較型のアナログーデジタル変換器として、シングルスロープ型アナログーデジタル変換器が知られている（例えば、特許文献1参照）。シングルスロープ型アナログーデジタル変換器では、例えば電界効果トランジスタから構成される差動入力部及び当該差動入力部の能動負荷部から成るコンパレータにおいて、ランプ（RAMP）信号等の一定の傾きでレベルが変化する参照信号と、単位画素が出力する画素信号との比較が行われる。そして、カウンタにおいて、参照信号と画素信号とのレベルが一致するまでの、参照信号のレベルの変化に要する時間のカウントが行われる。これにより、単位画素が出力するアナログの画素信号（電気信号）のアナログーデジタル変換が行われる。

先行技術文献

特許文献

[0006] 特許文献1：特開2013-90305号公報

発明の概要

発明が解決しようとする課題

[0007] ところで、CMOSイメージセンサの画質の良し悪しを示す指標として、センシングした画像の時間的なチラつきがある。この画像の時間的なチラつきは、各画素から検出した電気信号が周辺回路を通るまでの間に信号レベルが時間的にランダムに揺らぐために起こる。その原因の一つとして、コンパレータを構成する差動入力部や能動負荷部のランダムノイズを挙げることができる。ランダムノイズが大きいと、センシングした画像データを著しくチラつかせることがわかっている。

[0008] この画像データのチラつきを低減するには、ノイズ源となっている、コンパレータを構成する差動入力部や能動負荷部のランダムノイズを減らすことである。このランダムノイズのノイズパワーは、コンパレータを構成するトランジスタの制御端子の面積に反比例することがわかっている。すなわち、

トランジスタの制御端子の面積を大きいと、ランダムノイズのノイズパワーを低減できる。しかし、トランジスタの制御端子の面積を大きくすると、コンパレータの回路面積の増大を招く。

[0009] そこで、本開示は、回路面積の増大を抑えつつ、アナログーデジタル変換器を低ノイズ化し、高性能な固体撮像素子、コンパレータ、及び、当該固体撮像素子を有する電子機器を提供することを目的とする。

課題を解決するための手段

[0010] 上記の目的を達成するための本開示の固体撮像素子は、
光電変換部を含む複数の単位画素が行列状に配置された画素アレイ部、及び、画素アレイ部の各単位画素から出力されるアナログの画素信号をデジタル信号に変換するアナログーデジタル変換部を備え、

アナログーデジタル変換部は、所定の参照信号及びアナログの画素信号を入力とする差動入力部及び差動入力部の能動負荷部を含むコンパレータを有し、

能動負荷部を構成する少なくとも1つのトランジスタは、電流を制御する複数の制御端子を有し、

複数の制御端子は、電気的に共通に接続されている。

[0011] 上記の目的を達成するための本開示のコンパレータは、
所定の参照信号及びアナログの画素信号を入力とする差動入力部及び差動入力部の能動負荷部を含み、

能動負荷部を構成する少なくとも1つのトランジスタは、電流を制御する複数の制御端子を有し、

複数の制御端子は、電気的に共通に接続されている。

[0012] 上記の目的を達成するための本開示の電子機器は、上記の構成の固体撮像素子を有している。

図面の簡単な説明

[0013] [図1]図1は、本開示のCMOSイメージセンサの基本的な構成の概略を示すブロック図である。

[図2]図2は、単位画素の回路構成の一例を示す回路図である。

[図3]図3は、列並列アナログーデジタル変換部の構成の一例を示すブロック図である。

[図4]図4は、本開示のCMOSイメージセンサの平置型のチップ構造の概略を示す平面図である。

[図5]図5は、本開示のCMOSイメージセンサの積層型のチップ構造の概略を示す分解斜視図である。

[図6]図6Aは、電界効果トランジスタから成るコンパレータの回路構成の一例を示す回路図であり、図6Bは、マルチフィンガー構造のレイアウトを示す平面図である。

[図7]図7Aは、実施例1に係る能動負荷部の要部のレイアウトを示す平面図であり、図7Bは、参考例に係るマルチフィンガー構造のレイアウトを示す平面図である。

[図8]図8は、図7AのA-A線に沿った矢視断面を示す断面図である。

[図9]図9は、4個のPMOSトランジスタを、実施例1のレイアウトと参考例のレイアウトで作製した場合のドレイン電流 I_d に対する相互コンダクタンス g_m を示す図である。

[図10]図10は、能動負荷部を構成するトランジスタ自身のランダムノイズスペクトルを、ゲート入力換算ノイズ S_{V_g} で示す図である。

[図11]図11は、コンパレータのランダムノイズ及び出力電圧バラツキの改善効果について、実施例1のレイアウトを使用した場合と、参考例のレイアウトを使用した場合とを比較した図である。

[図12]図12Aは、実施例2に係る能動負荷部の要部のレイアウトを示す平面図であり、図12Bは、コモンセントロイド配置の一例を示すレイアウト図である。

[図13]図13は、実施例3に係る能動負荷部の要部のレイアウトを示す平面図である。

[図14]図14は、実施例3に係る能動負荷部の要部のレイアウトを示す平面

図である。

[図15]図15は、実施例4に係る能動負荷部の要部のレイアウトを示す平面図である。

[図16]図16は、実施例6に係る能動負荷部の要部のレイアウトを示す平面図である。

[図17]図17は、実施例7に係る能動負荷部の要部のレイアウトを示す平面図である。

[図18]図18は、実施例8に係る能動負荷部の要部のレイアウトを示す平面図である。

[図19]図19Aは、実施例9に係る能動負荷部の要部のレイアウトを示す平面図であり、図19Bは、図19AのB-B線に沿った矢視断面を示す断面図である。

[図20]図20Aは、実施例10に係る能動負荷部の要部のレイアウトを示す平面図であり、図20Bは、実施例11に係る能動負荷部の要部のレイアウトを示す平面図である。

[図21]図21Aは、実施例12に係る能動負荷部の要部のレイアウトを示す平面図であり、図21Bは、実施例13に係る能動負荷部の要部のレイアウトを示す平面図である。

[図22]図22は、バイポーラトランジスタから成るコンパレータの回路構成の一例を示す回路図である。

[図23]図23は、実施例14に係る能動負荷部の要部のレイアウトを示す平面図である。

[図24]図24は、実施例15に係る能動負荷部の要部のレイアウトを示す平面図である。

[図25]図25は、実施例15に係る能動負荷部の要部のレイアウトを示す平面図である。

[図26]図26Aは、適用例1に係るアナログスイッチの回路例を示す回路図であり、図26Bは、当該アナログスイッチの検出信号及び出力信号の波形

を示す波形図である。

[図27]図27Aは、適用例2に係る三角波発生回路の回路例を示す回路図であり、図27Bは、当該三角波発生回路の出力波形を示す波形図である。

[図28]図28は、適用例3に係るデジタル－アナログ変換器の回路例を示す回路図である。

[図29]図29は、本開示に係る技術の適用例を示す図である。

[図30]図30は、本開示の電子機器の一例である撮像装置の構成を示すブロック図である。

[図31]図31は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[図32]図32は、撮像部の設置位置の例を示す図である。

発明を実施するための形態

[0014] 以下、本開示の技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。本開示の技術は実施形態に限定されるものではなく、実施形態における種々の数値や材料などは例示である。以下の説明において、同一要素又は同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は以下の順序で行う。

1. 本開示の固体撮像素子、コンパレータ、及び、電子機器、全般に関する説明

2. 本開示の固体撮像素子

2-1. CMOSイメージセンサの構成例

2-2. 単位画素の構成例

2-3. アナログ－デジタル変換部の構成例

2-4. チップ構造

2-4-1. 平置型のチップ構造（所謂、平置構造）

2-4-2. 積層型のチップ構造（所謂、積層構造）

2-5. コンパレータについて

2-5-1. コンパレータの回路構成例

2-5-2. MOS型電界効果トランジスタのランダムノイズについて

2-6. 第1実施形態（コンパレータを構成するトランジスタが電界効果トランジスタから成る例）

2-6-1. 実施例1（能動負荷部を構成する一方のトランジスタが電界効果トランジスタから成る例）

2-6-2. 実施例2（実施例1の変形例：1つのアクティブ領域に電界効果トランジスタを1個形成する例）

2-6-3. 実施例3（実施例1の変形例：1つのアクティブ領域に電界効果トランジスタを複数形成する例）

2-6-4. 実施例4（実施例1の変形例：2個以上の電界効果トランジスタの並列接続と直列接続との組み合わせの例）

2-6-5. 実施例5（実施例1の変形例：2個以上の電界効果トランジスタの直列接続と並列接続との組み合わせの例）

2-6-6. 実施例6（実施例1の変形例：ダミーのゲート端子を配置する例）

2-6-7. 実施例7（実施例6の変形例：回路を構成する電界効果トランジスタの間にダミーのゲート端子を配置する例）

2-6-8. 実施例8（能動負荷部を構成する両方の電界効果トランジスタが電界効果トランジスタから成る例）

2-7. 第2実施形態（コンパレータを構成するトランジスタがFin-FETから成る例）

2-7-1. 実施例9（能動負荷部を構成する一方のトランジスタが1個のFin-FETから成る例）

2-7-2. 実施例10（直列接続の複数のFin-FETから成る例）

2-7-3. 実施例11（並列接続の複数のFin-FETから成る例）

2-7-4. 実施例12（直列接続のFin-FETの組が並列接続さ

れて成る例)

2-7-5. 実施例13 (並列接続のFin-FETの組が直列接続されて成る例)

2-8. 第3実施形態 (コンパレータを構成するトランジスタがバイポーラトランジスタから成る例)

2-8-1. 実施例14 (1つのアクティブ領域にバイポーラトランジスタを1個形成する例)

2-8-2. 実施例15 (1つのアクティブ領域にバイポーラトランジスタを複数形成する例)

2-8-3. 実施例16 (実施例15の変形例: 直列接続の例)

3. コンパレータの適用例

3-1. 適用例1 (アナログスイッチに適用する例)

3-2. 適用例2 (三角波発生回路に適用する例)

3-3. 適用例3 (デジタル-アナログ変換器に適用する例)

4. 変形例

5. 応用例

6. 本開示に係る技術の適用例

6-1. 本開示の電子機器 (撮像装置の例)

6-2. 移動体への応用例

7. 本開示がとることができる構成

[0015] <本開示の固体撮像素子、コンパレータ、及び、電子機器、全般に関する説明>

本開示の固体撮像素子、コンパレータ、及び、電子機器にあつては、能動負荷部を構成する少なくとも1つのトランジスタが、複数の制御端子を有する複数の電界効果トランジスタから成る構成とすることができる。そして、複数の電界効果トランジスタについて、ドレイン領域とソース領域とが交互に直列に接続され、ゲート端子が全て共通化されている構成とすることができる。

- [0016] 上述した好ましい構成を含む本開示の固体撮像素子、コンパレータ、及び、電子機器にあっては、複数の電界効果トランジスタについて、アクティブ領域を通じて直列に接続されている構成とすることができる。そして、複数の電界効果トランジスタについて、アクティブ領域を通じて直列に接続されている構成とすることができる。また、複数の電界効果トランジスタについて、異なるアクティブ領域に分散して配置され、異なるアクティブ領域間が配線で接続されている構成とすることができる。
- [0017] また、上述した好ましい構成を含む本開示の固体撮像素子、コンパレータ、及び、電子機器にあっては、電界効果トランジスタが形成されないアクティブ領域には、ダミーのゲート端子が配置されている構成とすることができる。
- [0018] また、本開示の固体撮像素子、コンパレータ、及び、電子機器にあっては、能動負荷部を構成する少なくとも1つのトランジスタが、複数の制御端子を有する複数のバイポーラトランジスタから成る構成とすることができる。そして、複数のバイポーラトランジスタについて、エミッタ領域とコレクタ領域とが交互に直列に接続され、ベース端子が全て共通化されている構成とすることができる。
- [0019] 上述した好ましい構成を含む本開示の固体撮像素子、コンパレータ、及び、電子機器にあっては、複数のバイポーラトランジスタは、異なるアクティブ領域に分散して配置され、配線で直列に接続されている構成とすることができる。そして、異なるアクティブ領域間で、複数のバイポーラトランジスタが配線で直列に接続されている構成とすることができる。また、複数のバイポーラトランジスタについて、同一のアクティブ領域内に配置され、複数のバイポーラトランジスタ間でベース端子が共通化されている構成とすることができる。
- [0020] また、本開示の固体撮像素子、コンパレータ、及び、電子機器にあっては、能動負荷部を構成する少なくとも1つのトランジスタが、Fin-FETから成る構成とすることができる。

[0021] <本開示の固体撮像素子>

まず、本開示の固体撮像素子の基本的な構成について説明する。ここでは、固体撮像素子として、X-Yアドレス方式の固体撮像素子の一種であるCMOS (Complementary Metal Oxide Semiconductor) イメージセンサを例に挙げて説明する。CMOSイメージセンサは、CMOSプロセスを応用して、又は、部分的に使用して作製されたイメージセンサである。

[0022] [CMOSイメージセンサの構成例]

図1は、本開示のCMOSイメージセンサの基本的な構成の概略を示すブロック図である。本開示のCMOSイメージセンサ1は、光電変換部を含む単位画素（以下、単に「画素」と記述する場合がある）2が行方向及び列方向に、即ち、行列状に2次元配置されて成る画素アレイ部11、及び、当該画素アレイ部11の周辺回路部を有する構成となっている。ここで、行方向とは画素行の単位画素2の配列方向（所謂、水平方向）を言い、列方向とは画素列の単位画素2の配列方向（所謂、垂直方向）を言う。単位画素2は、光電変換を行うことにより、受光した光量に応じた光電荷を生成し、蓄積する。

[0023] 画素アレイ部11の周辺回路部は、例えば、行選択部12、定電流源部13、アナログーデジタル変換部14、水平転送走査部15、信号処理部16、及び、タイミング制御部17等によって構成されている。

[0024] 画素アレイ部11において、行列状の画素配列に対し、画素行毎に画素駆動線31₁~31_n（以下、総称して「画素駆動線31」と記述する場合がある）が行方向に沿って配線されている。また、画素列毎に垂直信号線32₁~32_n（以下、総称して「垂直信号線32」と記述する場合がある）が列方向に沿って配線されている。画素駆動線31は、単位画素2から信号を読み出す際の駆動を行うための駆動信号を伝送する。図1では、画素駆動線31について1本の配線として図示しているが、1本に限られるものではない。画素駆動線31の一端は、行選択部12の各行に対応した出力端に接続されている。

- [0025] 以下に、画素アレイ部 1 1 の周辺回路部の各回路部、即ち、行選択部 1 2、定電流源部 1 3、アナログーデジタル変換部 1 4、水平転送走査部 1 5、信号処理部 1 6、及び、タイミング制御部 1 7 について説明する。
- [0026] 行選択部 1 2 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 1 1 の各画素 2 の選択に際して、画素行の走査や画素行のアドレスを制御する。この行選択部 1 2 は、その具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系の 2 つの走査系を有する構成となっている。
- [0027] 読出し走査系は、単位画素 2 から画素信号を読み出すために、画素アレイ部 1 1 の単位画素 2 を行単位で順に選択走査する。単位画素 2 から読み出される画素信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査を行う。
- [0028] この掃出し走査系による掃出し走査により、読出し行の単位画素 2 の光電変換部から不要な電荷が掃き出されることによって当該光電変換部がリセットされる。そして、この掃出し走査系による不要電荷の掃き出す（リセットする）ことにより、所謂、電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換部の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。
- [0029] 定電流源部 1 3 は、画素列毎に垂直信号線 $3 2_1 \sim 3 2_n$ の各々に接続された MOS トランジスタから成る電流源 1 の集合から成り（図 2 参照）、行選択部 1 2 によって選択走査された画素行の各画素 2 に対し、垂直信号線 $3 2_1 \sim 3 2_n$ の各々を通してバイアス電流を供給する。
- [0030] アナログーデジタル変換部 1 4 は、垂直信号線 $3 2_1 \sim 3 2_n$ の各々に対応して設けられた複数のアナログーデジタル変換器の集合から成り、画素列毎に出力されるアナログの画素信号を、N ビットのデジタル信号に変換する列並列型のアナログーデジタル変換部である。列並列アナログーデジタル変換部 1 4 におけるアナログーデジタル変換器としては、参照信号比較型のアナロ

グーデジタル変換器の一例であるシングルスロープ型アナログーデジタル変換器が用いられる。

[0031] 水平転送走査部 15 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 11 の各画素 2 の信号の読出しに際して、画素列の走査や画素列のアドレスを制御する。この水平転送走査部 15 による制御の下に、アナログーデジタル変換部 14 でデジタル信号に変換された画素信号が画素列単位で、 $2N$ ビット幅の水平転送線 18 に読み出される。

[0032] 信号処理部 16 は、水平転送線 18 を通して供給される画素信号に対して、例えば、増幅処理や演算処理等の種々の信号処理を行い、本 CMOS イメージセンサ 1 の出力信号として出力する。

[0033] タイミング制御部 17 は、各種のタイミング信号、クロック信号、及び、制御信号等を生成し、これら生成した信号を基に、行選択部 12、定電流源部 13、アナログーデジタル変換部 14、水平転送走査部 15、及び、信号処理部 16 等の駆動制御を行う。

[0034] [単位画素の回路構成例]

図 2 は、単位画素 2 の回路構成の一例を示す回路図である。単位画素 2 は、光電変換部として、例えば、フォトダイオード 21 を有している。単位画素 2 は、フォトダイオード 21 に加えて、転送トランジスタ 22、リセットトランジスタ 23、増幅トランジスタ 24、及び、選択トランジスタ 25 を有する画素構成となっている。

[0035] 尚、ここでは、転送トランジスタ 22、リセットトランジスタ 23、増幅トランジスタ 24、及び、選択トランジスタ 25 の 4 つのトランジスタとして、例えば N チャネル MOS 型電界効果トランジスタ (Field effect transistor : FET) を用いている。但し、ここで例示した 4 つのトランジスタ 22 ~ 25 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

[0036] この単位画素 2 に対して、先述した画素駆動線 31 として、複数の画素駆動線が同一画素行の各画素 2 に対して共通に配線されている。これら複数の

画素駆動線は、行選択部12の各画素行に対応した出力端に画素行単位で接続されている。行選択部12は、複数の画素駆動線に対して転送信号TRG、リセット信号RST、及び、選択信号SELを適宜出力する。

[0037] フォトダイオード21は、アノード端子が低電位側電源(例えば、グランド)に接続されており、受光した光をその光量に応じた電荷量の光電荷(ここでは、光電子)に光電変換してその光電荷を蓄積する。フォトダイオード21のカソード端子は、転送トランジスタ22を介して増幅トランジスタ24のゲート端子と電氣的に接続されている。ここで、増幅トランジスタ24のゲート端子が電氣的に繋がった領域は、フローティングディフュージョン(浮遊拡散領域/不純物拡散領域)FDである。フローティングディフュージョンFDは、電荷を電圧に変換する電荷電圧変換部である。

[0038] 転送トランジスタ22のゲート端子には、高レベル(例えば、 V_{DD} レベル)がアクティブとなる転送信号TRGが行選択部12から与えられる。転送トランジスタ22は、転送信号TRGに応答して導通状態となることで、フォトダイオード21で光電変換され、当該フォトダイオード21に蓄積された光電荷をフローティングディフュージョンFDに転送する。

[0039] リセットトランジスタ23は、高電位側電源 V_{DD} のノードとフローティングディフュージョンFDとの間に接続されている。リセットトランジスタ23のゲート端子には、高レベルがアクティブとなるリセット信号RSTが行選択部12から与えられる。リセットトランジスタ23は、リセット信号RSTに応答して導通状態となり、フローティングディフュージョンFDの電荷を電圧 V_{DD} のノードに捨てることによってフローティングディフュージョンFDをリセットする。

[0040] 増幅トランジスタ24は、ゲート端子がフローティングディフュージョンFDに、ドレイン端子が高電位側電源 V_{DD} のノードにそれぞれ接続されている。増幅トランジスタ24は、フォトダイオード21での光電変換によって得られる信号を読み出すソースフォロワの入力部となる。すなわち、増幅トランジスタ24は、ソース端子が選択トランジスタ25を介して垂直信号線3

2に接続される。そして、増幅トランジスタ24と、垂直信号線32の一端に接続される電流源1とは、フローティングディフュージョンFDの電圧を垂直信号線32の電位に変換するソースフォロワを構成している。

[0041] 選択トランジスタ25は、例えば、ドレイン端子が増幅トランジスタ24のソース端子に、ソース端子が垂直信号線32にそれぞれ接続されている。選択トランジスタ25のゲート端子には、高レベルがアクティブとなる選択信号SELが行選択部12から与えられる。選択トランジスタ25は、選択信号SELに応答して導通状態となることで、単位画素2を選択状態として増幅トランジスタ24から出力される信号を垂直信号線32に伝達する。

[0042] 尚、選択トランジスタ25については、高電位側電源 V_{DD} のノードと増幅トランジスタ24のドレイン端子との間に接続する回路構成を採ることもできる。また、本例では、単位画素2の画素回路として、転送トランジスタ22、リセットトランジスタ23、増幅トランジスタ24、及び、選択トランジスタ25から成る、即ち4つのトランジスタ(T_r)から成る4 T_r 構成を例に挙げたが、これに限られるものではない。例えば、選択トランジスタ25を省略し、増幅トランジスタ24に選択トランジスタ25の機能を持たせる3 T_r 構成とすることもできるし、必要に応じて、トランジスタの数を増やした5 T_r 以上の構成とすることもできる。

[0043] [アナログーデジタル変換部の構成例]

次に、列並列アナログーデジタル変換部14の構成例について説明する。図3は、列並列アナログーデジタル変換部14の構成の一例を示すブロック図である。本開示のCMOSイメージセンサ1におけるアナログーデジタル変換部14は、垂直信号線32₁~32_nの各々に対応して設けられた複数のシングルスロープ型アナログーデジタル変換器の集合から成る。ここでは、n列目のシングルスロープ型アナログーデジタル変換器140を例に挙げて説明する。

[0044] シングルスロープ型アナログーデジタル変換器140は、コンパレータ141、カウンタ回路142、及び、ラッチ回路143を有する回路構成とな

っている。シングルスロープ型アナログーデジタル変換器 140 では、時間が経過するにつれて電圧値が徐々に変化する、所謂、RAMP 波形（スロープ波形）の参照信号が用いられる。ランプ波形の参照信号は、参照信号生成部 19 で生成される。参照信号生成部 19 については、例えば、DAC（デジタルーアナログ変換）回路を用いて構成することができる。

[0045] コンパレータ 141 は、単位画素 2 から読み出される画素信号を比較入力とし、参照信号生成部 19 で生成される参照信号を基準入力とし、両信号を比較する。そして、コンパレータ 141 は、例えば、参照信号が画素信号よりも大きいときに出力が第 1 の状態（例えば、高レベル）になり、参照信号が画素信号以下のときに出力が第 2 の状態（例えば、低レベル）になる。これにより、コンパレータ 141 の出力信号は、画素信号のレベルの大きさに対応したパルス幅を持つパルス信号となる。

[0046] カウンタ回路 142 には、コンパレータ 141 に対する参照信号の供給開始タイミングと同じタイミングで、タイミング制御部 17 からクロック信号 CLK が与えられる。そして、カウンタ回路 142 は、クロック信号 CLK に同期してカウント動作を行うことによって、コンパレータ 141 の出力パルスのパルス幅の期間、即ち、比較動作の開始から比較動作の終了までの期間を計測する。このカウンタ回路 142 のカウント結果（カウント値）が、アナログの画素信号をデジタル化したデジタル値となる。

[0047] ラッチ回路 143 は、カウンタ回路 142 のカウント結果であるデジタル値をラッチする。そして、水平転送走査部 15 による駆動の下に、ラッチしたデジタル値を水平転送線 18 に出力する。

[0048] 上述したように、シングルスロープ型アナログーデジタル変換器 140 の集合から成る列並列アナログーデジタル変換部 14 では、参照信号生成部 19 で生成される、徐々に変化するアナログ値の参照信号と、単位画素 2 から出力されるアナログの画素信号との大小関係が変化するまでの時間情報からデジタル値を得る。尚、上記の例では、画素列に対して 1 対 1 の関係でアナログーデジタル変換器 140 が配置されて成るアナログーデジタル変換部 1

4 を例示したが、複数の画素列を単位としてアナログーデジタル変換器 1 4 0 が配置されて成るアナログーデジタル変換部 1 4 とすることも可能である。

[0049] [チップ構造]

上記の構成の本開示の CMOS イメージセンサ 1 のチップ（半導体集積回路）構造としては、平置型のチップ構造及び積層型のチップ構造を例示することができる。平置型のチップ構造及び積層型のチップ構造のいずれの CMOS イメージセンサ 1 においても、単位画素 2 について、配線層が配される側の基板面を表面（正面）とするとき、その反対側の裏面側から照射される光を取り込む裏面照射型の画素構造とすることができる。以下に、平置型のチップ構造及び積層型のチップ構造について説明する。

[0050] （平置型のチップ構造）

図 4 は、本開示の CMOS イメージセンサ 1 の平置型のチップ構造の概略を示す平面図である。図 4 に示すように、平置型のチップ構造、所謂、平置構造は、単位画素 2 が行列状に配置されて成る画素アレイ部 1 1 と同じ半導体基板 4 1 上に、画素アレイ部 1 1 の周辺の回路部分を形成した構造となっている。具体的には、画素アレイ部 1 1 と同じ半導体基板 4 1 上に、行選択部 1 2、定電流源部 1 3、アナログーデジタル変換部 1 4、水平転送走査部 1 5、信号処理部 1 6、タイミング制御部 1 7、参照信号生成部 1 9、及び、DC 供給部 2 0 等が形成されている。

[0051] （積層型のチップ構造）

図 5 は、本開示の CMOS イメージセンサの積層型のチップ構造の概略を示す分解斜視図である。図 5 に示すように、積層型のチップ構造、所謂、積層構造は、第 1 半導体基板 4 2 及び第 2 半導体基板 4 3 の少なくとも 2 つの半導体基板が積層された構造となっている。この積層構造において、画素アレイ部 1 1 は、1 層目の第 1 半導体基板 4 2 に形成される。また、行選択部 1 2、定電流源部 1 3、アナログーデジタル変換部 1 4、水平転送走査部 1 5、信号処理部 1 6、タイミング制御部 1 7、参照信号生成部 1 9、及び、

DC供給部20等の回路部分は、2層目の第2半導体基板43に形成される。そして、1層目の第1半導体基板42と2層目の第2半導体基板43とは、ビア(VIA)44を通して電氣的に接続される。

[0052] この積層構造のCMOSイメージセンサ1によれば、第1半導体基板42として画素アレイ部11を形成できるだけの大きさ(面積)のもので済むため、1層目の第1半導体基板42のサイズ(面積)、ひいては、チップ全体のサイズを小さくできる。更に、1層目の第1半導体基板42には単位画素2の作製に適したプロセスを適用でき、2層目の第2半導体基板43には回路部分の作製に適したプロセスを適用できるため、CMOSイメージセンサ1の製造に当たって、プロセスの最適化を図ることができるメリットもある。特に、回路部分の作製に当たっては、先端プロセスの適用が可能になる。

[0053] 尚、ここでは、第1半導体基板42及び第2半導体基板43が積層されて成る2層構造の積層構造を例示したが、積層構造としては、2層構造に限られるものではなく、3層以上の構造とすることもできる。そして、3層以上の積層構造の場合、行選択部12、定電流源部13、アナログーデジタル変換部14、水平転送走査部15、信号処理部16、タイミング制御部17、参照信号生成部19、及び、DC供給部20等の回路部分については、2層目以降の半導体基板に分散して形成することができる。

[0054] [コンパレータについて]

ところで、上述したシングルスロープ型アナログーデジタル変換器140において、コンパレータ141を構成する差動入力部やその能動負荷部のランダムノイズが大きいと、センシングした画像データを著しくチラつかせることがわかっている。

[0055] (コンパレータの回路構成例)

コンパレータ141の回路構成の一例を図6Aに示す。コンパレータ141は、差動入力部1411、定電流源1412、及び、能動負荷部1413を有する回路構成となっている。差動入力部1411は、ソース端子が共通に接続された例えばNチャネルのMOS型電界効果トランジスタ(FET)

T_{r_1} , T_{r_2} から成る。MOS型電界効果トランジスタ T_{r_1} のゲート端子には、容量素子 C_1 を介して参照信号が入力され、MOS型電界効果トランジスタ T_{r_2} のゲート端子には、容量素子 C_2 を介して画素信号が入力される。

[0056] 定電流源1412は、MOS型電界効果トランジスタ T_{r_1} , T_{r_2} のソース共通接続ノードと基準電位（例えば、接地電位）のノードとの間に接続されている。能動負荷部1413は、MOS型電界効果トランジスタ T_{r_1} , T_{r_2} の各ドレイン端子と電源電圧 V_{DD} のノードとの間に接続されたPチャネルのMOS型電界効果トランジスタ T_{r_3} , T_{r_4} から成る。

[0057] 能動負荷部1413において、MOS型電界効果トランジスタ T_{r_3} , T_{r_4} は、各ゲート端子が共通に接続されている。また、MOS型電界効果トランジスタ T_{r_3} は、ゲート端子とドレイン端子とが共通に接続されている。すなわち、MOS型電界効果トランジスタ T_{r_3} , T_{r_4} は、カレントミラー回路を構成している。そして、電界効果トランジスタ T_{r_2} 及び電界効果トランジスタ T_{r_4} の各ドレイン共通接続ノードから、出力 V_{out} が導出される。

[0058] (MOS型電界効果トランジスタのランダムノイズについて)

上記の構成のコンパレータ141において、センシングした画像データのチラつきを低減するには、ノイズ源となっているMOS型電界効果トランジスタのランダムノイズを減らすことである。MOS型電界効果トランジスタのランダムノイズは、フリッカ・ノイズ（ $1/f$ ノイズ）とランダム・テレグラフ・ノイズ（RTN）および熱雑音でほぼ決まっている（例えば、参考文献1参照）。

参考文献1：P.Martin-Gonthier, et al. , “RTS noise impact in CMOS image sensors readout circuit” , ICECS2009, Pages::928-931

[0059] フリッカ・ノイズやランダム・テレグラフ・ノイズのノイズパワーは、MOS型電界効果トランジスタのゲート端子の面積に反比例することがわかっている。そこで、コンパレータ141を構成しているMOS型電界効果トランジスタ $T_{r_1} \sim T_{r_4}$ の中で、ノイズ源となっている能動負荷部1413の電界効果トランジスタ T_{r_3} , T_{r_4} を、例えば、図6Bに示すように、複数の電

界効果トランジスタを並列接続させたマルチフィンガー構造にして電界効果トランジスタ全体のゲート端子の面積を大きくする。これにより、フリッカ・ノイズやランダム・テレグラフ・ノイズを低減し、センシングした画像データの時間的ゆらぎを低減することができる。

[0060] CMOSイメージセンサが様々な分野への応用が進むにつれて、高機能、高性能が要求され、CMOSイメージセンサの低ノイズ化もその要求の一つである。同時に、CMOSイメージセンサを搭載する装置の小型化の要求も強い。このことから、ノイズ源となる能動負荷部1413のMOS型電界効果トランジスタのゲート端子の面積を大きくして低ノイズ化を図る手法は、上述したように回路面積も大きくしてしまうため、装置の小型化との両立が難しい。

[0061] 加えて、製品の高機能化を達成するためには、CMOSイメージセンサを製造するための半導体プロセスも高性能なMOS型電界効果トランジスタを搭載した微細プロセスを使用する必要があるが、28nm世代以降のCMOSプロセスでは、酸化シリコン(SiON)／ポリシリコン(PolySi)ゲートプロセスに代わって、高誘電率／メタルゲート(High-K/Metalゲート)プロセスが導入されている(例えば、参考文献2参照)

参考文献2 : S.Morvan, et al. , "Gate-last integration on planar FD SOI MOSFET: Impact of mechanical boosters and channel orientations" , 2013 IEEE International Electron Devices Meeting, Pages:20.3.1-20.3.4

[0062] このHigh-K/Metalゲートプロセスでは、例えば、MOS型電界効果トランジスタのゲート端子形成領域に金属材料を埋め込んだ後、CMP(化学機械研磨)技術を使って金属材料を研磨して平坦化してゲート端子を形成するプロセスを特徴としている。

[0063] しかしながら、High-K/Metalゲートプロセスの場合、ゲート端子形成領域の平面的な大きさが大きいほど、研磨される金属材料の量が多くなるため、ゲート端子の面積が大きい場合は、金属材料が大幅に消失してしまい歩留まり低下の原因となる。従って、High-K/Metalゲートプロセ

スゲートプロセスでは、半導体基板上にゲート面積の大きなMOS型電界効果トランジスタを作ることが難しい。

[0064] 以上より、CMOSイメージセンサの高機能化／小型化のトレンドに沿って低ノイズ化を進める場合、回路内のノイズ源となっているMOS型電界効果トランジスタのゲート端子の面積を大きくするという手法は使えなくなってきており、回路面積を増大させずに、低ノイズ化を図る手法が求められてきている。ここでは、コンパレータ141がMOS型電界効果トランジスタから成る場合を例に挙げたが、バイポーラトランジスタから成る場合にも同様のことが言える。

[0065] そこで、本開示のCMOSイメージセンサ1では、差動入力部及び当該差動入力部の能動負荷部を含むコンパレータを有するアナログーデジタル変換器において、回路面積の増大を抑えつつ、低ノイズ化を図るために以下の構成を採る。すなわち、能動負荷部を構成する少なくとも1つのトランジスタは、電流を制御する複数の制御端子を有する構成とする。そして、複数の制御端子は、電氣的に共通に接続されている構成とする。

[0066] このように、能動負荷部を構成する少なくとも1つのトランジスタの複数の制御端子を電氣的に共通に接続する構成とすることで、後述するように、能動負荷部の相互コンダクタンスを低減できるため、回路面積の増大を抑えつつ、低ノイズ化を図ることができる。能動負荷部を構成するトランジスタは、MOS型電界効果トランジスタから成る構成とすることもできるし、バイポーラトランジスタから成る構成とすることもできる。電流を制御する複数の制御端子は、MOS型電界効果トランジスタの場合にはゲート端子ということになり、バイポーラトランジスタの場合にはベース端子ということになる。

[0067] 以下に、差動入力部及び当該差動入力部の能動負荷部を含むコンパレータを有するアナログーデジタル変換器において、回路面積の増大を抑えつつ、低ノイズ化を図るための具体的な実施例について説明する。

[0068] 《第1実施形態》

本開示の第1実施形態は、コンパレータ141を構成するトランジスタが電界効果トランジスタから成る例である。第1実施形態の具体的な実施例について、以下に、実施例1乃至実施例8として説明する。

[0069] [実施例1]

実施例1は、能動負荷部1413を構成する一方のトランジスタ T_{r4} が電界効果トランジスタから成る例である。実施例1に係る能動負荷部の要部のレイアウトを図7Aに示し、図7AのA-A線に沿った矢視断面の断面図を図8に示す。ここでは、図6Aに示すコンパレータ141の回路構成における能動負荷部1413を構成する一方のPチャンネルMOS型電界効果トランジスタ（以下、「PMOSトランジスタ」と略記する） T_{r4} の構成を例示している。

[0070] 実施例1に係る能動負荷部1413を構成するPMOSトランジスタ T_{r4} は、任意のゲート長及びゲート幅から成る例えば4個のPMOSトランジスタ 51_1 , 51_2 , 51_3 , 51_4 を、アクティブ領域が共通になるように直列接続した構成となっている。具体的には、4個のPMOSトランジスタ 51_1 , 51_2 , 51_3 , 51_4 は、P型半導体基板52上の素子分離部53で囲まれたNウエル領域から成るアクティブ領域54内に形成され、当該アクティブ領域54を通じて直列に接続されている。

[0071] すなわち、実施例1に係るPMOSトランジスタ T_{r4} は、電流を制御する制御端子として、例えば4個のゲート端子（図面には、ゲート電極として図示している。以下の各実施例においても同様である） 55_1 , 55_2 , 55_3 , 55_4 を有する。そして、4個のゲート端子 55_1 , 55_2 , 55_3 , 55_4 は、配線56によって電氣的に共通に接続され、ゲート端子 55_1 , 55_2 , 55_3 , 55_4 の各々の間にコンタクトが存在せず、ドレイン領域とソース領域とが交互に直列に接続された構成となっている。ソース領域及びドレイン領域となるアクティブ領域54内の両端部のP⁺領域には、層間膜60を通してソース端子57及びドレイン端子58が電氣的に接続されている。

[0072] 因みに、実施例1に係る能動負荷部1413と同じゲート長及びゲート幅

から成る4個のPMOSトランジスタ 51_1 , 51_2 , 51_3 , 51_4 を、マルチフィンガー構造でデザインした場合のレイアウトを参考例として図7Bに示す。

[0073] 図7Aの実施例1と図7Bの参考例との比較において、両者のレイアウト面積は変わらないが、参考例のレイアウトに対して、実施例1のレイアウトでは、4個のPMOSトランジスタ 51_1 , 51_2 , 51_3 , 51_4 がソース・ドレイン方向に対して直列接続されている。従って、チャネル抵抗が大きくなるため、能動負荷部1413の相互コンダクタンス g_m が減少する。

[0074] 例えば、ゲート長 $=0.5\mu\text{m}$ 、ゲート幅 $=2\mu\text{m}$ の4個のPMOSトランジスタ 51_1 , 51_2 , 51_3 , 51_4 を、実施例1のレイアウトと参考例のレイアウトで作製した場合のドレイン電流 I_d に対する相互コンダクタンス g_m を図9に示す。図9から明らかなように、実施例1のレイアウトの場合、参考例のレイアウトに比べて、ドレイン電流 I_d が $1\mu\text{A}$ 付近の相互コンダクタンス g_m が1桁減少する。

[0075] このように、能動負荷部1413の相互コンダクタンス g_m が減少することにより、コンパレータ141自体のノイズの低減（低ノイズ化）を図ることができる。このことについて、以下に具体的に説明する。

[0076] 図6Aに示すコンパレータ141の回路構成において、差動入力部1411を構成するNチャネルMOS型電界効果トランジスタ（以下、「NMOSトランジスタ」と略記する） T_{r2} のランダムノイズ成分を $V_{n,n}^2$ とし、相互コンダクタンスを $g_{m,n}$ とする。また、能動負荷部1413を構成するPMOSトランジスタ T_{r4} のランダムノイズ成分を $V_{n,p}^2$ とし、相互コンダクタンスを $g_{m,p}$ とする。このとき、コンパレータ141から出力される全ランダムノイズ V_n^2 は、次式（1）で表わされる。

[0077]

$$\overline{V_n^2} \propto \overline{V_{n,n}^2} + \left(\frac{g_{m,p}}{g_{m,n}} \right)^2 \overline{V_{n,p}^2} \dots (1)$$

[0078] すなわち、コンパレータ141から出力される全ランダムノイズ V_n^2 は、差

動入力部1411のランダムノイズ成分 $V_{n,n}^2$ と、能動負荷部1413のランダムノイズ成分 $V_{n,p}^2$ との和で表される。能動負荷部1413のランダムノイズ成分 $V_{n,p}^2$ は、能動負荷部1413を構成するPMOSトランジスタ T_{r_4} の相互コンダクタンス g_{m_p} に比例して、コンパレータ141のランダムノイズ V_n^2 に寄与する。

[0079] 能動負荷部1413を構成するトランジスタ自身のランダムノイズスペクトルを、ゲート入力換算ノイズ SV_g で図10に示す。図10から明らかなように、能動負荷部1413を構成するトランジスタ自身のランダムノイズは、参考例のレイアウトに対して実施例1のレイアウトの方が大きいため、能動負荷部1413のランダムノイズ成分 $V_{n,p}^2$ 自体は増加する。

[0080] 但し、能動負荷部1413の相互コンダクタンス g_{m_p} が低下するため、 $(g_{m_p}/g_{m_n})^2 \times V_{n,p}^2$ は減少する。よって、差動入力部1411のランダムノイズ成分 $V_{n,n}^2$ については、実施例1のレイアウトと参考例のレイアウトとで変わらないが、コンパレータ141全体のランダムノイズ V_n^2 については、参考例のレイアウトの場合よりも実施例1のレイアウトの方が減少する。

[0081] 加えて、実施例1に係る技術を適用することにより、コンパレータ141の出力オフセット電圧バラツキの標準偏差についても改善することができる。ここで、出力オフセット電圧バラツキとは、コンパレータ141を構成する素子の特性バラツキによって発生するコンパレータ141の出力電圧のバラツキの程度を示す量である。この出力オフセット電圧バラツキの標準偏差が大きいと、固定パターンノイズが増大する。出力オフセット電圧バラツキは、コンパレータ141を構成するトランジスタの閾値電圧バラツキが大きいほど顕著化する。

[0082] 図6Aに示すコンパレータ141の回路構成において、差動入力部1411を構成するNMOSトランジスタ T_{r_2} の閾値電圧バラツキの標準偏差を $\sigma_{v_{th,n}}$ とし、相互コンダクタンスを g_{m_n} とする。また、能動負荷部1413を構成するPMOSトランジスタ T_{r_4} の閾値電圧バラツキの標準偏差を $\sigma_{v_{th,p}}$ とし、相互コンダクタンスを g_{m_p} とする。このとき、コンパレータ141の出力

オフセット電圧バラツキの標準偏差 $\sigma_{V_{out}}$ は、次式 (2) で表わされる。

[0083]

$$\sigma_{V_{out}}^2 \propto \sigma_{V_{th_n}}^2 + \left(\frac{g_{m_p}}{g_{m_n}} \right)^2 \sigma_{V_{th_p}}^2 \quad \dots (2)$$

[0084]

すなわち、コンパレータ 141 の出力オフセット電圧バラツキの標準偏差 $\sigma_{V_{out}}$ は、差動入力部 1411 の NMOS トランジスタ T_{r_2} の閾値電圧バラツキ $\sigma_{V_{th_n}}$ と、能動負荷部 1413 の PMOS トランジスタ T_{r_4} の閾値電圧バラツキの標準偏差 $\sigma_{V_{th_p}}$ との和で決まる。能動負荷部 1413 の PMOS トランジスタ T_{r_4} の閾値電圧バラツキの標準偏差 $\sigma_{V_{th_p}}$ は、相互コンダクタンス g_{m_p} に比例して出力オフセット電圧バラツキの標準偏差 $\sigma_{V_{out}}$ に寄与する。

[0085]

閾値電圧バラツキは、一般的に、MOS 型電界効果トランジスタのゲート面積に依存する。従って、能動負荷部 1413 を構成する PMOS トランジスタの閾値電圧バラツキは、実施例 1 のレイアウトと参考例に係るレイアウトとでは同等である。よって、差動入力部 1411 を構成する NMOS トランジスタ T_{r_2} の閾値電圧バラツキの標準偏差 $\sigma_{V_{th_n}}$ は、実施例 1 のレイアウトと参考例に係るレイアウトとで変わらないため、出力オフセット電圧バラツキの標準偏差 $\sigma_{V_{out}}$ については、参考例のレイアウトの場合よりも実施例 1 のレイアウトの方が減少する。

[0086]

図 11 に、実施例 1 のレイアウトを使用した場合のコンパレータ 141 のランダムノイズ及び出力電圧バラツキの改善効果について、参考例のレイアウトを使用した場合と比較して記載する。ここでは、能動負荷部 1413 を構成する PMOS トランジスタ T_{r_4} のチャンネル長 L とチャンネル幅 W との比を、例えば $L/W = 0.5 / 2 \mu m$ としている。そして、参考例のレイアウトの場合における能動負荷部 1413 の相互コンダクタンス g_{m_p} 、差動入力部 1411 のノイズ成分 V_{n_n} 、能動負荷部 1413 のノイズ成分 $(g_{m_p} / g_{m_n}) \times V_{n_p}$ 、コンパレータ 141 の全ノイズ V_n 、出力オフセット電圧バラツキの標準偏差 $\sigma_{V_{out}}$ を 1 としている。

[0087]

このとき、実施例 1 のレイアウトを使用した場合のコンパレータ 141 で

は、能動負荷部 1413 の相互コンダクタンス g_{m_p} について約 85% 程度、ノイズ成分 $(g_{m_p}/g_{m_n}) \times V_{n_p}$ については約 60% 程度の改善が見込まれる。また、コンパレータ 141 の全ノイズ V_n については約 15% 程度、出力オフセット電圧バラツキの標準偏差 $\sigma_{v_{out}}$ については約 35% 程度の改善が見込まれる。

[0088] [実施例 2]

実施例 2 は、実施例 1 の変形例であり、アクティブ領域が分離され、1 つのアクティブ領域にトランジスタを 1 個ずつ形成する例、即ち、複数のトランジスタを異なるアクティブ領域に分散して配置する例である。実施例 2 に係る能動負荷部の要部のレイアウトを図 12A に示す。

[0089] 実施例 2 に係る能動負荷部 1413 を構成する PMOS トランジスタ T_{r4} は、電氣的に分離された例えば 2 つのアクティブ領域 54_1 , 54_2 のそれぞれに、PMOS トランジスタが 1 個ずつ形成された構造となっている。

[0090] 具体的には、複数（例えば、2 個）のアクティブ領域 54_1 , 54_2 のそれぞれに、ゲート端子 55_1 , 55_2 が配置されて 2 個の PMOS トランジスタ 51_1 , 51_2 を形成している。そして、2 個の PMOS トランジスタ 51_1 , 51_2 において、アクティブ領域 54_1 とアクティブ領域 54_2 とが配線 59 によって接続され、電流を制御する 2 個のゲート端子 55_1 , 55_2 が配線 56 によって電氣的に共通に接続されている。

[0091] 換言すれば、実施例 2 に係る能動負荷部 1413 では、PMOS トランジスタ T_{r4} を例えば 2 個の PMOS トランジスタ 51_1 , 51_2 に分割し、これら PMOS トランジスタ 51_1 , 51_2 を直列に接続するような構造となっている。

[0092] ここでは、アクティブ領域が電氣的に 2 つに分離され、各アクティブ領域にゲート端子が 1 個ずつ配置されることにより、計 2 個の PMOS トランジスタ 51_1 , 51_2 を構成する場合を例示したが、トランジスタの数は 2 個に限られるものではなく、3 個以上であってもよい。この場合にも、3 個以上の PMOS トランジスタにおいて、電流を制御する 3 個のゲート端子が、分離

された3個以上のアクティブ領域のそれぞれに配置され、配線56によって電氣的に共通に接続されることになる。

[0093] 上述した実施例2に係るPMOSトランジスタ T_{r4} の構造によれば、図6Aに示すコンパレータ141において、図12Bに示すように、PMOSトランジスタ T_{r3} とPMOSトランジスタ T_{r4} との間で、両トランジスタの配置重心を一致させるコモンセントロイド配置のレイアウトが可能になる。このようなレイアウトにすることで、PMOSトランジスタ T_{r3} とPMOSトランジスタ T_{r4} との間での相対的な特性バラつきを低減できるため、コンパレータ141の出力バラつきを低減できる。

[0094] 上記の実施例2の作用、効果については、後述する実施例3乃至実施例5においても同様である。PMOSトランジスタ T_{r4} の分割の仕方は、回路設計で求められる特性を得るために必要なチャネル幅 W との兼ね合いで、実施例2や後述する実施例3乃至実施例5のように、様々なレイアウトをとることができる。

[0095] [実施例3]

実施例3は、実施例1の変形例であり、アクティブ領域が分離され、1つのアクティブ領域にトランジスタを複数個ずつ形成する例である。実施例3に係る能動負荷部の要部のレイアウトを図13に示す。

[0096] 実施例3に係る能動負荷部1413を構成するPMOSトランジスタ T_{r4} は、電氣的に分離された例えば2つのアクティブ領域 54_1 、 54_2 のそれぞれに、PMOSトランジスタが複数（例えば、3個）ずつ形成された構造となっている。

[0097] 具体的には、アクティブ領域 54_1 には、3個のゲート端子 55_1 、 55_2 、 55_3 が配置されて3個のPMOSトランジスタ 51_1 、 51_2 、 51_3 を形成している。また、アクティブ領域 54_2 には、3個のゲート端子 55_4 、 55_5 、 55_6 が配置されて3個のPMOSトランジスタ 51_4 、 51_5 、 51_6 を形成している。

[0098] アクティブ領域 54_1 に形成された3個のPMOSトランジスタ 51_1 、 51_2

、 51_3 は、アクティブ領域 54_1 を通じて互いに直列に接続されており、アクティブ領域 54_2 に形成された3個のPMOSトランジスタ 51_4 、 51_5 、 51_6 は、アクティブ領域 54_2 を通じて互いに直列に接続されている。そして、アクティブ領域 54_1 とアクティブ領域 54_2 とが配線 59 によって接続されることで、6個のPMOSトランジスタ 51_1 ～ 51_6 が直列に接続されている。また、6個のPMOSトランジスタ 51_1 ～ 51_6 において、電流を制御する6個のゲート端子 55_1 ～ 55_6 が配線 56 によって電氣的に共通に接続されている。

[0099] ここでは、アクティブ領域が電氣的に2つに分離され、各アクティブ領域にゲート端子が3個ずつ配置されることにより、計6個のPMOSトランジスタ 51_1 ～ 51_6 を構成する場合を例示したが、トランジスタの数は6個に限られるものではない。例えば、電氣的に分離された2つのアクティブ領域のそれぞれに3個以上のゲート端子を配置する構成とすることもできるし、アクティブ領域を電氣的に3つ以上に分離し、それぞれのアクティブ領域に2個、又は3個以上のゲート端子を配置する構成とすることもできる。いずれの場合にも、複数のPMOSトランジスタにおいて、電流を制御する複数のゲート端子が配線 56 によって電氣的に共通に接続されることになる。

[0100] [実施例4]

実施例4は、実施例1の変形例であり、2個以上のトランジスタの並列接続と直列接続との組み合わせの例である。実施例4に係る能動負荷部の要部のレイアウトを図14に示す。

[0101] 実施例4に係る能動負荷部 1413 を構成するPMOSトランジスタ Tr_4 は、電氣的に分離された例えば4つのアクティブ領域 54_1 ～ 54_4 のそれぞれに、PMOSトランジスタが1個ずつ形成された構造となっている。

[0102] 具体的には、アクティブ領域 54_1 内にゲート端子 55_1 が配置されてPMOSトランジスタ 51_1 を形成し、アクティブ領域 54_2 内にゲート端子 55_2 が配置されてPMOSトランジスタ 51_2 を形成している。そして、PMOSトランジスタ 51_1 とPMOSトランジスタ 51_2 とは、各ゲート端子 55_1 、 55_2

が共通の端子となり、ソース領域同士及びドレイン領域同士がそれぞれ電氣的に共通に接続されることで、並列接続された構成となっている。

[0103] また、アクティブ領域 54_3 内にゲート端子 55_3 が配置されてPMOSトランジスタ 51_3 を形成し、アクティブ領域 54_4 内にゲート端子 55_4 が配置されてPMOSトランジスタ 51_4 を形成している。そして、PMOSトランジスタ 51_3 とPMOSトランジスタ 51_4 とは、各ゲート端子 55_3 、 55_4 が共通の端子となり、ソース領域同士及びドレイン領域同士がそれぞれ電氣的に共通に接続されることで、並列接続された構成となっている。

[0104] 上記の構成において、並列接続されたPMOSトランジスタ 51_1 及びPMOSトランジスタ 51_2 と、並列接続されたPMOSトランジスタ 51_3 及びPMOSトランジスタ 51_4 とは、配線 59 によって直列に接続されている。すなわち、実施例4に係る能動負荷部 1413 を構成するPMOSトランジスタ T_{r4} は、PMOSトランジスタ 51_1 及びPMOSトランジスタ 51_2 の並列接続の組と、PMOSトランジスタ 51_3 及びPMOSトランジスタ 51_4 の並列接続の組とを直列に接続した構成となっている。そして、電流を制御するゲート端子 55_1 、 55_2 とゲート端子 55_3 、 55_4 とが配線 56 によって電氣的に共通に接続されている。

[0105] ここでは、並列接続のトランジスタの数を2個とした場合を例示したが、2個に限られるものではなく、3個以上の並列接続とすることもできる。同様に、並列接続の組の直列接続の数についても、2組に限られるものではなく、3組以上の直列接続とすることもできる。

[0106] [実施例5]

実施例5は、実施例1の変形例であり、2個以上のトランジスタの直列接続と並列接続との組み合わせの例である。実施例5に係る能動負荷部の要部のレイアウトを図15に示す。

[0107] 実施例5に係る能動負荷部 1413 を構成するPMOSトランジスタ T_{r4} は、電氣的に分離された例えば2つのアクティブ領域 54_1 、 54_2 のそれぞれに、PMOSトランジスタが複数（例えば、2個）ずつ形成された構造とな

っている。

[0108] 具体的には、アクティブ領域54₁内に2個のゲート端子55₁、55₂が配置されて2個のPMOSトランジスタ51₁、51₂を形成している。そして、これらPMOSトランジスタ51₁、51₂において、各ゲート端子55₁、55₂同士及びソース領域同士がそれぞれ電氣的に共通に接続されている。これにより、PMOSトランジスタ51₁とPMOSトランジスタ51₂とは互いに直列に接続されている。

[0109] また、アクティブ領域54₂内に2個のゲート端子55₃、55₄が配置されて2個のPMOSトランジスタ51₃、51₄を形成している。そして、これらPMOSトランジスタ51₃、51₄において、各ゲート端子55₃、55₄同士及びソース領域同士がそれぞれ電氣的に共通に接続されている。これにより、PMOSトランジスタ51₃とPMOSトランジスタ51₄とは互いに直列に接続されている。

[0110] 上記の構成において、直列接続されたPMOSトランジスタ51₁及びPMOSトランジスタ51₂と、直列接続されたPMOSトランジスタ51₃及びPMOSトランジスタ51₄とは、配線59によって並列に接続されている。すなわち、実施例5に係る能動負荷部1413を構成するPMOSトランジスタTr₄は、PMOSトランジスタ51₁及びPMOSトランジスタ51₂の直列接続の組と、PMOSトランジスタ51₃及びPMOSトランジスタ51₄の直列接続の組とを並列に接続した構成となっている。そして、電流を制御するゲート端子55₁、55₂とゲート端子55₃、55₄とが配線56によって電氣的に共通に接続されている。

[0111] [実施例6]

実施例6は、実施例1の変形例であり、アクティブ領域内にダミーのゲート端子を配置する例である。実施例6に係る能動負荷部の要部のレイアウトを図16に示す。

[0112] 実施例6に係る能動負荷部1413を構成するPMOSトランジスタTr₄は、アクティブ領域54₁内に複数（例えば、4個）のゲート端子55₁～55₄

が配置されるとともに、複数（例えば、4個）のダミーのゲート端子 $6\ 1_1 \sim 6\ 1_4$ が配置された構造となっている。

[0113] 具体的には、アクティブ領域 $5\ 4_1$ 内に4個のゲート端子 $5\ 5_1 \sim 5\ 5_4$ が配置されて4個のPMOSトランジスタ $5\ 1_1 \sim 5\ 1_4$ を形成している。そして、電流を制御する4個のゲート端子 $5\ 5_1 \sim 5\ 5_4$ が配線 $5\ 6$ によって電氣的に共通に接続されている。

[0114] また、同じアクティブ領域 $5\ 4_1$ 内の一方の端部側に2個のダミーのゲート端子 $6\ 1_1, 6\ 1_2$ が配置され、他方の端部側に2個のダミーのゲート端子 $6\ 1_3, 6\ 1_4$ が配置されている。これらダミーのゲート端子 $6\ 1_1 \sim 6\ 1_4$ には、通常、接地電位が与えられている。但し、ダミーのゲート端子 $6\ 1_1 \sim 6\ 1_4$ をフローティング状態にする場合もある。

[0115] 実施例6に係る能動負荷部 $1\ 4\ 1\ 3$ を構成するPMOSトランジスタ $T\ r_4$ によれば、次のような作用、効果を得ることができる。回路を構成するPMOSトランジスタ $5\ 1_1 \sim 5\ 1_4$ の周りにダミーのゲート端子 $6\ 1_1 \sim 6\ 1_4$ を配置することにより、ゲート端子を配置する密度が一定になるため、粗密依存を緩和できる。その結果、加工バラつきが減り、加工精度を向上できるため、PMOSトランジスタ $T\ r_4$ の特性バラつきを低減できる。この作用、効果については、実施例7においても同様である。

[0116] [実施例7]

実施例7は、実施例6の変形例であり、アクティブ領域内にダミーのゲート端子を配置するに当たって、回路を構成するトランジスタの間にダミーのゲート端子を配置する例である。実施例7に係る能動負荷部の要部のレイアウトを図17に示す。

[0117] 実施例6では、回路を構成するトランジスタの周辺部、具体的には、アクティブ領域 $5\ 4_1$ 内の中央部に形成されている4個のPMOSトランジスタ $5\ 1_1 \sim 5\ 1_4$ に対して、その両側にダミーのゲート端子 $6\ 1_1 \sim 6\ 1_4$ を配置した構成を採っている。

[0118] これに対して、実施例7では、PMOSトランジスタ $5\ 1_1, 5\ 1_2$ とPMO

Sトランジスタ 51_3 , 51_4 との間に、例えば2個のダミーのゲート端子 61_2 , 61_3 を配置し、アクティブ領域 54_1 内の両端部側にダミーのゲート端子 61_1 , 61_4 を配置した構成を採っている。

[0119] そして、電流を制御するゲート端子 55_1 , 55_2 とゲート端子 55_3 , 55_4 とが配線 56 によって電氣的に共通に接続されている。また、ダミーのゲート端子 61_1 ~ 61_4 には、例えば接地電位が与えられている。

[0120] 実施例7に係る能動負荷部 1413 を構成するPMOSトランジスタ Tr_4 の場合にも、実施例6に係る能動負荷部 1413 を構成するPMOSトランジスタ Tr_4 と同様の作用、効果を得ることができる。すなわち、粗密依存を緩和できるため、加工精度を向上できる。

[0121] [実施例8]

実施例1乃至実施例7は、図6Aに示すコンパレータ 141 の回路構成における能動負荷部 1413 を構成する一方のPMOSトランジスタ Tr_4 が電界効果トランジスタから成る例である。これに対し、実施例8は、能動負荷部 1413 を構成する両方のPMOSトランジスタ Tr_3 , Tr_4 が電界効果トランジスタから成る例である。

[0122] 実施例8に係る能動負荷部の要部のレイアウトを図18に示す。実施例8に係る能動負荷部 1413 は、両方のPMOSトランジスタ Tr_3 , Tr_4 がそれぞれ、複数(例えば、3個)のPMOSトランジスタから成り、同一のアクティブ領域 54_1 内に形成された構造となっている。

[0123] 具体的には、アクティブ領域 54_1 内に、3個のゲート端子 55_{31} ~ 55_{33} が配置されて、PMOSトランジスタ Tr_3 の3個のPMOSトランジスタ 51_{31} ~ 51_{33} を形成している。同じアクティブ領域 54_1 内にPMOSトランジスタ Tr_3 に隣接して、3個のゲート端子 55_{41} ~ 55_{43} が配置されて、PMOSトランジスタ Tr_4 の3個のPMOSトランジスタ 51_{41} ~ 51_{43} を形成している。また、アクティブ領域 54_1 の両端部側には、ダミーのゲート端子 61_1 , 61_2 が配置されている。これらダミーのゲート端子 61_1 , 61_2 には、例えば接地電位が与えられている。

[0124] 上述したように、実施例 8 に係る能動負荷部 1 4 1 3 は、PMOS トランジスタ T_{r_3} 、 T_{r_4} がそれぞれ、直列に接続された複数（本例では、3 個）の PMOS トランジスタから成り、且つ、両 PMOS トランジスタ T_{r_3} 、 T_{r_4} のアクティブ領域が共通化された構造となっている。そして、アクティブ領域 5 4₁ の両端部側からドレイン端子 5 8₁、5 8₂ が引き出され、ソース端子 5 7 については、両 PMOS トランジスタ T_{r_3} 、 T_{r_4} に共通の端子となっている。

[0125] 実施例 8 に係る能動負荷部 1 4 1 3 によれば、能動負荷部 1 4 1 3 を構成する PMOS トランジスタ T_{r_3} と PMOS トランジスタ T_{r_4} との間でソース領域を共通化し、共通の端子としてソース端子 5 7 を引き出す構造となっているため、能動負荷部 1 4 1 3 の全体の回路面積を低減できる。

[0126] 《第 2 実施形態》

本開示の第 2 実施形態は、コンパレータ 1 4 1 を構成するトランジスタが Fin-FET から成る例である。Fin-FET は、高誘電率／メタルゲート（High-K/Metalゲート）プロセスで形成することができる。Fin-FET は、平面型（プレーナ型）トランジスタを拡張し、立体的な構造とし、高速動作性能と省電力性能とを高めたトランジスタ構造である。この場合にも、本開示の技術、即ち、能動負荷部 1 4 1 3 を構成するトランジスタを、複数の制御端子（ゲート端子）を有する構造とし、これら複数の制御端子を電氣的に共通に接続する技術を適用することができる。以下に、第 2 実施形態の具体的な実施例について、実施例 9 乃至実施例 1 3 として説明する。

[0127] [実施例 9]

実施例 9 は、能動負荷部 1 4 1 3 を構成する一方のトランジスタ T_{r_4} が、1 個の Fin-FET から構成される例である。実施例 9 に係る能動負荷部の要部のレイアウトを図 1 9 A に示し、図 1 9 A の B-B 線に沿った矢視断面の断面図を図 1 9 B に示す。

[0128] 実施例 9 に係る能動負荷部 1 4 1 3 を構成する PMOS トランジスタ T_{r_4}

は、半導体基板 7 1 上に絶縁膜 7 2 が成膜され、当該絶縁膜 7 2 上にフィン (F i n) 7 3 が設けられた構造となっている。そして、フィン 7 3 の凹部に複数 (例えば、2 個) のゲート端子 5 5₁, 5 5₂ が配置されて 2 個の P M O S トランジスタ 5 1₁, 5 1₂ を形成している。そして、ソース領域及びドレイン領域となるフィン 7 3 の両端部には、ソース端子 5 7 及びドレイン端子 5 8 が電氣的に接続されている。また、電流を制御する 2 個のゲート端子 5 5₁, 5 5₂ が配線 5 6 によって電氣的に共通に接続されている。

[0129] 上述したように、実施例 9 に係る能動負荷部 1 4 1 3 を構成する P M O S トランジスタ T r₄ は、2 個以上のゲート端子が配置された 1 個の F i n - F E T から構成され、電流を制御する全てのゲート端子が電氣的に共通に接続された (共通化された) 構造となっている。

[0130] [実施例 1 0]

実施例 1 0 は、実施例 9 の変形例であり、能動負荷部 1 4 1 3 を構成する一方のトランジスタ T r₄ が、直列に接続された複数の F i n - F E T から構成される例である。実施例 1 0 に係る能動負荷部の要部のレイアウトを図 2 0 A に示す。

[0131] 実施例 9 では、P M O S トランジスタ T r₄ が 1 個の F i n - F E T から成る場合を例示している。これに対し、実施例 1 0 に係る能動負荷部 1 4 1 3 を構成する P M O S トランジスタ T r₄ は、複数 (例えば、2 個) の F i n - F E T を直列に接続した構造となっている。具体的には、2 個のフィン 7 3₁, 7 3₂ が配線 5 9 によって直列に接続され、これらフィン 7 3₁, 7 3₂ に配置されたゲート端子 5 5₁, 5 5₂ が配線 5 6 によって電氣的に共通に接続されている。

[0132] 上述したように、実施例 1 0 に係る能動負荷部 1 4 1 3 を構成する P M O S トランジスタ T r₄ は、2 個以上の F i n - F E T が配線によって直列に接続され、電流を制御する全てのゲート端子が配線によって電氣的に共通に接続された構造となっている。

[0133] [実施例 1 1]

実施例 11 は、実施例 9 の変形例であり、能動負荷部 1413 を構成する一方のトランジスタ T_{r4} が、並列に接続された複数の $F i n - F E T$ から構成される例である。実施例 11 に係る能動負荷部の要部のレイアウトを図 20B に示す。

[0134] 実施例 11 に係る能動負荷部 1413 を構成する PMOS トランジスタ T_{r4} は、実施例 9 に係る能動負荷部 1413 を構成する PMOS トランジスタ T_{r4} を複数（例えば、4 個）並列に接続した構造となっている。具体的には、4 個のフィン $73_1 \sim 73_4$ が並置され、それぞれのソース領域がソース配線 57 によって共通に接続されるとともに、それぞれのドレイン領域がドレイン配線 58 によって共通に接続されている。また、ゲート端子 55_1 , 55_2 がそれぞれ 4 個のフィン $73_1 \sim 73_4$ 間で共通端子となっており、両ゲート端子 55_1 , 55_2 が配線 56 によって電氣的に共通に接続されている。

[0135] 上述したように、実施例 11 に係る能動負荷部 1413 を構成する PMOS トランジスタ T_{r4} は、 $F i n - F E T$ が 2 個以上並列に接続され、電流を制御する全てのゲート端子が電氣的に共通に接続された構造となっている。

[0136] [実施例 12]

実施例 12 は、実施例 10 の変形例であり、能動負荷部 1413 を構成する一方のトランジスタ T_{r4} が、直列に接続された $F i n - F E T$ の組が複数並列に接続されて構成される例である。実施例 12 に係る能動負荷部の要部のレイアウトを図 21A に示す。

[0137] 実施例 12 に係る能動負荷部 1413 を構成する PMOS トランジスタ T_{r4} は、実施例 10 に係る能動負荷部 1413 を構成する PMOS トランジスタ T_{r4} を複数（例えば、2 個）並列に接続した構造となっている。具体的には、2 個のフィン 73_1 , 73_2 が配線 59_1 によって直列に接続され、同様に、2 個のフィン 73_3 , 73_4 が配線 59_2 によって直列に接続されている。そして、フィン 73_1 とフィン 73_3 とに跨ってゲート端子 55_1 が配置され、フィン 73_2 とフィン 73_4 とに跨ってゲート端子 55_2 が配置され、ゲート端子 55_1 , 55_2 が配線 56 によって電氣的に共通に接続されている。

[0138] 上述したように、実施例12に係る能動負荷部1413を構成するPMOSトランジスタ T_{r4} は、直列接続されたFin-FETが2個以上並列に接続され、電流を制御する全てのゲート端子が電氣的に共通に接続された構造となっている。

[0139] [実施例13]

実施例13は、実施例9の変形例であり、能動負荷部1413を構成する一方のトランジスタ T_{r4} が、並列に接続されたFin-FETの組が複数直列に接続されて構成される例である。実施例13に係る能動負荷部の要部のレイアウトを図21Bに示す。

[0140] 実施例13に係る能動負荷部1413を構成するPMOSトランジスタ T_{r4} は、実施例9に係る能動負荷部1413を構成するPMOSトランジスタ T_{r4} を複数（例えば、2個）並列に接続し、この並列接続の組を複数（例えば、2組）直列に接続した構造となっている。具体的には、4個のフィン73₁~73₄が並置され、それぞれの一方の端部が配線59によって共通に接続されている。そして、フィン73₁とフィン73₂とが組となってドレイン配線58によって並列に接続され、フィン73₃とフィン73₄とが組となってソース配線57によって並列に接続されている。また、ゲート端子55₁、55₂がそれぞれ4個のフィン73₁~73₄間で共通端子となっており、両ゲート端子55₁、55₂が配線56によって電氣的に共通に接続されている。

[0141] 上述したように、実施例13に係る能動負荷部1413を構成するPMOSトランジスタ T_{r4} は、Fin-FETが2個以上並列に接続され、この並列接続のFin-FETの組が2組以上直列にされ、電流を制御する全てのゲート端子が電氣的に共通に接続された構造となっている。

[0142] 上述したように、実施例12に係る能動負荷部1413を構成するPMOSトランジスタ T_{r4} は、直列接続されたFin-FETが2個以上並列に接続され、電流を制御する全てのゲート端子が電氣的に共通に接続された構造となっている。

[0143] 以上説明した、コンパレータ141を構成するトランジスタがFin-F

E Tから成る第2実施形態の場合にも、先述した実施例2乃至実施例5の場合と同様に、コモンセントロイド配置のレイアウトとすることができる。コモンセントロイド配置のレイアウトにより、実施例2乃至実施例5の場合と同様の作用、効果を得ることができる。

[0144] 加えて、Fin-FETのフィン73の幅は、加工の問題から、自由に變えることができない固定値であるが、実施例11（図20B）乃至実施例13（図21B）のようにすることで、トータルのチャンネル長Wを長く設定することができるため、更なる低ノイズ化やトランジスタ特性のバラつきを低減することができる。

[0145] 加えて、高誘電率／メタルゲートプロセスで形成されるFin-FETは、トランジスタのゲート長の最大値が制限されるために、従来のプレーナー構造に対してドレイン抵抗 R_{ds} （ $=1/g_{ds}$ ）を大きくすることが難しい。ドレイン抵抗 R_{ds} を大きくすることは、MOS型電界効果トランジスタを用いたアナログ回路の動作安定性を確保する上で重要な特性である。複数のトランジスタを直列接続してトータルのゲート長を大きくすることで、低ノイズ化に加えて、前世代なみのドレイン抵抗 R_{ds} を得ることができるようになる。そのレイアウトについては、回路設計で求められる特性を得るために必要なチャンネル幅Wとの兼ね合いで、実施例9乃至実施例13のように、様々なレイアウトをとることができる。

[0146] 《第3実施形態》

本開示の第3実施形態は、コンパレータ141を構成するトランジスタがバイポーラトランジスタから成る例である。バイポーラトランジスタから成るコンパレータ141の回路構成の一例を図22に示す。

[0147] 本例に係るコンパレータ141において、差動入力部1411は、エミッタ端子が共通に接続された例えばNPNバイポーラトランジスタ T_{r11} 、 T_{r12} から成る。バイポーラトランジスタ T_{r11} のベース端子には、容量素子 C_1 を介して参照信号が入力され、バイポーラトランジスタ T_{r12} のベース端子には、容量素子 C_2 を介して画素信号が入力される。定電流源1412は、バイポ

ーラトランジスタ $T_{r_{11}}$, $T_{r_{12}}$ のエミッタ共通接続ノードと基準電位（例えば、接地電位）のノードとの間に接続されている。

[0148] 能動負荷部 1413 は、バイポーラトランジスタ $T_{r_{11}}$, $T_{r_{12}}$ の各コレクタ端子と電源電圧 V_{CC} のノードとの間に接続された PNP バイポーラトランジスタ $T_{r_{13}}$, $T_{r_{14}}$ から成る。バイポーラトランジスタ $T_{r_{13}}$, $T_{r_{14}}$ は、各ベース端子が共通に接続されている。また、バイポーラトランジスタ $T_{r_{13}}$ は、ベース端子とコレクタ端子とが共通に接続されている。すなわち、バイポーラトランジスタ $T_{r_{13}}$, $T_{r_{14}}$ は、カレントミラー回路を構成している。そして、バイポーラトランジスタ $T_{r_{12}}$ 及びバイポーラトランジスタ $T_{r_{14}}$ の各コレクタ共通接続ノードから、出力 V_{out} が導出される。

[0149] 以下に、上記の構成のコンパレータ 141 を有するアナログーデジタル変換器 140 において、回路面積の増大を抑えつつ、低ノイズ化を図るための、第 3 実施形態の具体的な実施例について、実施例 14 乃至実施例 16 として説明する。

[0150] [実施例 14]

実施例 14 は、アクティブ領域が分離され、1 つのアクティブ領域にバイポーラトランジスタを 1 個ずつ形成する例である。実施例 14 に係る能動負荷部の要部のレイアウトを図 23 に示す。

[0151] 実施例 14 に係る能動負荷部 1413 を構成するバイポーラトランジスタ $T_{r_{14}}$ は、複数（例えば、2 個）の PNP バイポーラトランジスタから成り、エミッタ端子とコレクタ端子とが交互に直列接続され、電流を制御する全てのベース端子が共通化された構造となっている。

[0152] 具体的には、アクティブ領域が 2 つに分離されており、一方のアクティブ領域 81₁ には、ベース端子 82₁、エミッタ端子 83₁、コレクタ端子 84₁ を有するバイポーラトランジスタ 85₁ が形成されている。また、他方のアクティブ領域 81₂ には、ベース端子 82₂、エミッタ端子 83₂、コレクタ端子 84₂ を有するバイポーラトランジスタ 85₂ が形成されている。すなわち、バイポーラトランジスタ 85₁ とバイポーラトランジスタ 85₂ とが、異なるアクティ

ブ領域₁とアクティブ領域_{8 1 2}との分散して配置されている。

[0153] そして、異なるアクティブ領域₁、_{8 1 2}間において、バイポーラトランジスタ_{8 5 1}のエミッタ端子_{8 3 1}と、バイポーラトランジスタ_{8 5 2}のコレクタ端子_{8 4 2}とが配線_{8 6}によって接続され、電流を制御するベース端子_{8 2 1}、_{8 2 2}配線_{8 7}によって電氣的に共通に接続されて共通化されている。また、バイポーラトランジスタ_{8 5 1}のコレクタ端子_{8 4 1}にコレクタ配線_{8 8}が接続され、バイポーラトランジスタ_{8 5 2}のエミッタ端子_{8 3 2}にエミッタ配線_{8 9}が接続されている。

[0154] [実施例 1 5]

実施例 1 5 は、1つのアクティブ領域にバイポーラトランジスタを複数個形成する例である。実施例 1 5 に係る能動負荷部の要部のレイアウトを図 2 4 に示す。

[0155] 実施例 1 5 に係る能動負荷部 1 4 1 3 を構成するバイポーラトランジスタ $T_{r_{14}}$ は、1つのアクティブ領域内に、ベース端子が共通化された2個のバイポーラトランジスタが配置され、2個のバイポーラトランジスタのエミッタ端子とコレクタ端子とが直列接続された構造となっている。具体的には、1つのアクティブ領域_{8 1}内に、2個のバイポーラトランジスタ_{8 5 1}、_{8 5 2}が配置され、これらバイポーラトランジスタ_{8 5 1}、_{8 5 2}のベース端子が共通のベース端子_{8 2}となっている。そして、バイポーラトランジスタ_{8 5 1}のエミッタ端子_{8 3 1}と、バイポーラトランジスタ_{8 5 2}のコレクタ端子_{8 4 2}とが配線_{8 6}によって接続されている。

[0156] 実施例 1 5 に係る能動負荷部 1 4 1 3 を構成するバイポーラトランジスタ $T_{r_{14}}$ によれば、バイポーラトランジスタ_{8 5 1}、_{8 5 2}間でベース端子_{8 2}を共通化しているため、実施例 1 4 のように、単純な直列接続にする場合よりも、全体のトランジスタ面積を低減できる。

[0157] [実施例 1 6]

実施例 1 6 は、実施例 1 5 の変形例である。実施例 1 6 に係る能動負荷部の要部のレイアウトを図 2 5 に示す。

[0158] 実施例 16 に係る能動負荷部 1413 を構成するバイポーラトランジスタ T_{r14} は、実施例 15 に係る能動負荷部 1413 を構成するバイポーラトランジスタ T_{r14} を複数（例えば、2 個）直列に接続し、全てのベース端子を共通化した構造となっている。具体的には、例えば 2 つのアクティブ領域 81_1 、 81_2 のそれぞれに、2 個のバイポーラトランジスタ 85_1 、 85_2 が形成されており、双方の共通のベース端子 82_1 、 82_2 が配線 87 によって共通に接続されている。

[0159] そして、2 つのアクティブ領域 81_1 、 81_2 のそれぞれにおいて、バイポーラトランジスタ 85_1 のエミッタ端子 83_1 と、バイポーラトランジスタ 85_2 のコレクタ端子 84_2 とが配線 $86_{1,2}$ によって接続されている。また、アクティブ領域 81_1 、 81_2 間において、アクティブ領域 81_1 側のバイポーラトランジスタ 85_2 のエミッタ端子 83_2 と、アクティブ領域 81_2 側のバイポーラトランジスタ 85_1 のコレクタ端子 84_1 とが配線 86_3 によって接続されている。

[0160] 実施例 16 に係る能動負荷部 1413 を構成するバイポーラトランジスタ T_{r14} によれば、先述した実施例 2 乃至実施例 5 の場合と同様に、コモンセントロイド配置のレイアウトとすることができる。コモンセントロイド配置のレイアウトにより、実施例 2 乃至実施例 5 の場合と同様の作用、効果を得ることができる。

[0161] <コンパレータの適用例>

以上では、上記の各実施例に係る能動負荷部 1413 を含むコンパレータ 141 を、CMOS イメージセンサ 1 において、シングルスロープ型アナログ-デジタル変換器 140 を構成するコンパレータとして用いた場合、即ち、固体撮像素子に適用した場合を例示したが、この適用例に限られるものではない。以下に、本開示のコンパレータの他の適用例を例示する。以下では、コンパレータ 141 を記号化して図示する。

[0162] [適用例 1]

他の適用例としては、例えば、光、温度、匂い等の各種センサ回路で用いられるアナログスイッチを例示することができる。適用例 1 は、例えば、光

検出器で用いられるアナログスイッチに適用する例である。適用例 1 に係るアナログスイッチの回路例を図 2 6 A に示し、当該アナログスイッチの検出信号及び出力信号の波形を図 2 6 B に示す。

[0163] 光検出器は、フォトダイオード（図示せず）を使って検出した検出信号と、基準電圧 V_{ref} とを比較し、その比較結果に出力信号 V_{out} が応答することで、光の検出有無を判定するものである。光検出器等の各種センサ回路において、検出信号が微弱で、高 SN 比が要求されるようなコンパレータ 1 4 1 に対して、本開示の技術を適用することができる。

[0164] [適用例 2]

適用例 2 は、電動モーターなどを PWM (Pulse Width Modulation) 方式で制御する場合に必要な三角波発生回路に適用する例である。適用例 2 に係る三角波発生回路の回路例を図 2 7 A に示し、当該三角波発生回路の出力波形を図 2 7 B に示す。

[0165] 適用例 2 に係る三角波発生回路は、2 個のコンパレータ 1 4 1₁、1 4 1₂と、8 個の抵抗素子 $R_1 \sim R_8$ と、2 個の容量素子 C_1 、 C_2 とから成る周知の回路構成となっている。この三角波発生回路を構成するコンパレータ 1 4 1₁、1 4 1₂ に対して、本開示の技術を適用することができる。

[0166] [適用例 3]

適用例 3 は、デジタルーアナログ変換器に適用する例である。適用例 3 に係るデジタルーアナログ変換器の回路例を図 2 8 に示す。

[0167] 適用例 3 に係るデジタルーアナログ変換器は、重み抵抗型 DA コンバータと呼ばれるものである。具体的には、適用例 3 に係るデジタルーアナログ変換器は、コンパレータ 1 4 1 及び抵抗素子からなる加算回路を使って、抵抗素子の抵抗値の比例で、デジタル信号の各ビットに比例して出力電圧の重みを作り、アナログ信号に変換する周知の回路構成となっている。このデジタルーアナログ変換器を構成するコンパレータ 1 4 1 に対して、本開示の技術を適用することができる。

[0168] ここで例示した各適用例は一例である。その他、現状、世の中に流通して

いる各種計測器、AV機器、家電製品といったさまざまな電子機器においてコンパレータが使用されているが、それらのコンパレータに本開示の技術が適用できることは、有識者であれば、容易に判断できる。

[0169] <変形例>

上記の実施形態では、単位画素2が行列状に配置されて成るCMOSイメージセンサに適用した場合を例に挙げて説明したが、本開示の技術は、CMOSイメージセンサへの適用に限られるものではない。すなわち、本開示の技術は、単位画素2が行列状に2次元配置されて成るX-Yアドレス方式の固体撮像素子全般に対して適用可能である。

[0170] また、本開示の技術は、可視光の入射光量の分布を検知して画像として撮像する固体撮像素子への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像素子全般に対して適用可能である。

[0171] <応用例>

以上説明した本実施形態に係るCMOSイメージセンサ1は、例えば図29に示すように、可視光、赤外光、紫外光、X線等の光をセンシングする様々な装置に使用することができる。様々な装置の具体例について以下に列挙する。

[0172] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

- ・ 防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

- ・ 肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供され装置

- ・ スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

- ・ 畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0173] <本開示に係る技術の適用例>

本開示に係る技術は、様々な製品に適用することができる。以下に、より具体的な適用例について説明する。

[0174] [本開示の電子機器]

ここでは、デジタルスチルカメラやビデオカメラ等の撮像装置や、携帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に固体撮像素子を用いる複写機などの電子機器に適用する場合について説明する。

[0175] (撮像装置)

図30は、本開示の電子機器の一例である撮像装置の構成を示すブロック図である。図13に示すように、本例に係る撮像装置100は、レンズ群等を含む撮像光学系101、撮像部102、DSP回路103、フレームメモリ104、表示装置105、記録装置106、操作系107、及び、電源系108等を有している。そして、DSP回路103、フレームメモリ104、表示装置105、記録装置106、操作系107、及び、電源系108がバスライン109を介して相互に接続された構成となっている。

[0176] 撮像光学系101は、被写体からの入射光(像光)を取り込んで撮像部102の撮像面上に結像する。撮像部102は、光学系101によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。DSP回路103は、一般的なカメラ信号処理、例えば、ホワイトバランス処理、デモザイク処理、ガンマ補正処理などを行う。

[0177] フレームメモリ104は、DSP回路103での信号処理の過程で適宜デ

ータの格納に用いられる。表示装置 105 は、液晶表示装置や有機 EL (electro luminescence) 表示装置等のパネル型表示装置から成り、撮像部 102 で撮像された動画または静止画を表示する。記録装置 106 は、撮像部 102 で撮像された動画または静止画を、可搬型の半導体メモリや、光ディスク、HDD (Hard Disk Drive) 等の記録媒体に記録する。

[0178] 操作系 107 は、ユーザによる操作の下に、本撮像装置 100 が持つ様々な機能について操作指令を発する。電源系 108 は、DSP 回路 103、フレームメモリ 104、表示装置 105、記録装置 106、及び、操作系 107 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0179] 上記の構成の撮像装置 100 において、撮像部 102 として、先述した本開示に係る技術が適用される CMOS イメージセンサ 1 を用いることができる。当該 CMOS イメージセンサ 1 によれば、低ノイズ化を図ることができるため、ノイズの少ない高画質の撮影画像を得ることができる。

[0180] [移動体への応用例]

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット、建設機械、農業機械（トラクター）などのいずれかの種類の移動体に搭載される固体撮像素子として実現されてもよい。

[0181] 図 31 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システム 7000 の概略的な構成例を示すブロック図である。車両制御システム 7000 は、通信ネットワーク 7010 を介して接続された複数の電子制御ユニットを備える。図 31 に示した例では、車両制御システム 7000 は、駆動系制御ユニット 7100、ボディ系制御ユニット 7200、バッテリー制御ユニット 7300、車外情報検出ユニット 7400、車内情報検出ユニット 7500、及び統合制御ユニット 7600 を備える。これらの複数の制御ユニットを接続する通信ネットワーク 7010 は、例えば、CAN (Controller Area Network)、LIN (Local Interconnect N

etwork)、LAN (Local Area Network) 又は FlexRay (登録商標) 等の任意の規格に準拠した車載通信ネットワークであってよい。

[0182] 各制御ユニットは、各種プログラムにしたがって演算処理を行うマイクロコンピュータと、マイクロコンピュータにより実行されるプログラム又は各種演算に用いられるパラメータ等を記憶する記憶部と、各種制御対象の装置を駆動する駆動回路とを備える。各制御ユニットは、通信ネットワーク 7010 を介して他の制御ユニットとの間で通信を行うためのネットワーク I/F を備えると同時に、車内外の装置又はセンサ等との間で、有線通信又は無線通信により通信を行うための通信 I/F を備える。図 31 では、統合制御ユニット 7600 の機能構成として、マイクロコンピュータ 7610、汎用通信 I/F 7620、専用通信 I/F 7630、測位部 7640、ビーコン受信部 7650、車内機器 I/F 7660、音声画像出力部 7670、車載ネットワーク I/F 7680 及び記憶部 7690 が図示されている。他の制御ユニットも同様に、マイクロコンピュータ、通信 I/F 及び記憶部等を備える。

[0183] 駆動系制御ユニット 7100 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 7100 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。駆動系制御ユニット 7100 は、ABS (Antilock Brake System) 又は ESC (Electronic Stability Control) 等の制御装置としての機能を有してもよい。

[0184] 駆動系制御ユニット 7100 には、車両状態検出部 7110 が接続される。車両状態検出部 7110 には、例えば、車体の軸回転運動の角速度を検出するジャイロセンサ、車両の加速度を検出する加速度センサ、あるいは、アクセルペダルの操作量、ブレーキペダルの操作量、ステアリングホイールの操舵角、エンジン回転数又は車輪の回転速度等を検出するためのセンサのう

ちの少なくとも一つが含まれる。駆動系制御ユニット7100は、車両状態検出部7110から入力される信号を用いて演算処理を行い、内燃機関、駆動用モータ、電動パワーステアリング装置又はブレーキ装置等を制御する。

[0185] ボディ系制御ユニット7200は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット7200は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット7200には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット7200は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0186] バッテリ制御ユニット7300は、各種プログラムにしたがって駆動用モータの電力供給源である二次電池7310を制御する。例えば、バッテリ制御ユニット7300には、二次電池7310を備えたバッテリ装置から、バッテリ温度、バッテリ出力電圧又はバッテリの残存容量等の情報が入力される。バッテリ制御ユニット7300は、これらの信号を用いて演算処理を行い、二次電池7310の温度調節制御又はバッテリ装置に備えられた冷却装置等の制御を行う。

[0187] 車外情報検出ユニット7400は、車両制御システム7000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット7400には、撮像部7410及び車外情報検出部7420のうちの少なくとも一方が接続される。撮像部7410には、ToF (Time of Flight) カメラ、ステレオカメラ、単眼カメラ、赤外線カメラ及びその他のカメラのうちの少なくとも一つが含まれる。車外情報検出部7420には、例えば、現在の天候又は気象を検出するための環境センサ、あるいは、車両制御システム7000を搭載した車両の周囲の他の車両、障害物又は歩行者等を検出するための周囲情報検出センサのうちの少なくとも一つが含まれる。

[0188] 環境センサは、例えば、雨天を検出する雨滴センサ、霧を検出する霧センサ、日照度合いを検出する日照センサ、及び降雪を検出する雪センサのうちの少なくとも一つであってよい。周囲情報検出センサは、超音波センサ、レーダ装置及びLIDAR (Light Detection and Ranging, Laser Imaging Detection and Ranging) 装置のうちの少なくとも一つであってよい。これらの撮像部7410及び車外情報検出部7420は、それぞれ独立したセンサないし装置として備えられてもよいし、複数のセンサないし装置が統合された装置として備えられてもよい。

[0189] ここで、図32は、撮像部7410及び車外情報検出部7420の設置位置の例を示す。撮像部7910, 7912, 7914, 7916, 7918は、例えば、車両7900のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部のうちの少なくとも一つの位置に設けられる。フロントノーズに備えられる撮像部7910及び車室内のフロントガラスの上部に備えられる撮像部7918は、主として車両7900の前方の画像を取得する。サイドミラーに備えられる撮像部7912, 7914は、主として車両7900の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部7916は、主として車両7900の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部7918は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0190] 尚、図32には、それぞれの撮像部7910, 7912, 7914, 7916の撮影範囲の一例が示されている。撮像範囲aは、フロントノーズに設けられた撮像部7910の撮像範囲を示し、撮像範囲b, cは、それぞれサイドミラーに設けられた撮像部7912, 7914の撮像範囲を示し、撮像範囲dは、リアバンパ又はバックドアに設けられた撮像部7916の撮像範囲を示す。例えば、撮像部7910, 7912, 7914, 7916で撮像された画像データが重ね合わせられることにより、車両7900を上方から見た俯瞰画像が得られる。

[0191] 車両7900のフロント、リア、サイド、コーナ及び車室内のフロントガラスの上部に設けられる車外情報検出部7920, 7922, 7924, 7926, 7928, 7930は、例えば超音波センサ又はレーダ装置であってよい。車両7900のフロントノーズ、リアバンパ、バックドア及び車室内のフロントガラスの上部に設けられる車外情報検出部7920, 7926, 7930は、例えばLIDAR装置であってよい。これらの車外情報検出部7920~7930は、主として先行車両、歩行者又は障害物等の検出に用いられる。

[0192] 図31に戻って説明を続ける。車外情報検出ユニット7400は、撮像部7410に車外の画像を撮像させるとともに、撮像された画像データを受信する。また、車外情報検出ユニット7400は、接続されている車外情報検出部7420から検出情報を受信する。車外情報検出部7420が超音波センサ、レーダ装置又はLIDAR装置である場合には、車外情報検出ユニット7400は、超音波又は電磁波等を発信させるとともに、受信された反射波の情報を受信する。車外情報検出ユニット7400は、受信した情報に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。車外情報検出ユニット7400は、受信した情報に基づいて、降雨、霧又は路面状況等を認識する環境認識処理を行ってもよい。車外情報検出ユニット7400は、受信した情報に基づいて、車外の物体までの距離を算出してもよい。

[0193] また、車外情報検出ユニット7400は、受信した画像データに基づいて、人、車、障害物、標識又は路面上の文字等を認識する画像認識処理又は距離検出処理を行ってもよい。車外情報検出ユニット7400は、受信した画像データに対して歪補正又は位置合わせ等の処理を行うとともに、異なる撮像部7410により撮像された画像データを合成して、俯瞰画像又はパノラマ画像を生成してもよい。車外情報検出ユニット7400は、異なる撮像部7410により撮像された画像データを用いて、視点変換処理を行ってもよい。

[0194] 車内情報検出ユニット7500は、車内の情報を検出する。車内情報検出ユニット7500には、例えば、運転者の状態を検出する運転者状態検出部7510が接続される。運転者状態検出部7510は、運転者を撮像するカメラ、運転者の生体情報を検出する生体センサ又は車室内の音声を集音するマイク等を含んでもよい。生体センサは、例えば、座面又はステアリングホイール等に設けられ、座席に座った搭乗者又はステアリングホイールを握る運転者の生体情報を検出する。車内情報検出ユニット7500は、運転者状態検出部7510から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。車内情報検出ユニット7500は、集音された音声信号に対してノイズキャンセリング処理等の処理を行ってもよい。

[0195] 統合制御ユニット7600は、各種プログラムにしたがって車両制御システム7000内の動作全般を制御する。統合制御ユニット7600には、入力部7800が接続されている。入力部7800は、例えば、タッチパネル、ボタン、マイクロフォン、スイッチ又はレバー等、搭乗者によって入力操作され得る装置によって実現される。統合制御ユニット7600には、マイクロフォンにより入力される音声を音声認識することにより得たデータが入力されてもよい。入力部7800は、例えば、赤外線又はその他の電波を利用したリモートコントロール装置であってもよいし、車両制御システム7000の操作に対応した携帯電話又はPDA (Personal Digital Assistant) 等の外部接続機器であってもよい。入力部7800は、例えばカメラであってもよく、その場合搭乗者はジェスチャにより情報を入力することができる。あるいは、搭乗者が装着したウェアラブル装置の動きを検出することで得られたデータが入力されてもよい。さらに、入力部7800は、例えば、上記の入力部7800を用いて搭乗者等により入力された情報に基づいて入力信号を生成し、統合制御ユニット7600に出力する入力制御回路などを含んでもよい。搭乗者等は、この入力部7800を操作することにより、車両制御システム7000に対して各種のデータを入力したり処理動作を指示

したりする。

- [0196] 記憶部 7690 は、マイクロコンピュータにより実行される各種プログラムを記憶する ROM (Read Only Memory)、及び各種パラメータ、演算結果又はセンサ値等を記憶する RAM (Random Access Memory) を含んでいてもよい。また、記憶部 7690 は、HDD (Hard Disc Drive) 等の磁気記憶デバイス、半導体記憶デバイス、光記憶デバイス又は光磁気記憶デバイス等によって実現してもよい。
- [0197] 汎用通信 I/F 7620 は、外部環境 7750 に存在する様々な機器との間の通信を仲介する汎用的な通信 I/F である。汎用通信 I/F 7620 は、GSM (登録商標) (Global System of Mobile communications)、WiMAX、LTE (Long Term Evolution) 若しくは LTE-A (LTE-Advanced) などのセルラー通信プロトコル、又は無線 LAN (Wi-Fi (登録商標) ともいう)、Bluetooth (登録商標) などのその他の無線通信プロトコルを実装してよい。汎用通信 I/F 7620 は、例えば、基地局又はアクセスポイントを介して、外部ネットワーク (例えば、インターネット、クラウドネットワーク又は事業者固有のネットワーク) 上に存在する機器 (例えば、アプリケーションサーバ又は制御サーバ) へ接続してもよい。また、汎用通信 I/F 7620 は、例えば P2P (Peer To Peer) 技術を用いて、車両の近傍に存在する端末 (例えば、運転者、歩行者若しくは店舗の端末、又は MTC (Machine Type Communication) 端末) と接続してもよい。
- [0198] 専用通信 I/F 7630 は、車両における使用を目的として策定された通信プロトコルをサポートする通信 I/F である。専用通信 I/F 7630 は、例えば、下位レイヤの IEEE 802.11p と上位レイヤの IEEE 1609 との組合せである WAVE (Wireless Access in Vehicle Environment)、DSRC (Dedicated Short Range Communications)、又はセルラー通信プロトコルといった標準プロトコルを実装してよい。専用通信 I/F 7630 は、典型的には、車車間 (Vehicle to Vehicle) 通信、路車

間 (Vehicle to Infrastructure) 通信、車両と家との間 (Vehicle to Home) の通信及び歩車間 (Vehicle to Pedestrian) 通信のうちの1つ以上を含む概念であるV2X通信を遂行する。

[0199] 測位部7640は、例えば、GNSS (Global Navigation Satellite System) 衛星からのGNSS信号 (例えば、GPS (Global Positioning System) 衛星からのGPS信号) を受信して測位を実行し、車両の緯度、経度及び高度を含む位置情報を生成する。尚、測位部7640は、無線アクセスポイントとの信号の交換により現在位置を特定してもよく、又は測位機能を有する携帯電話、PHS若しくはスマートフォンといった端末から位置情報を取得してもよい。

[0200] ビーコン受信部7650は、例えば、道路上に設置された無線局等から発信される電波あるいは電磁波を受信し、現在位置、渋滞、通行止め又は所要時間等の情報を取得する。尚、ビーコン受信部7650の機能は、上述した専用通信I/F7630に含まれてもよい。

[0201] 車内機器I/F7660は、マイクロコンピュータ7610と車内に存在する様々な車内機器7760との間の接続を仲介する通信インタフェースである。車内機器I/F7660は、無線LAN、Bluetooth (登録商標)、NFC (Near Field Communication) 又はWUSB (Wireless USB) といった無線通信プロトコルを用いて無線接続を確立してもよい。また、車内機器I/F7660は、図示しない接続端子 (及び、必要であればケーブル) を介して、USB (Universal Serial Bus)、HDMI (登録商標) (High-Definition Multimedia Interface)、又はMHL (Mobile High-definition Link) 等の有線接続を確立してもよい。車内機器7760は、例えば、搭乗者が有するモバイル機器若しくはウェアラブル機器、又は車両に搬入され若しくは取り付けられる情報機器のうちの少なくとも1つを含んでいてもよい。また、車内機器7760は、任意の目的地までの経路探索を行うナビゲーション装置を含んでいてもよい。車内機器I/F7660は、これらの車内機器7760との間で、制御信号又はデータ信号を交換す

る。

[0202] 車載ネットワーク I/F 7680 は、マイクロコンピュータ 7610 と通信ネットワーク 7010 との間の通信を仲介するインタフェースである。車載ネットワーク I/F 7680 は、通信ネットワーク 7010 によりサポートされる所定のプロトコルに則して、信号等を送受信する。

[0203] 統合制御ユニット 7600 のマイクロコンピュータ 7610 は、汎用通信 I/F 7620、専用通信 I/F 7630、測位部 7640、ビーコン受信部 7650、車内機器 I/F 7660 及び車載ネットワーク I/F 7680 のうちの少なくとも一つを介して取得される情報に基づき、各種プログラムにしたがって、車両制御システム 7000 を制御する。例えば、マイクロコンピュータ 7610 は、取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 7100 に対して制御指令を出力してもよい。例えば、マイクロコンピュータ 7610 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含む A D A S (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行ってもよい。また、マイクロコンピュータ 7610 は、取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行ってもよい。

[0204] マイクロコンピュータ 7610 は、汎用通信 I/F 7620、専用通信 I/F 7630、測位部 7640、ビーコン受信部 7650、車内機器 I/F 7660 及び車載ネットワーク I/F 7680 のうちの少なくとも一つを介して取得される情報に基づき、車両と周辺 of 構造物や人物等の物体との間の 3次元距離情報を生成し、車両の現在位置の周辺情報を含むローカル地図情報を作成してもよい。また、マイクロコンピュータ 7610 は、取得される情報に基づき、車両の衝突、歩行者等の近接又は通行止めの道路への進入等の危険を予測し、警告用信号を生成してもよい。警告用信号は、例えば、警

告音を発生させたり、警告ランプを点灯させたりするための信号であってよい。

[0205] 音声画像出力部 7670 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 31 の例では、出力装置として、オーディオスピーカ 7710、表示部 7720 及びインストルメントパネル 7730 が例示されている。表示部 7720 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。表示部 7720 は、AR (Augmented Reality) 表示機能を有していてもよい。出力装置は、これらの装置以外の、ヘッドホン、搭乗者が装着する眼鏡型ディスプレイ等のウェアラブルデバイス、プロジェクタ又はランプ等の他の装置であってもよい。出力装置が表示装置の場合、表示装置は、マイクロコンピュータ 7610 が行った各種処理により得られた結果又は他の制御ユニットから受信された情報を、テキスト、イメージ、表、グラフ等、様々な形式で視覚的に表示する。また、出力装置が音声出力装置の場合、音声出力装置は、再生された音声データ又は音響データ等からなるオーディオ信号をアナログ信号に変換して聴覚的に出力する。

[0206] 尚、図 31 に示した例において、通信ネットワーク 7010 を介して接続された少なくとも二つの制御ユニットが一つの制御ユニットとして一体化されてもよい。あるいは、個々の制御ユニットが、複数の制御ユニットにより構成されてもよい。さらに、車両制御システム 7000 が、図示されていない別の制御ユニットを備えてもよい。また、上記の説明において、いずれかの制御ユニットが担う機能の一部又は全部を、他の制御ユニットに持たせてもよい。つまり、通信ネットワーク 7010 を介して情報の送受信がされるようになっていれば、所定の演算処理が、いずれかの制御ユニットで行われるようになってもよい。同様に、いずれかの制御ユニットに接続されているセンサ又は装置が、他の制御ユニットに接続されるとともに、複数の制御ユニットが、通信ネットワーク 7010 を介して相互に検出情報を送受信して

もよい。

[0207] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 7910、7912、7914、7916、7918 や車外情報検出部 7920、7922、7924、7926、7928、7930 に適用され得る。そして、撮像部 7910、7912、7914、7916、7918 や車外情報検出部 7920、7922、7924、7926、7928、7930 に本開示に係る技術を適用することにより、固体撮像素子の低ノイズ化によってノイズの少ない高画質の撮影画像を得ることができるため、例えば、撮像対象を高精度にて検出可能な車両制御システムを構築できる。

[0208] <本開示がとることができる構成>

本開示は、以下のような構成をとることもできる。

[0209] ≪A. 固体撮像素子≫

[A-1] 光電変換部を含む複数の単位画素が行列状に配置された画素アレイ部、及び、画素アレイ部の各単位画素から出力されるアナログの画素信号をデジタル信号に変換するアナログーデジタル変換部を備え、

アナログーデジタル変換部は、所定の参照信号及びアナログの画素信号を入力とする差動入力部及び差動入力部の能動負荷部を含むコンパレータを有し、

能動負荷部を構成する少なくとも1つのトランジスタは、電流を制御する複数の制御端子を有し、

複数の制御端子は、電氣的に共通に接続されている、

固体撮像素子。

[A-2] 能動負荷部を構成する少なくとも1つのトランジスタは、複数の制御端子を有する複数の電界効果トランジスタから成る、

上記[A-1]に記載の固体撮像素子。

[A-3] 複数の電界効果トランジスタは、ドレイン領域とソース領域とが交互に直列に接続され、ゲート端子が全て共通化されている、

上記 [A-2] に記載の固体撮像素子。

[A-4] 複数の電界効果トランジスタは、同一のアクティブ領域内に配置されている、

上記 [A-3] に記載の固体撮像素子。

[A-5] 複数の電界効果トランジスタは、アクティブ領域を通じて直列に接続されている、

上記 [A-4] に記載の固体撮像素子。

[A-6] 複数の電界効果トランジスタは、異なるアクティブ領域に分散して配置され、異なるアクティブ領域間が配線で接続されている、

上記 [A-3] に記載の固体撮像素子。

[A-7] 電界効果トランジスタが形成されないアクティブ領域には、ダミーのゲート端子が配置されている、

上記 [A-3] 乃至上記 [A-5] のいずれかに記載の固体撮像素子。

[A-8] 能動負荷部を構成する少なくとも1つのトランジスタは、複数の制御端子を有する複数のバイポーラトランジスタから成る、

上記 [A-1] に記載の固体撮像素子。

[A-9] 複数のバイポーラトランジスタは、エミッタ領域とコレクタ領域とが交互に直列に接続され、ベース端子が全て共通化されている、

上記 [A-8] に記載の固体撮像素子。

[A-10] 複数のバイポーラトランジスタは、異なるアクティブ領域に分散して配置され、配線で直列に接続されている、

上記 [A-9] に記載の固体撮像素子。

[A-11] 異なるアクティブ領域間で、複数のバイポーラトランジスタが配線で直列に接続されている、

上記 [A-10] に記載の固体撮像素子。

[A-12] 複数のバイポーラトランジスタは、同一のアクティブ領域内に配置され、複数のバイポーラトランジスタ間でベース端子が共通化されている、

上記 [A-9] に記載の固体撮像素子。

[A-13] 能動負荷部を構成する少なくとも1つのトランジスタは、Fin-FETから成る、

上記 [A-1] に記載の固体撮像素子。

[0210] ≪B. コンパレータ≫

[B-1] 所定の参照信号及びアナログの画素信号を入力とする差動入力部及び差動入力部の能動負荷部を含み、

能動負荷部を構成する少なくとも1つのトランジスタは、電流を制御する複数の制御端子を有し、

複数の制御端子は、電氣的に共通に接続されている、

コンパレータ。

[B-2] 能動負荷部を構成する少なくとも1つのトランジスタは、複数の制御端子を有する複数の電界効果トランジスタから成る、

上記 [B-1] に記載のコンパレータ。

[B-3] 複数の電界効果トランジスタは、ドレイン領域とソース領域とが交互に直列に接続され、ゲート端子が全て共通化されている、

上記 [B-2] に記載のコンパレータ。

[B-4] 複数の電界効果トランジスタは、同一のアクティブ領域内に配置されている、

上記 [B-3] に記載のコンパレータ。

[B-5] 複数の電界効果トランジスタは、アクティブ領域を通じて直列に接続されている、

上記 [B-4] に記載のコンパレータ。

[B-6] 複数の電界効果トランジスタは、異なるアクティブ領域に分散して配置され、異なるアクティブ領域間が配線で接続されている、

上記 [B-3] に記載のコンパレータ。

[B-7] 電界効果トランジスタが形成されないアクティブ領域には、ダミーのゲート端子が配置されている、

上記 [B-3] 乃至上記 [B-5] のいずれかに記載のコンパレータ。

[B-8] 能動負荷部を構成する少なくとも1つのトランジスタは、複数の制御端子を有する複数のバイポーラトランジスタから成る、

上記 [B-1] に記載のコンパレータ。

[B-9] 複数のバイポーラトランジスタは、エミッタ端子とコレクタ端子とが交互に直列に接続され、ベース端子が全て共通化されている、

上記 [B-8] に記載のコンパレータ。

[B-10] 複数のバイポーラトランジスタは、異なるアクティブ領域に分散して配置され、配線で直列に接続されている、

上記 [B-9] に記載のコンパレータ。

[B-11] 異なるアクティブ領域間で、複数のバイポーラトランジスタが配線で直列に接続されている、

上記 [B-10] に記載のコンパレータ。

[B-12] 複数のバイポーラトランジスタは、同一のアクティブ領域内に配置され、複数のバイポーラトランジスタ間でベース端子が共通化されている、

上記 [B-9] に記載のコンパレータ。

[B-13] 能動負荷部を構成する少なくとも1つのトランジスタは、Fin-FETから成る、

上記 [B-1] に記載のコンパレータ。

[0211] ≪C. 電子機器≫

[C-1] 光電変換部を含む複数の単位画素が行列状に配置された画素アレイ部、及び、画素アレイ部の各単位画素から出力されるアナログの画素信号をデジタル信号に変換するアナログーデジタル変換部を備え、

アナログーデジタル変換部は、所定の参照信号及びアナログの画素信号を入力とする差動入力部及び差動入力部の能動負荷部を含むコンパレータを有し、

能動負荷部を構成する少なくとも1つのトランジスタは、電流を制御する

複数の制御端子を有し、

複数の制御端子は、電氣的に共通に接続されている、

固体撮像素子を有する電子機器。

[C-2] 能動負荷部を構成する少なくとも1つのトランジスタは、複数の制御端子を有する複数の電界効果トランジスタから成る、

上記[C-1]に記載の電子機器。

[C-3] 複数の電界効果トランジスタは、ドレイン領域とソース領域とが交互に直列に接続され、ゲート端子が全て共通化されている、

上記[C-2]に記載の電子機器。

[C-4] 複数の電界効果トランジスタは、同一のアクティブ領域内に配置されている、

上記[C-3]に記載の電子機器。

[C-5] 複数の電界効果トランジスタは、アクティブ領域を通じて直列に接続されている、

上記[C-4]に記載の電子機器。

[C-6] 複数の電界効果トランジスタは、異なるアクティブ領域に分散して配置され、異なるアクティブ領域間が配線で接続されている、

上記[C-3]に記載の電子機器。

[C-7] 電界効果トランジスタが形成されないアクティブ領域には、ダミーのゲート端子が配置されている、

上記[C-3]乃至上記[C-5]のいずれかに記載の電子機器。

[C-8] 能動負荷部を構成する少なくとも1つのトランジスタは、複数の制御端子を有する複数のバイポーラトランジスタから成る、

上記[C-1]に記載の電子機器。

[C-9] 複数のバイポーラトランジスタは、エミッタ領域とコレクタ領域とが交互に直列に接続され、ベース端子が全て共通化されている、

上記[C-8]に記載の電子機器。

[C-10] 複数のバイポーラトランジスタは、異なるアクティブ領域に分

散して配置され、配線で直列に接続されている、

上記 [C-9] に記載の電子機器。

[C-11] 異なるアクティブ領域間で、複数のバイポーラトランジスタが配線で直列に接続されている、

上記 [C-10] に記載の電子機器。

[C-12] 複数のバイポーラトランジスタは、同一のアクティブ領域内に配置され、複数のバイポーラトランジスタ間でベース端子が共通化されている、

上記 [C-9] に記載の電子機器。

[C-13] 能動負荷部を構成する少なくとも1つのトランジスタは、Fin-FETから成る、

上記 [C-1] に記載の電子機器。

符号の説明

- [0212] 1・・・CMOSイメージセンサ、2・・・単位画素、11・・・画素アレイ部、12・・・行選択部、13・・・定電流源部、14・・・アナログーデジタル変換部、15・・・水平転送走査部、16・・・信号処理部、17・・・タイミング制御部、18・・・水平転送線、19・・・参照信号生成部、21・・・フォトダイオード（光電変換部）、22・・・転送トランジスタ、23・・・リセットトランジスタ、24・・・増幅トランジスタ、25・・・選択トランジスタ、31（31₁～31_m）・・・画素駆動線、32（32₁～32_n）・・・垂直信号線、140・・・シングルスロープ型アナログーデジタル変換器、141（141₁, 141₂）・・・コンパレータ、1411・・・差動入力部、1412・・・定電流源、1413・・・能動負荷部

請求の範囲

- [請求項1] 光電変換部を含む複数の単位画素が行列状に配置された画素アレイ部、及び、画素アレイ部の各単位画素から出力されるアナログの画素信号をデジタル信号に変換するアナログーデジタル変換部を備え、
アナログーデジタル変換部は、所定の参照信号及びアナログの画素信号を入力とする差動入力部及び差動入力部の能動負荷部を含むコンパレータを有し、
能動負荷部を構成する少なくとも1つのトランジスタは、電流を制御する複数の制御端子を有し、
複数の制御端子は、電氣的に共通に接続されている、
固体撮像素子。
- [請求項2] 能動負荷部を構成する少なくとも1つのトランジスタは、複数の制御端子を有する複数の電界効果トランジスタから成る、
請求項1に記載の固体撮像素子。
- [請求項3] 複数の電界効果トランジスタは、ドレイン領域とソース領域とが交互に直列に接続され、ゲート端子が全て共通化されている、
請求項2に記載の固体撮像素子。
- [請求項4] 複数の電界効果トランジスタは、同一のアクティブ領域内に配置されている、
請求項3に記載の固体撮像素子。
- [請求項5] 複数の電界効果トランジスタは、アクティブ領域を通じて直列に接続されている、
請求項4に記載の固体撮像素子。
- [請求項6] 複数の電界効果トランジスタは、異なるアクティブ領域に分散して配置され、異なるアクティブ領域間が配線で接続されている、
請求項3に記載の固体撮像素子。
- [請求項7] 電界効果トランジスタが形成されないアクティブ領域には、ダミーのゲート端子が配置されている、

請求項3に記載の固体撮像素子。

[請求項8] 能動負荷部を構成する少なくとも1つのトランジスタは、複数の制御端子を有する複数のバイポーラトランジスタから成る、

請求項1に記載の固体撮像素子。

[請求項9] 複数のバイポーラトランジスタは、エミッタ領域とコレクタ領域とが交互に直列に接続され、ベース端子が全て共通化されている、

請求項8に記載の固体撮像素子。

[請求項10] 複数のバイポーラトランジスタは、異なるアクティブ領域に分散して配置され、配線で直列に接続されている、

請求項9に記載の固体撮像素子。

[請求項11] 異なるアクティブ領域間で、複数のバイポーラトランジスタが配線で直列に接続されている、

請求項10に記載の固体撮像素子。

[請求項12] 複数のバイポーラトランジスタは、同一のアクティブ領域内に配置され、複数のバイポーラトランジスタ間でベース端子が共通化されている、

請求項9に記載の固体撮像素子。

[請求項13] 能動負荷部を構成する少なくとも1つのトランジスタは、Fin-FETから成る、

請求項1に記載の固体撮像素子。

[請求項14] 所定の参照信号及びアナログの画素信号を入力とする差動入力部及び差動入力部の能動負荷部を含み、

能動負荷部を構成する少なくとも1つのトランジスタは、電流を制御する複数の制御端子を有し、

複数の制御端子は、電氣的に共通に接続されている、

コンパレータ。

[請求項15] 光電変換部を含む複数の単位画素が行列状に配置された画素アレイ部、及び、画素アレイ部の各単位画素から出力されるアナログの画素

信号をデジタル信号に変換するアナログーデジタル変換部を備え、

アナログーデジタル変換部は、所定の参照信号及びアナログの画素信号を入力とする差動入力部及び差動入力部の能動負荷部を含むコンパレータを有し、

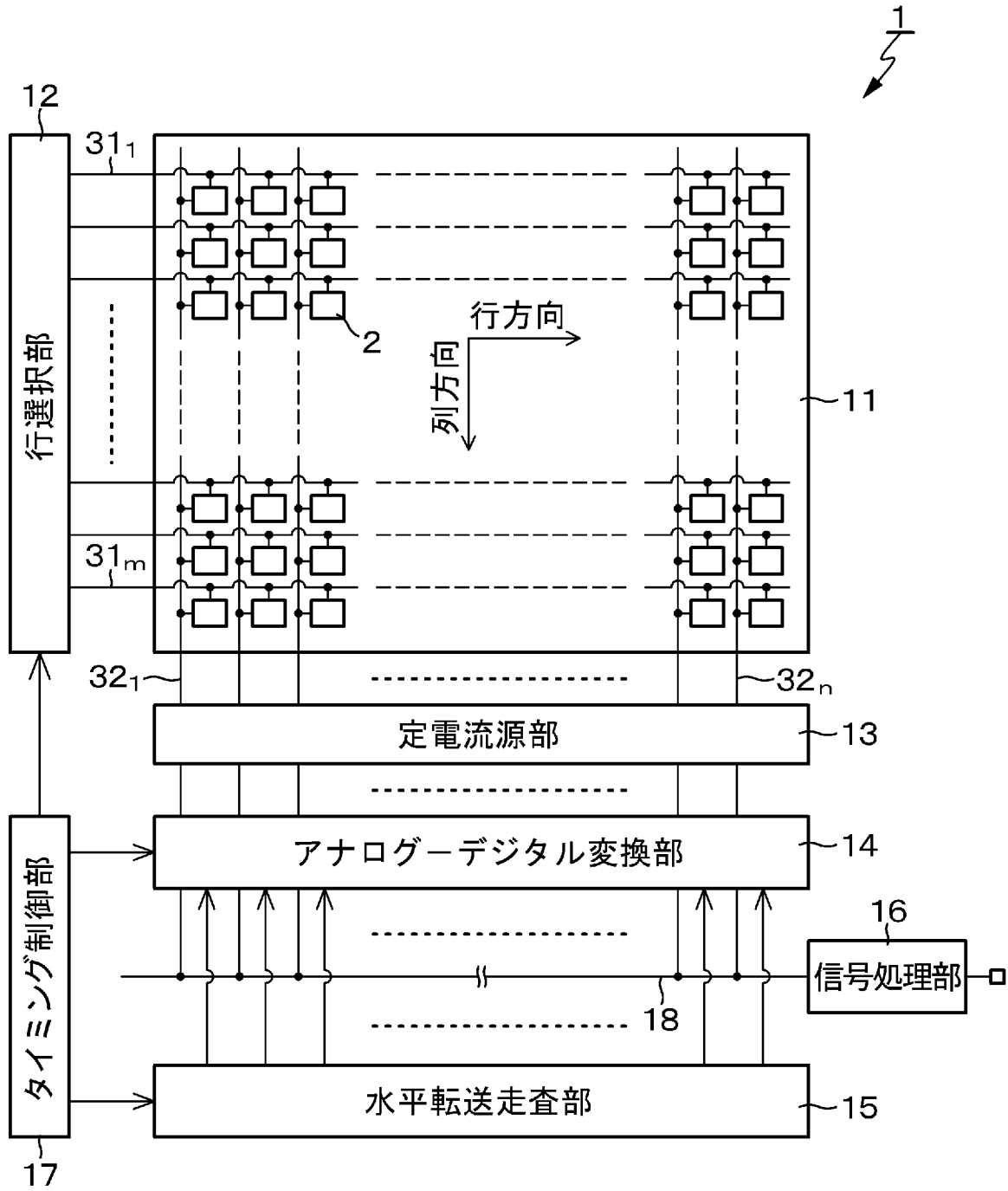
能動負荷部を構成する少なくとも1つのトランジスタは、電流を制御する複数の制御端子を有し、

複数の制御端子は、電氣的に共通に接続されている、

固体撮像素子を有する電子機器。

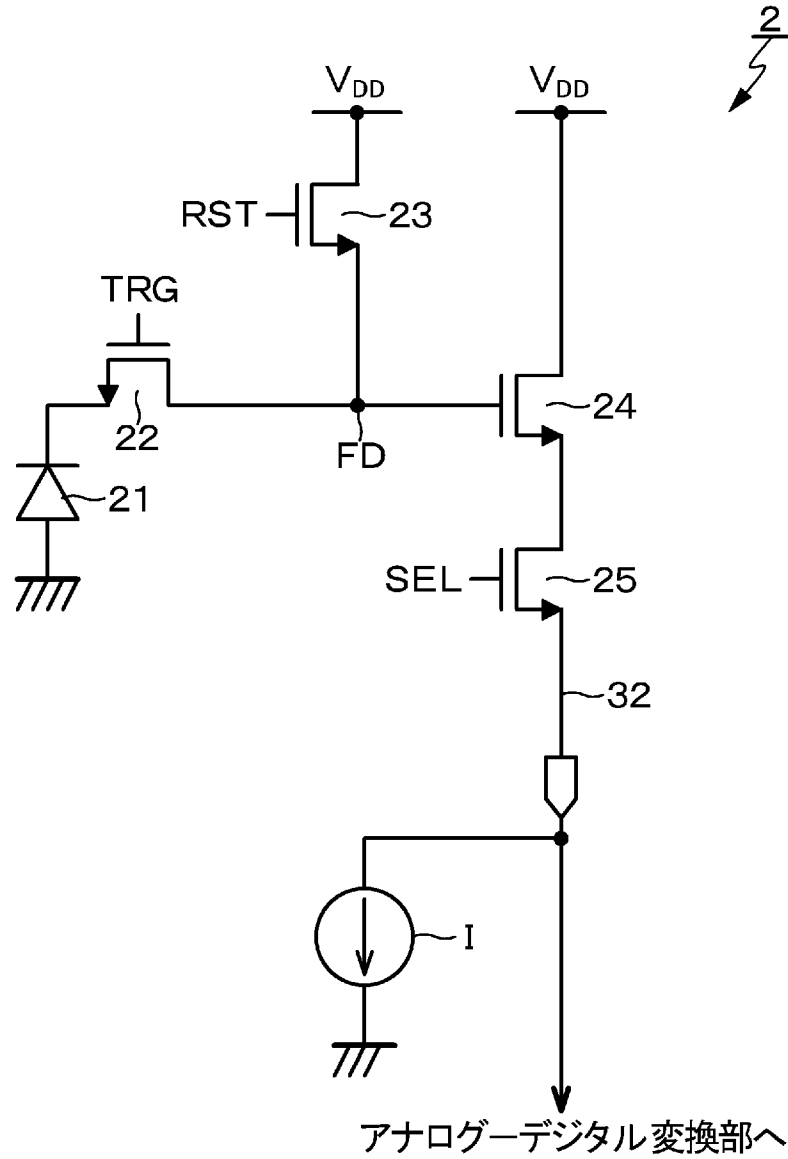
[図1]

図 1



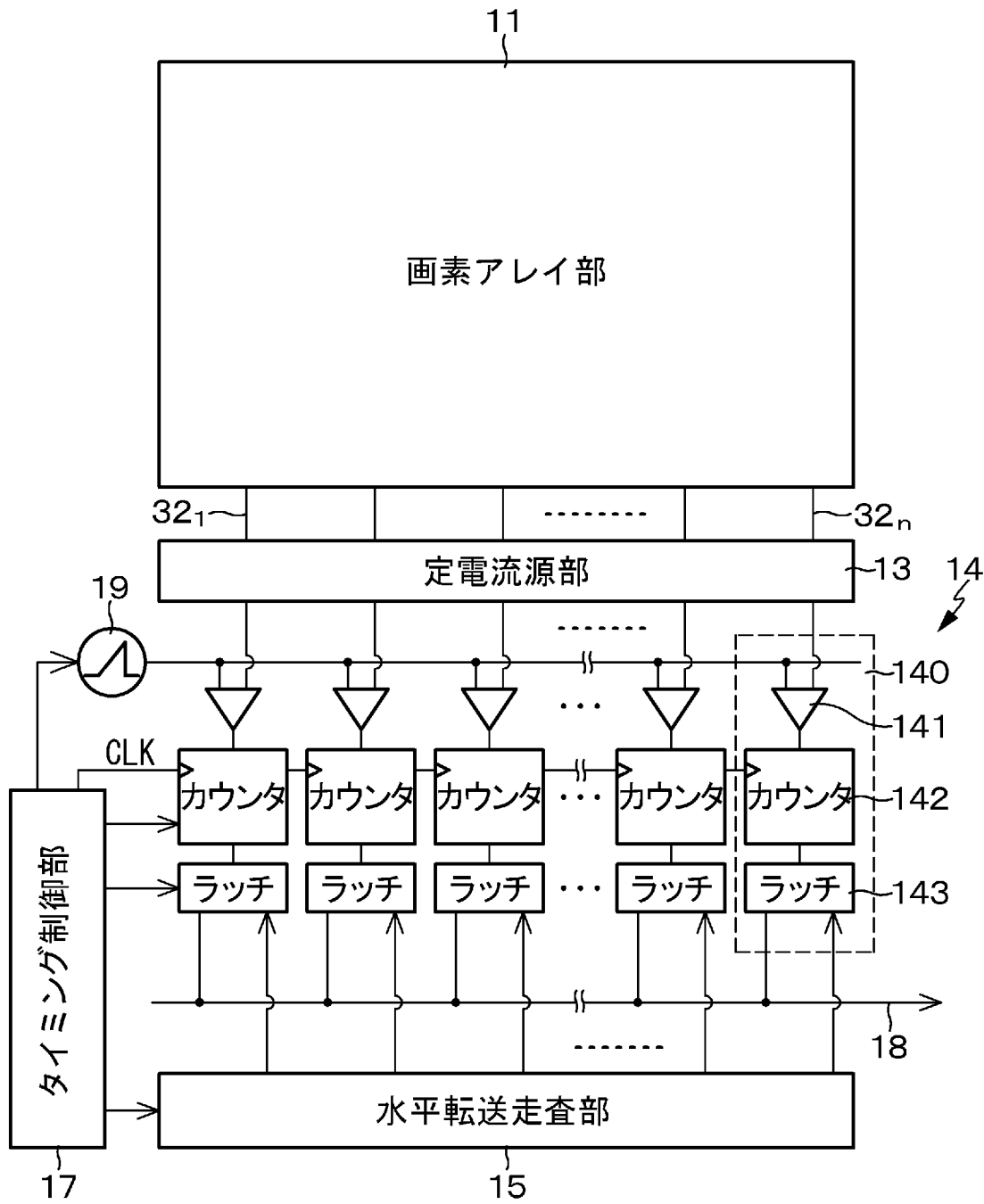
[図2]

図 2



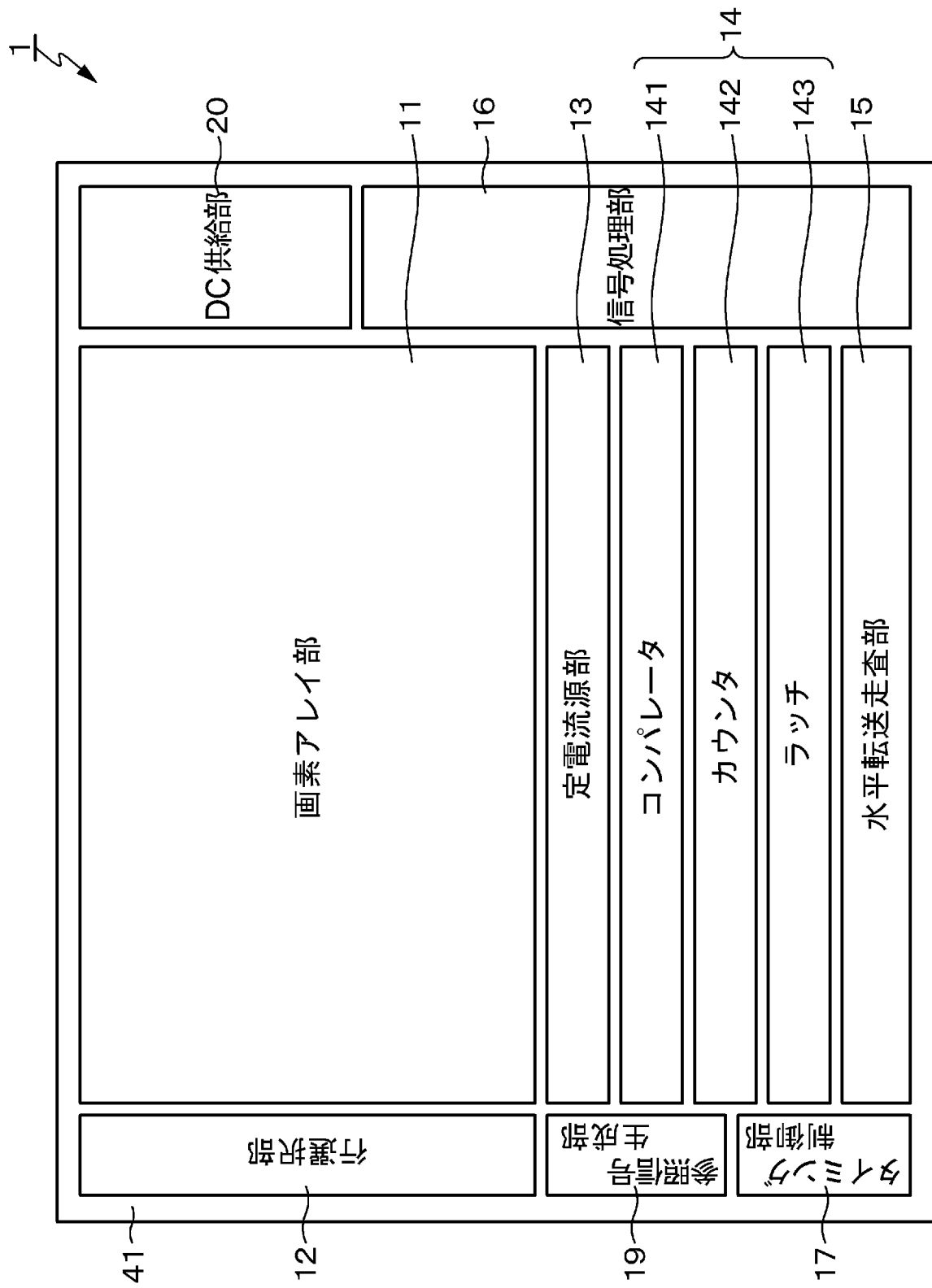
[図3]

図 3



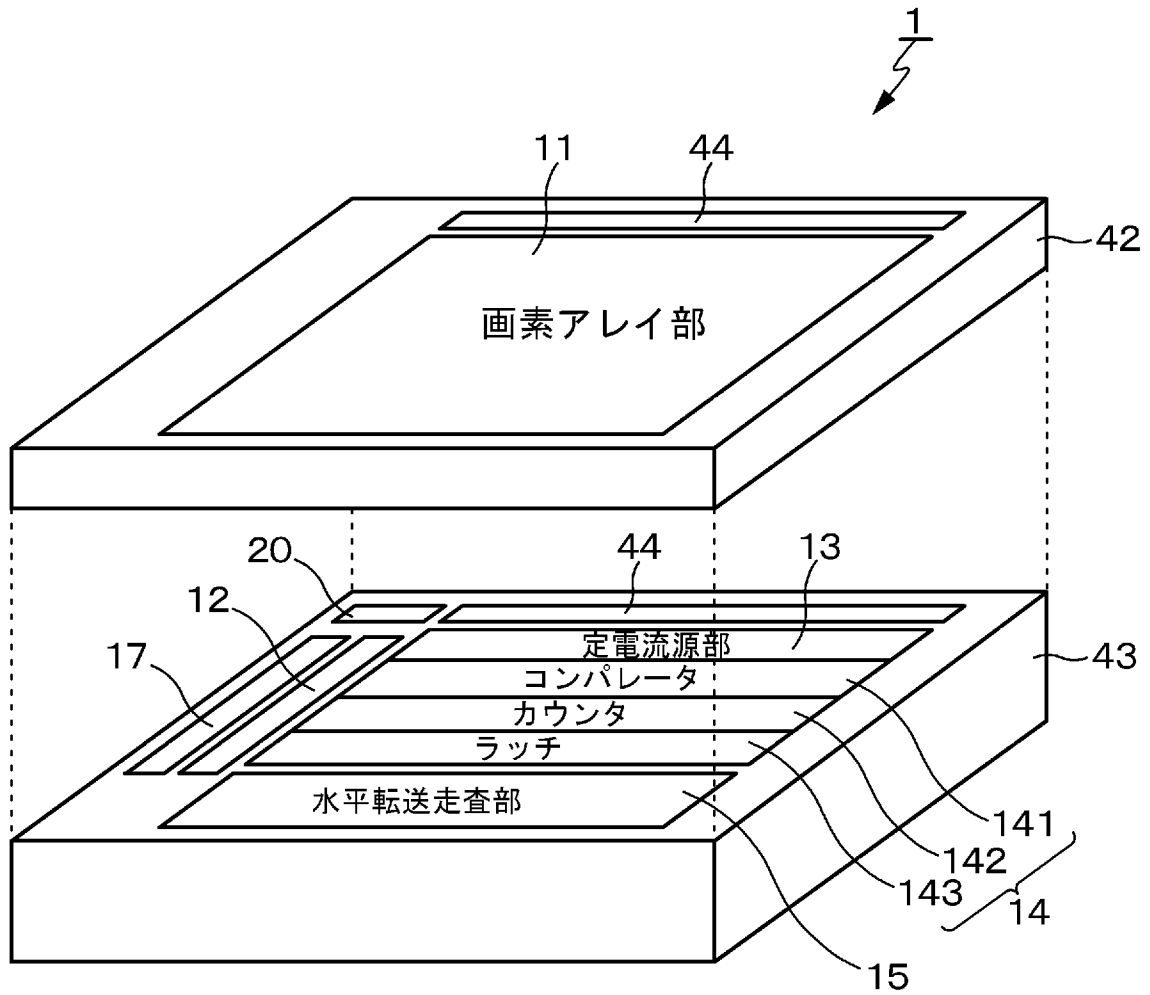
[図4]

図 4



[図5]

図 5



[図6]

図 6 A

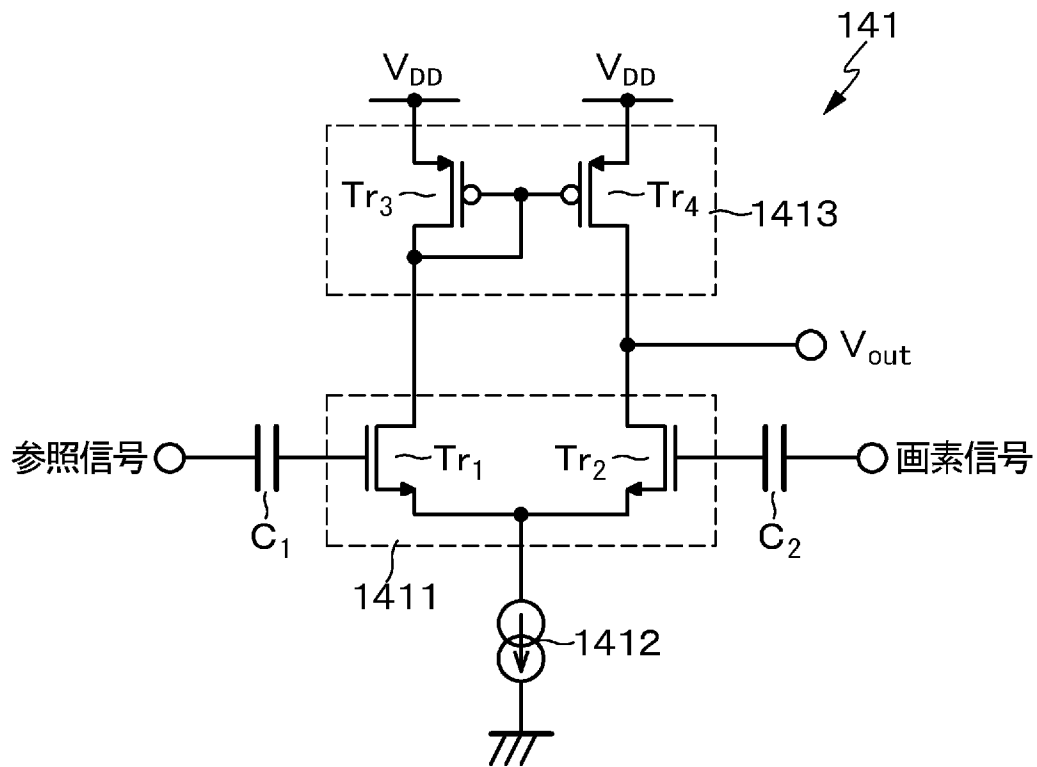
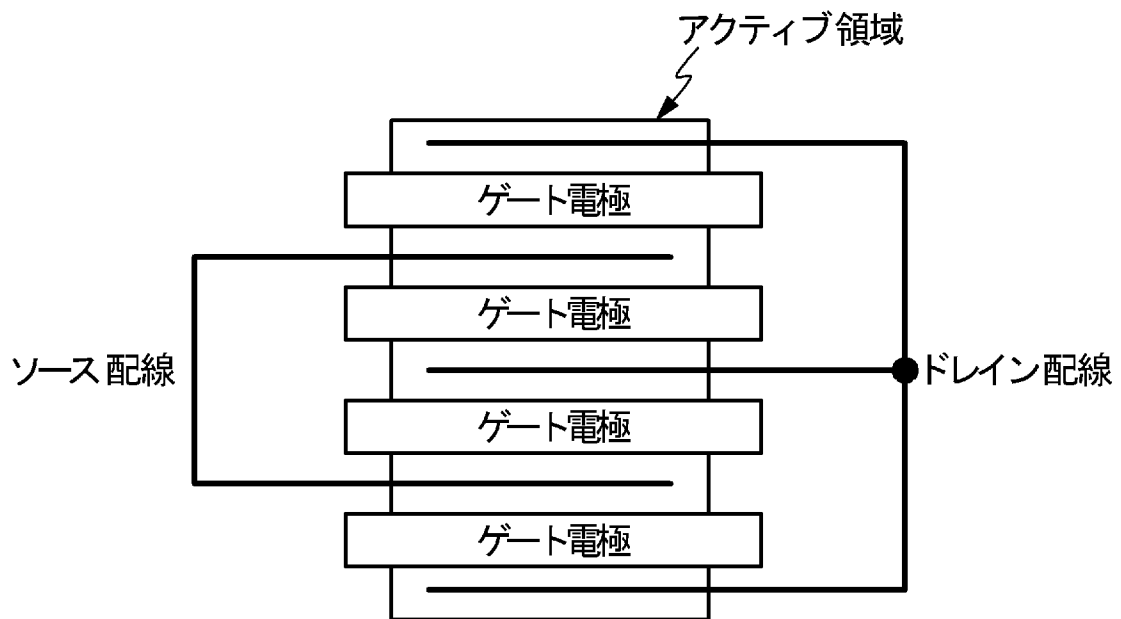


図 6 B



[図7]

図7A

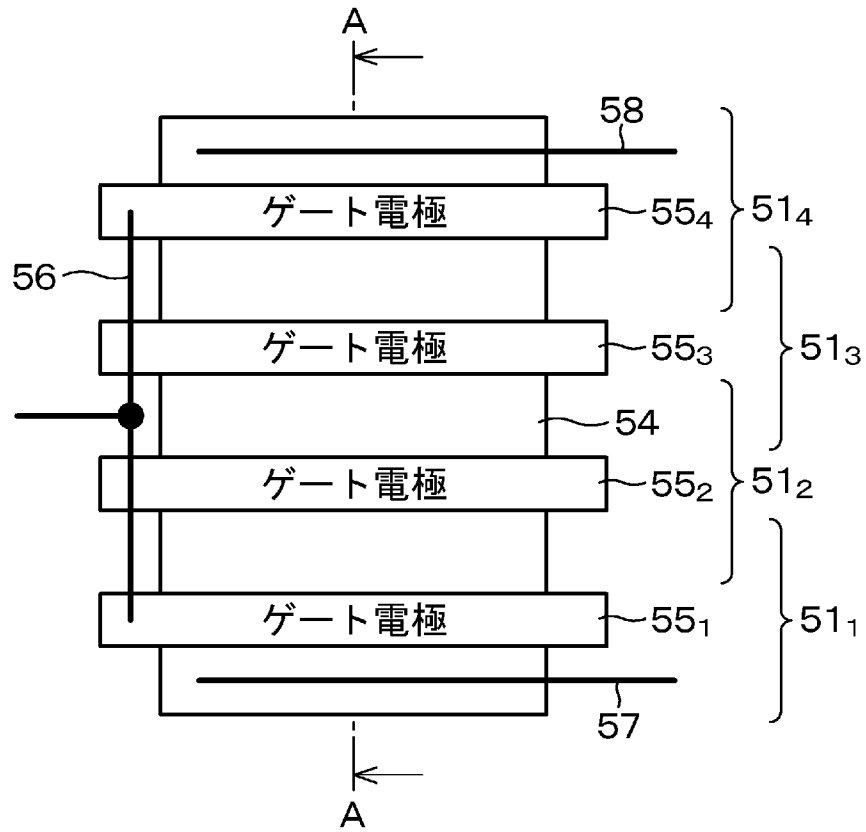
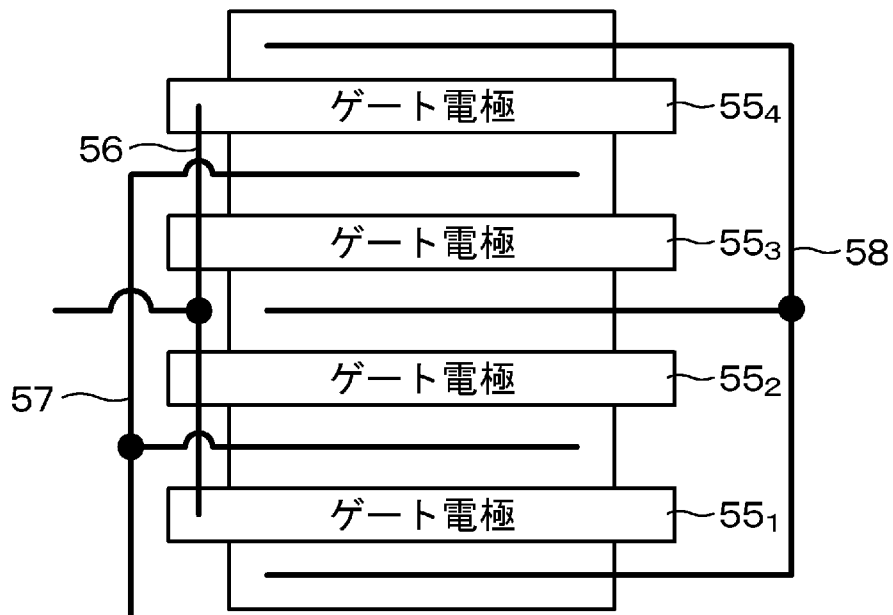
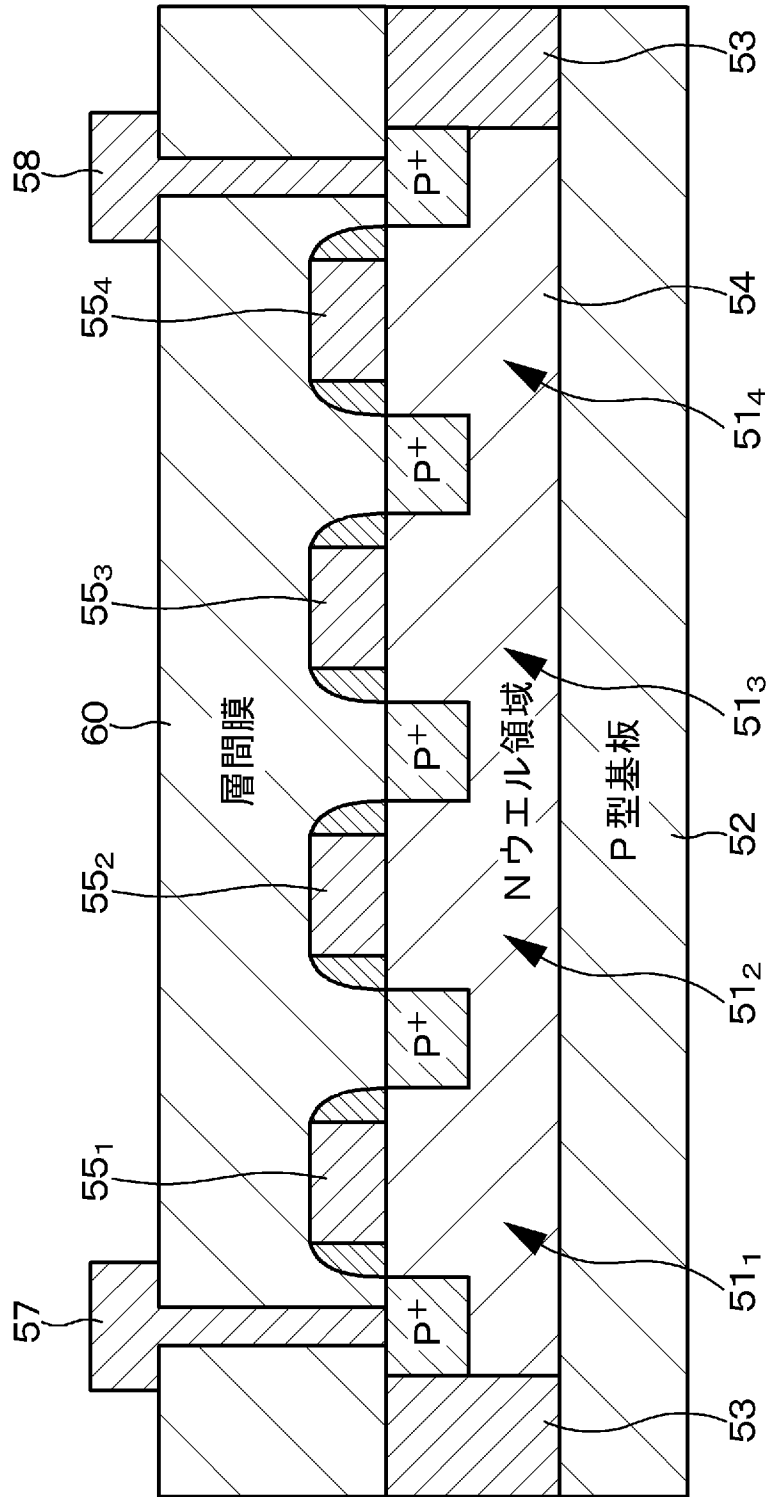


図7B



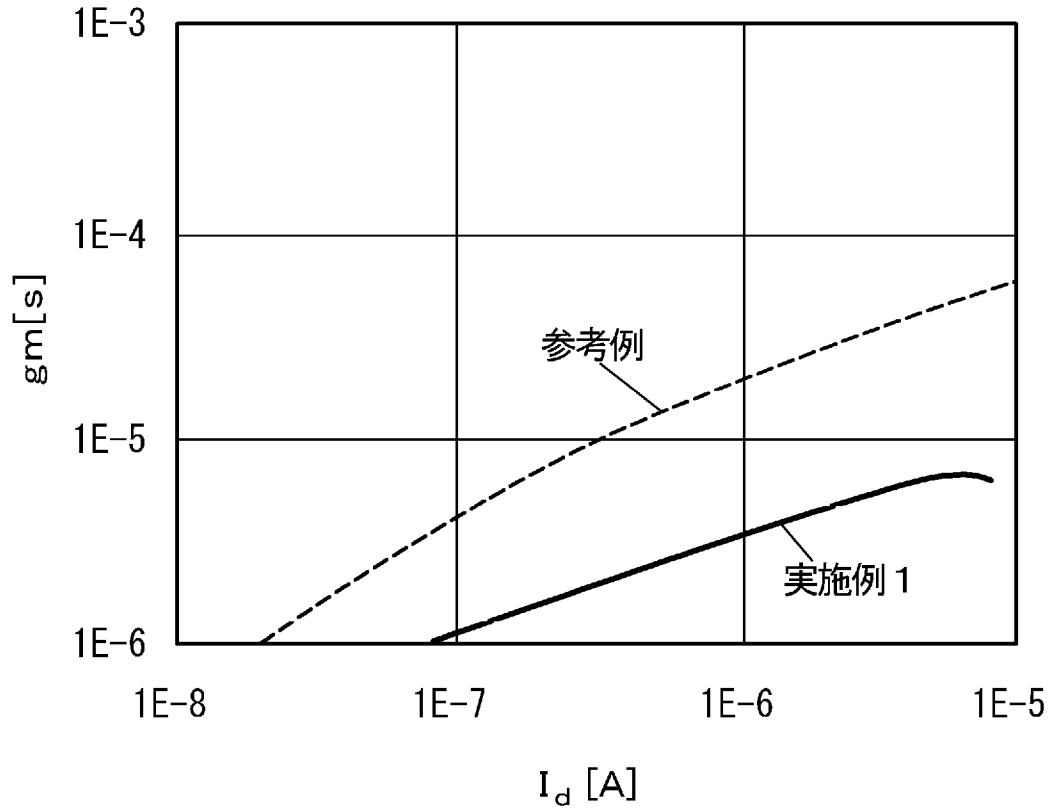
[図8]

図 8



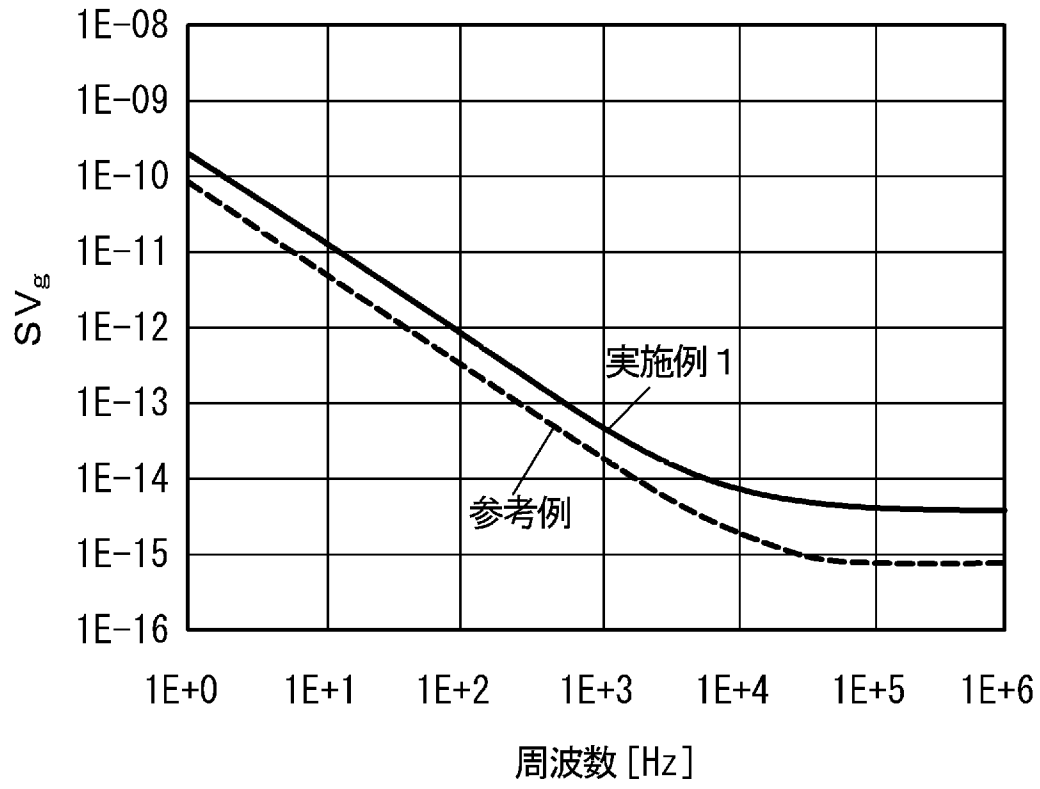
[図9]

図9



[図10]

図 10



[図11]

図 1 1

能動負荷部を構成するPMOSの構造		
	参考例のレイアウト	実施例1のレイアウト
	L/W=0.5/2 μ m 4個並列接続	L/W=0.5/2 μ m 4個直列接続
能動負荷部の相互コンダクタンス g_{m_p}	1	約0.15
差動入力部のノイズ成分 V_{n_n}	1	1
能動負荷部のノイズ成分 $(g_{m_p}/g_{m_n}) \times V_{n_p}$	1	約0.40
コンパレータの全ノイズ V_n	1	約0.85
出力オフセット電圧バラつき $\sigma_{V_{out}}$	1	約0.65

[図12]

図12A

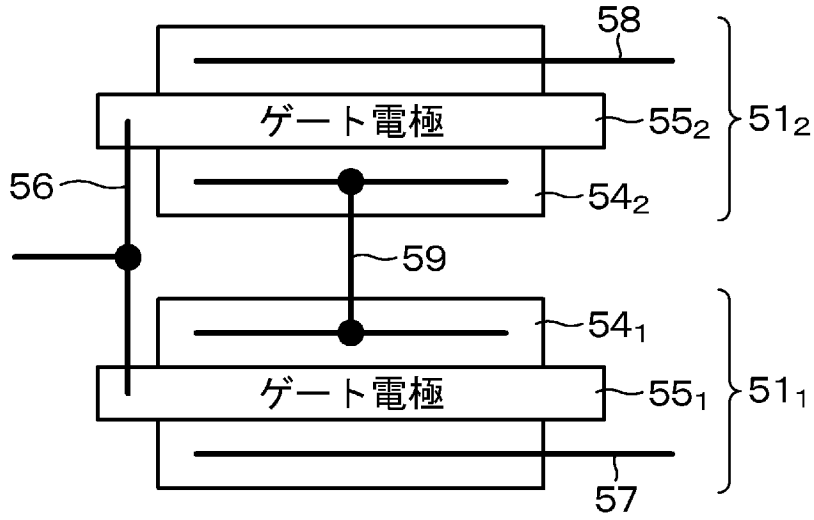
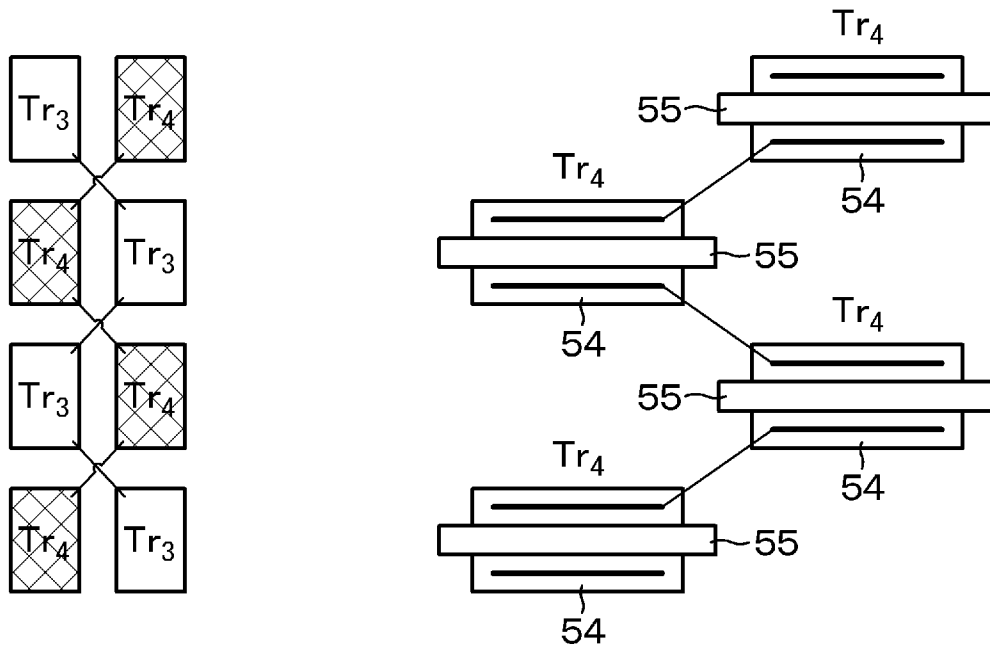


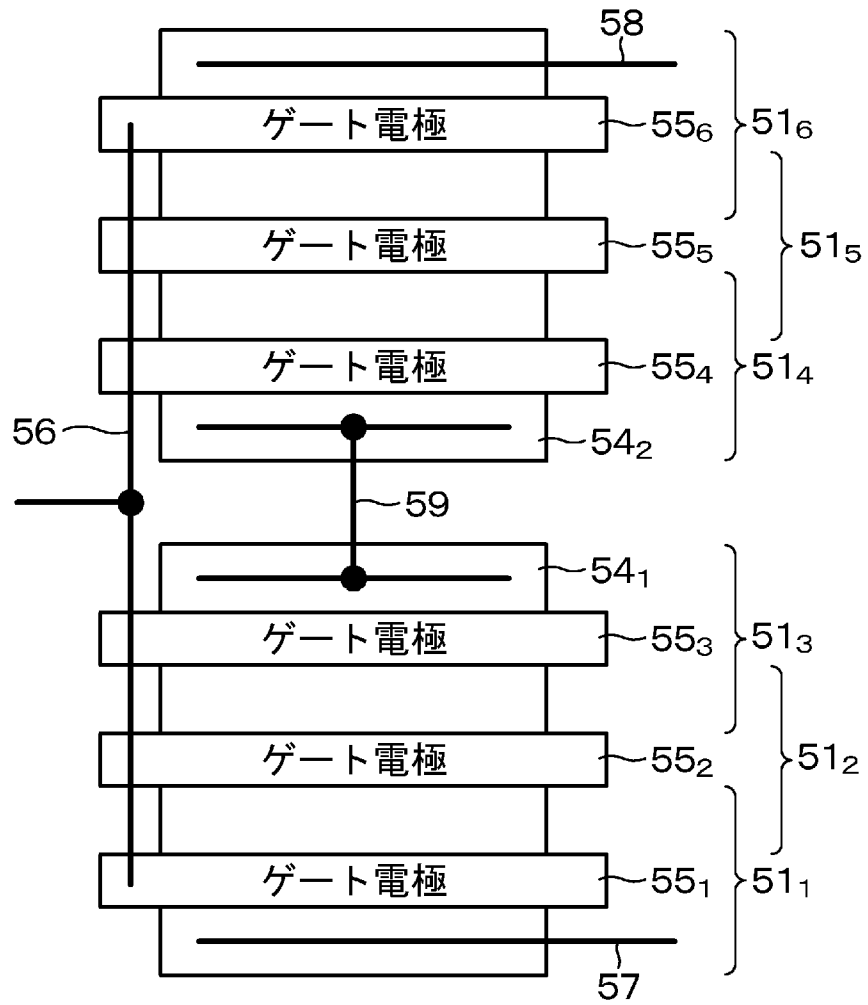
図12B



コモンセントロイド配置のレイアウト

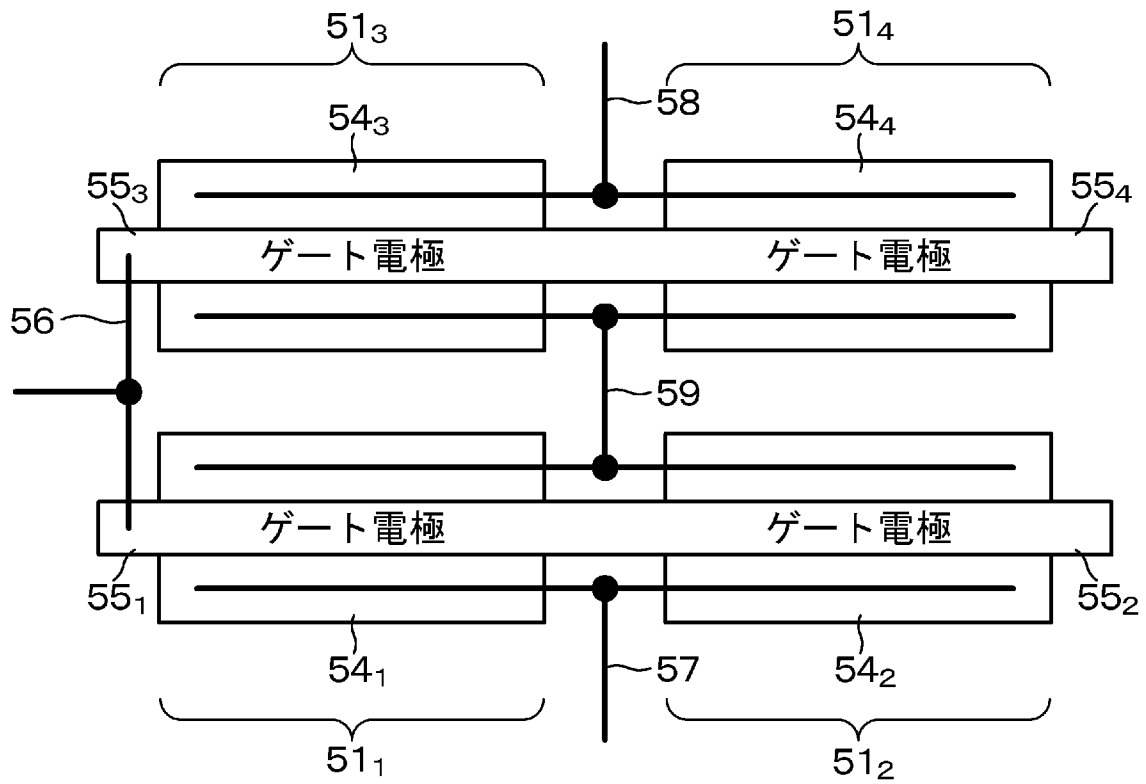
[図13]

図 1 3



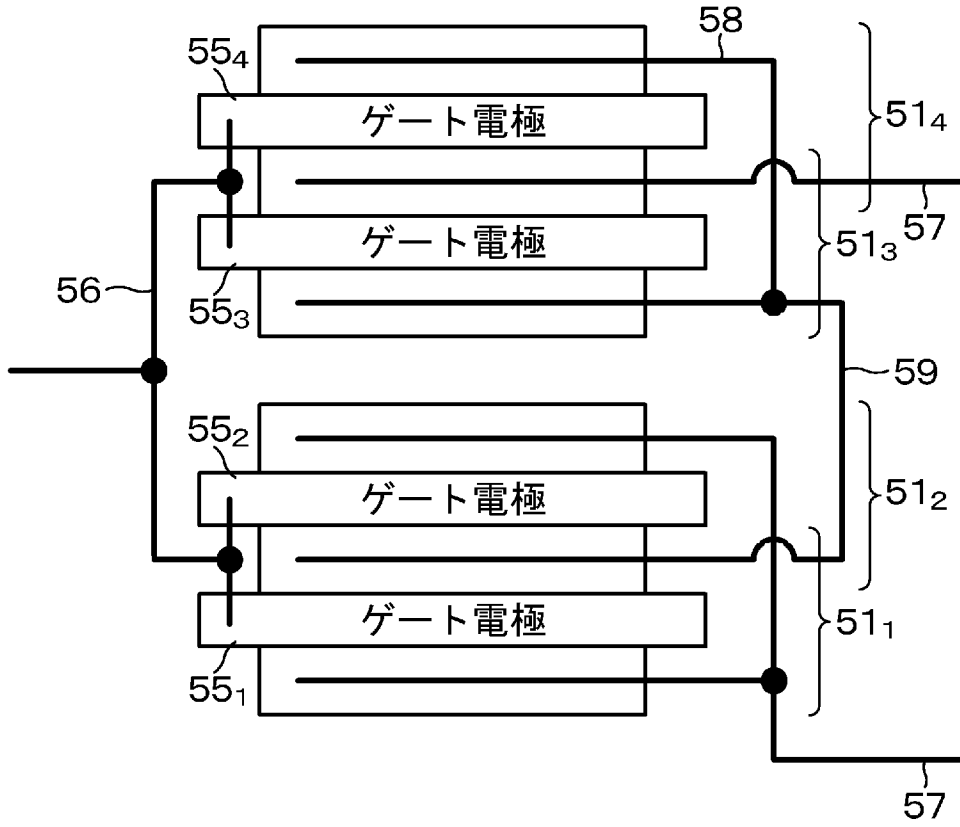
[図14]

図 1 4



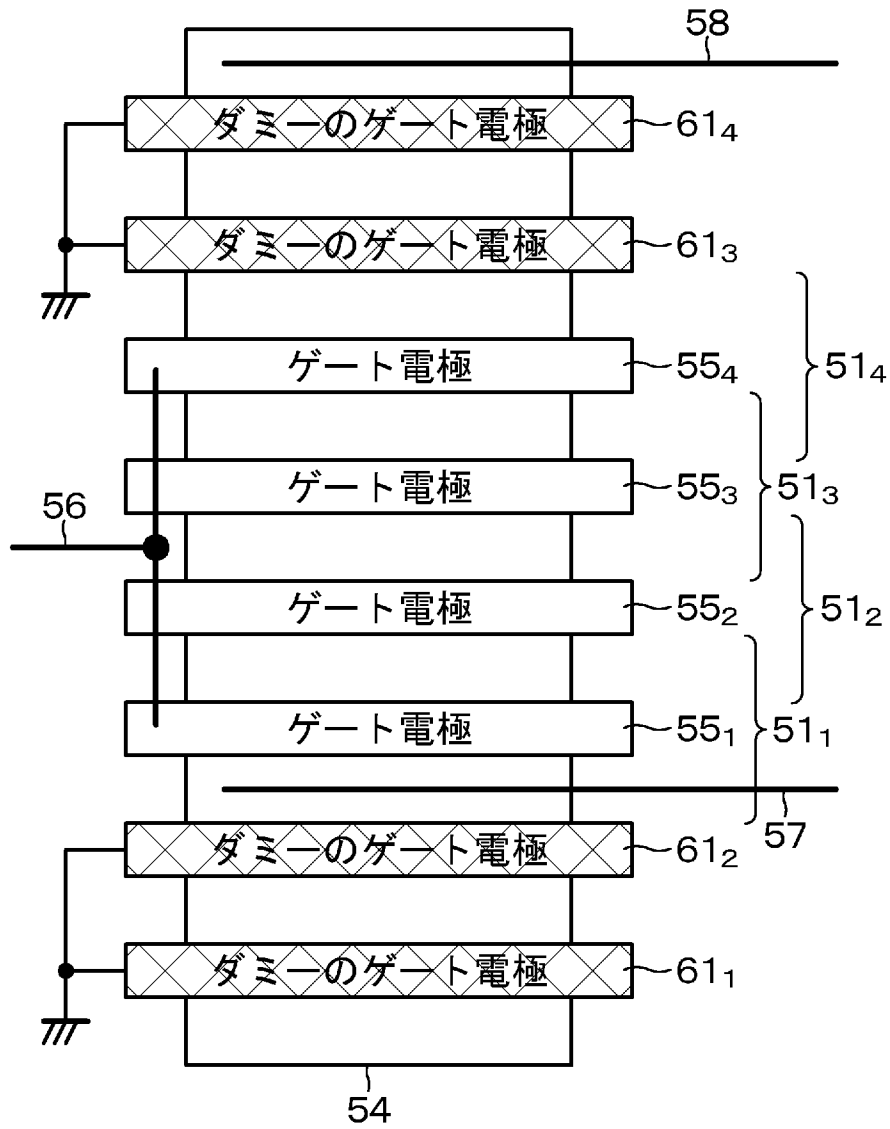
[図15]

図 1 5



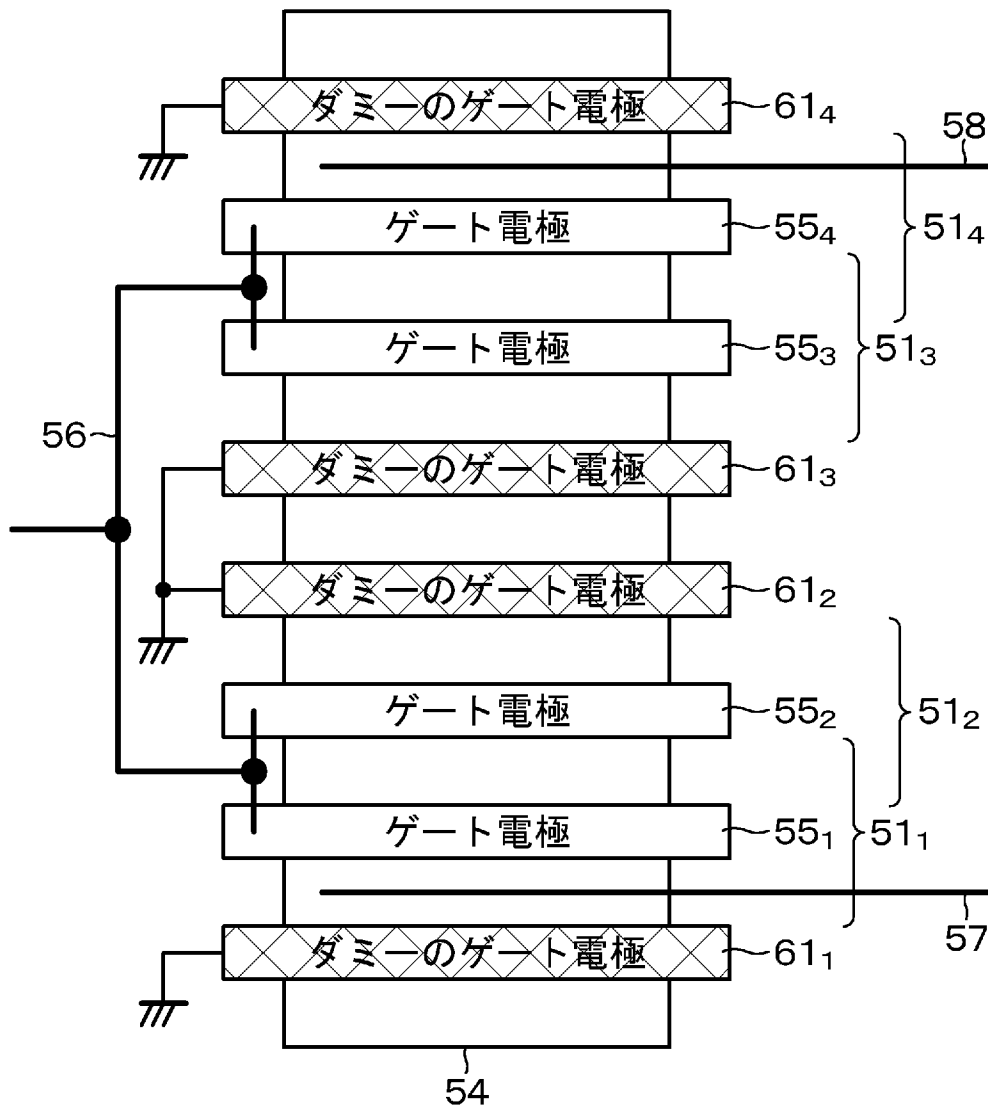
[図16]

図 1 6



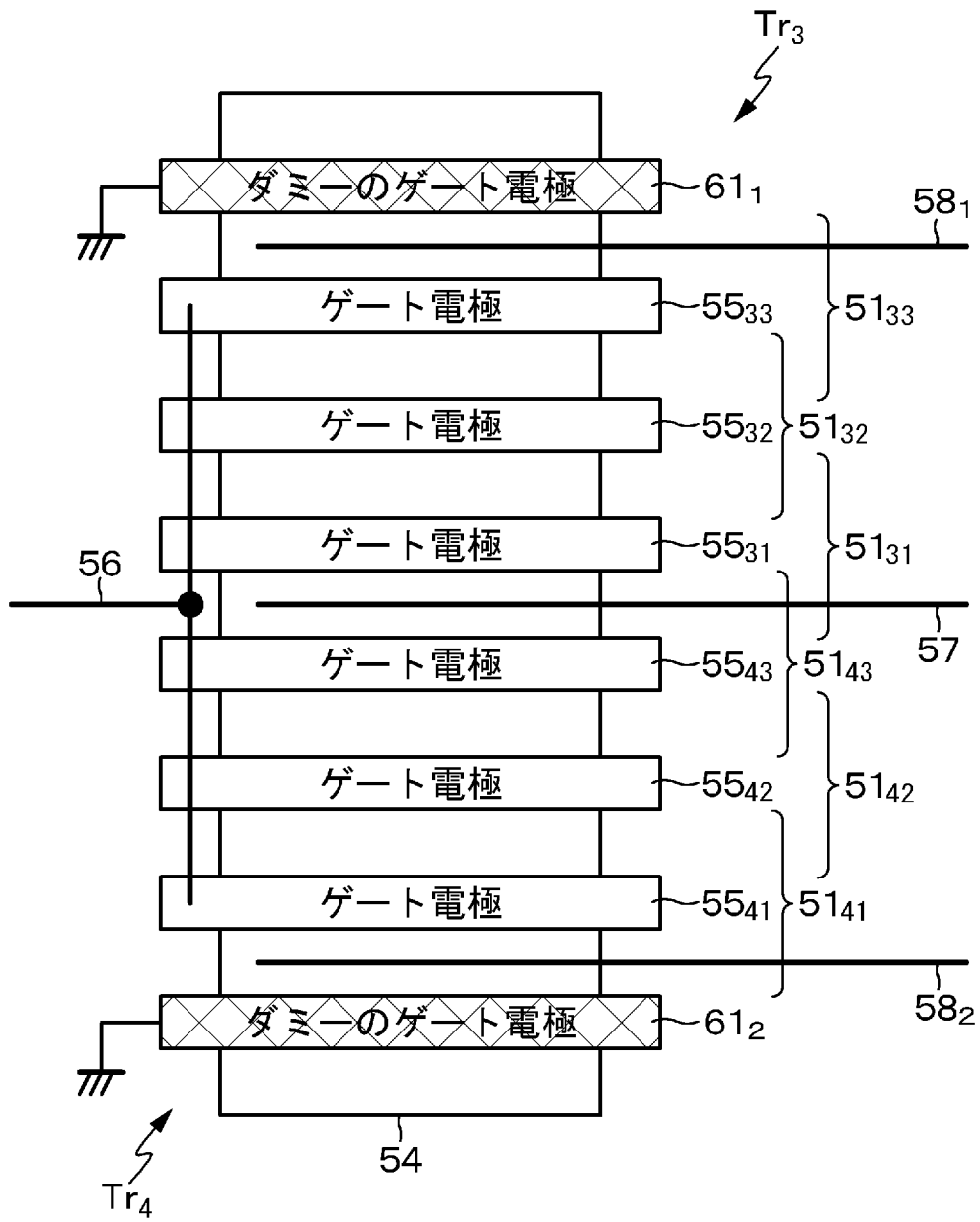
[図17]

図 1 7



[図18]

図18



[図19]

図19A

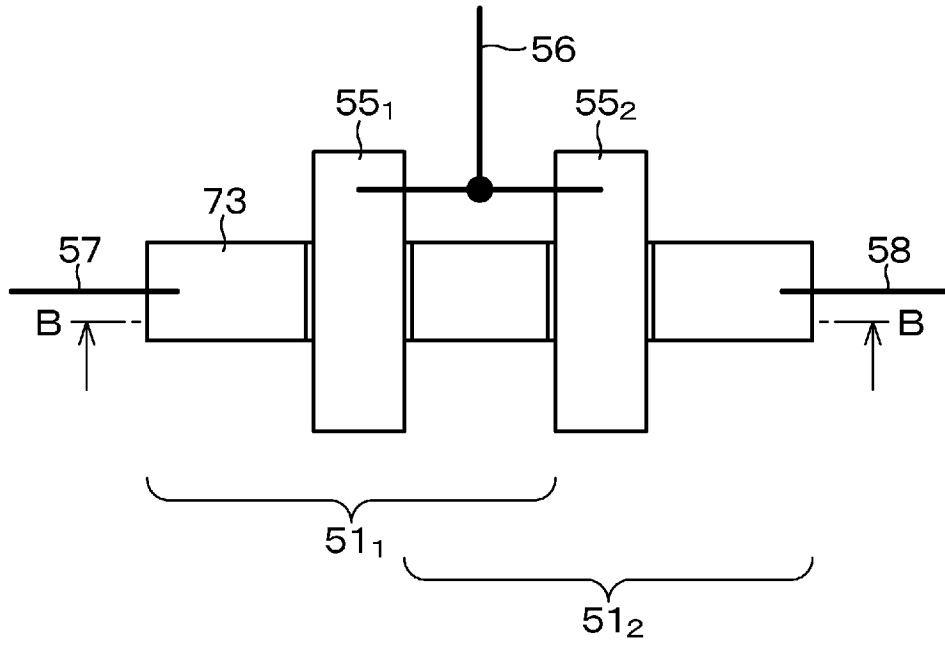
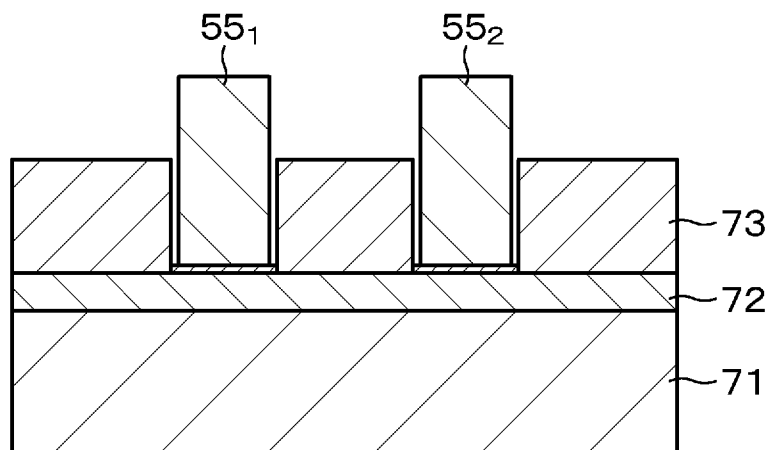


図19B



[図20]

図20A

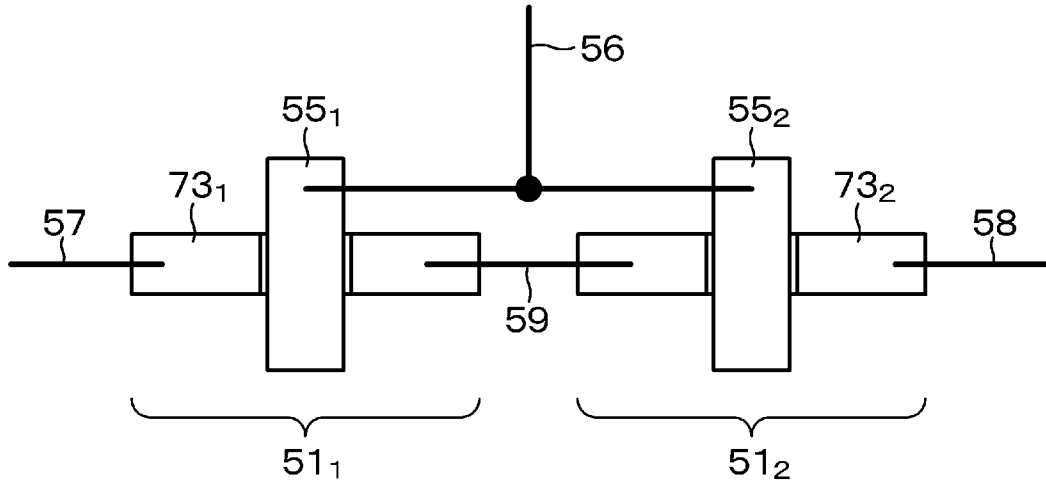
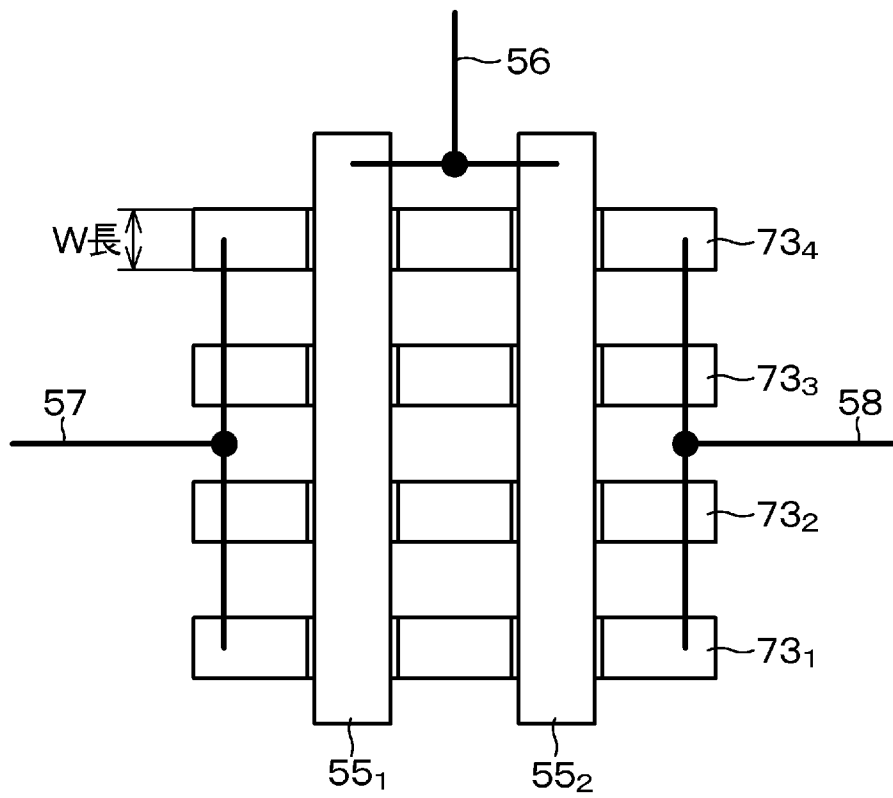


図20B



[図21]

図 2 1 A

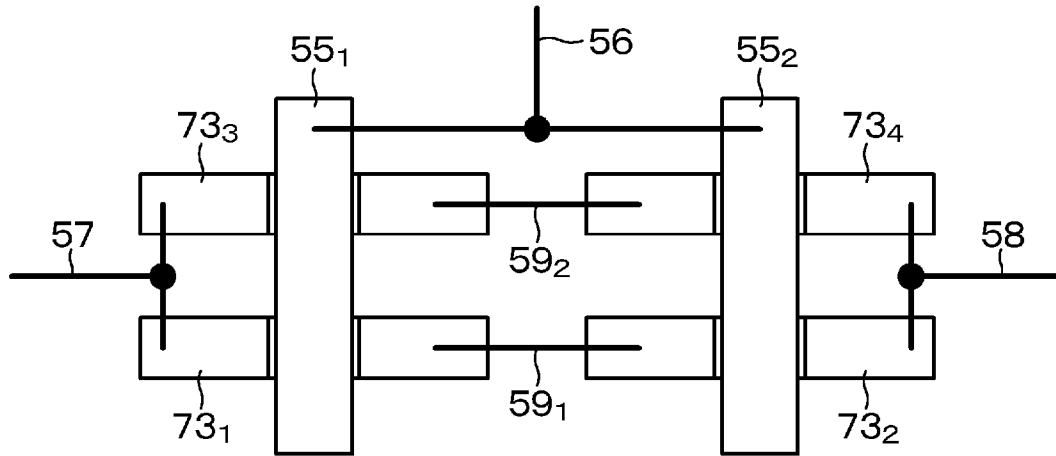
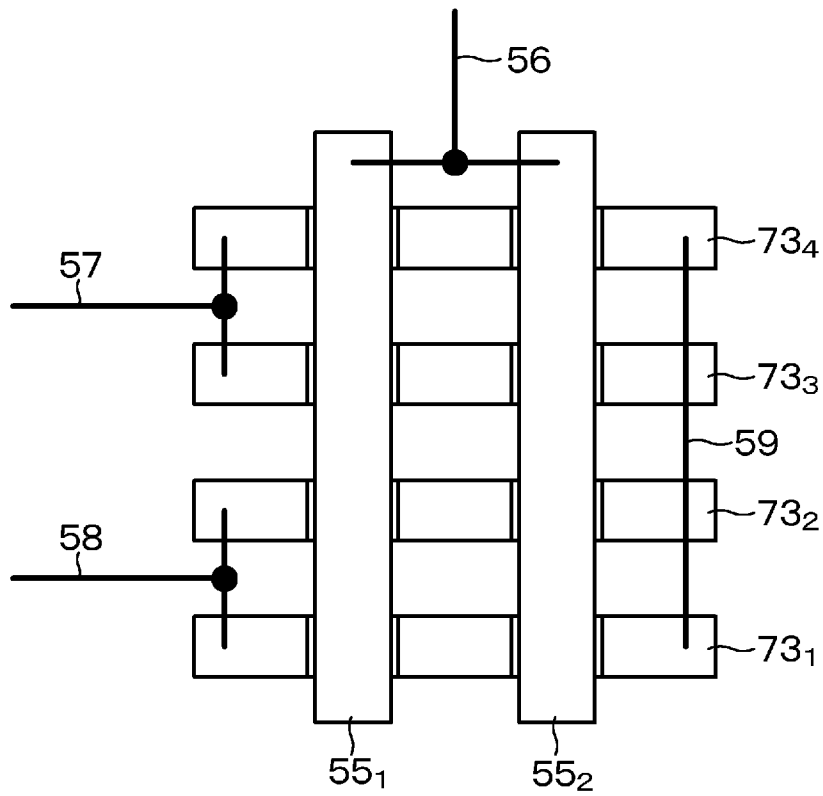
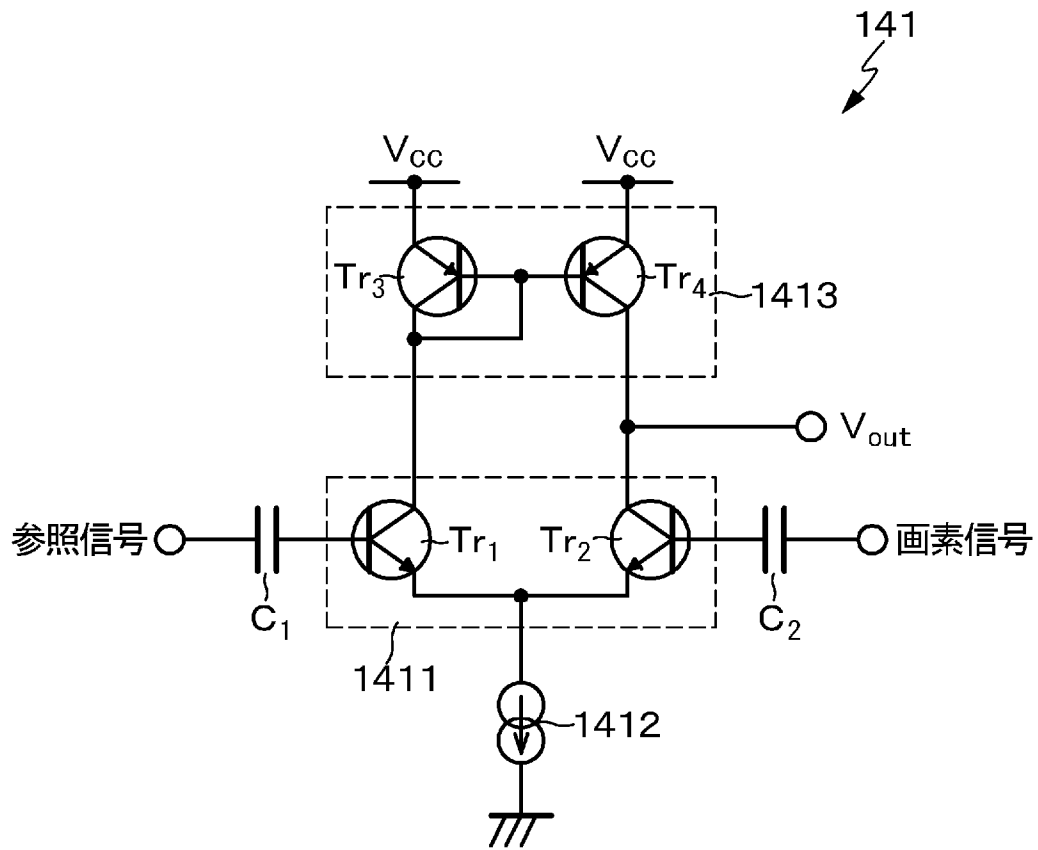


図 2 1 B



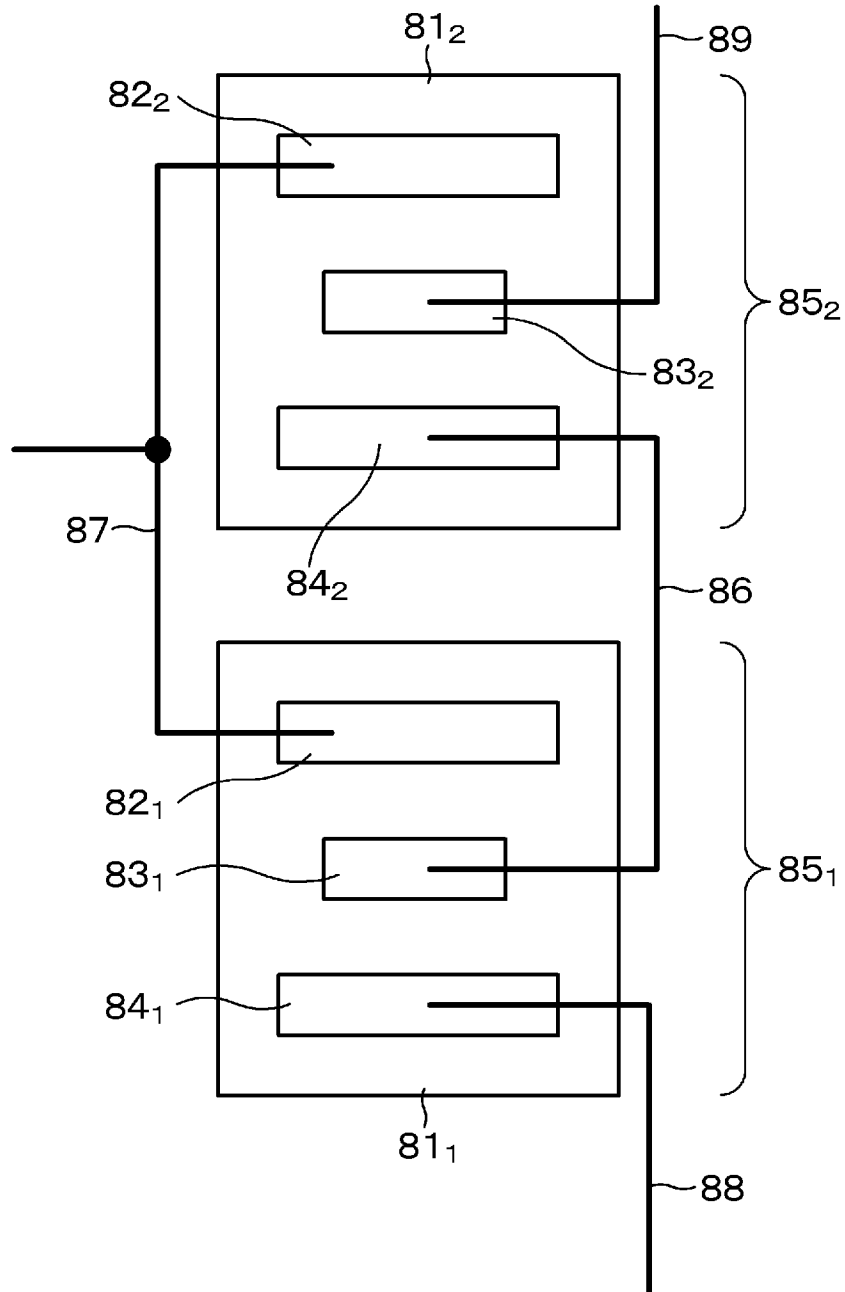
[图22]

图 2 2



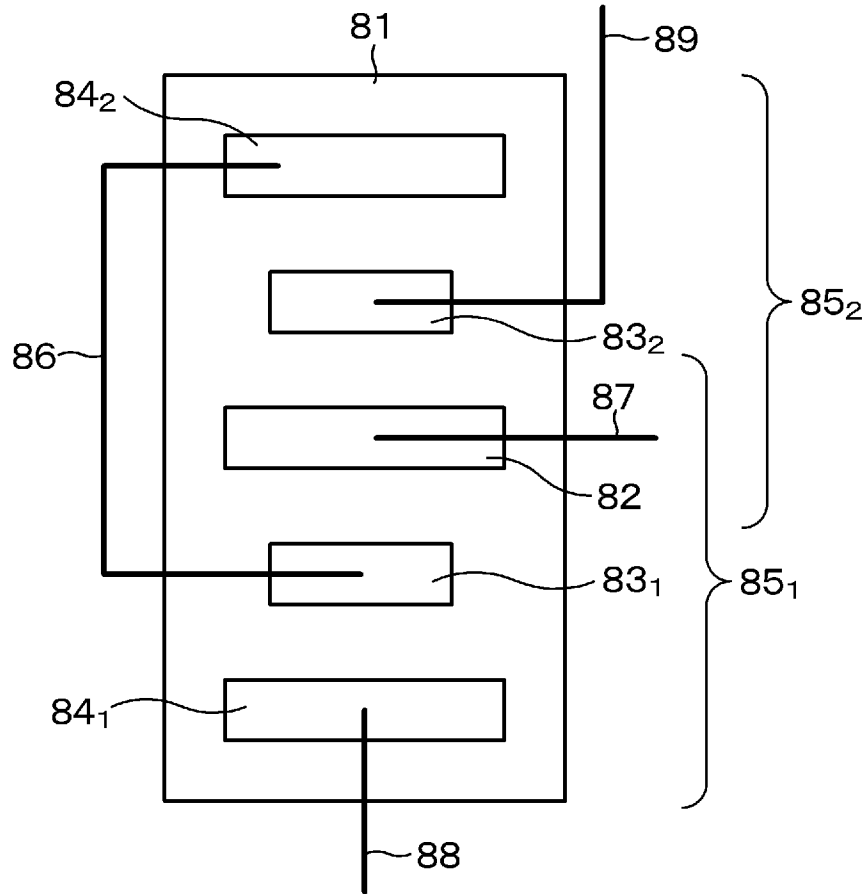
[図23]

図 23



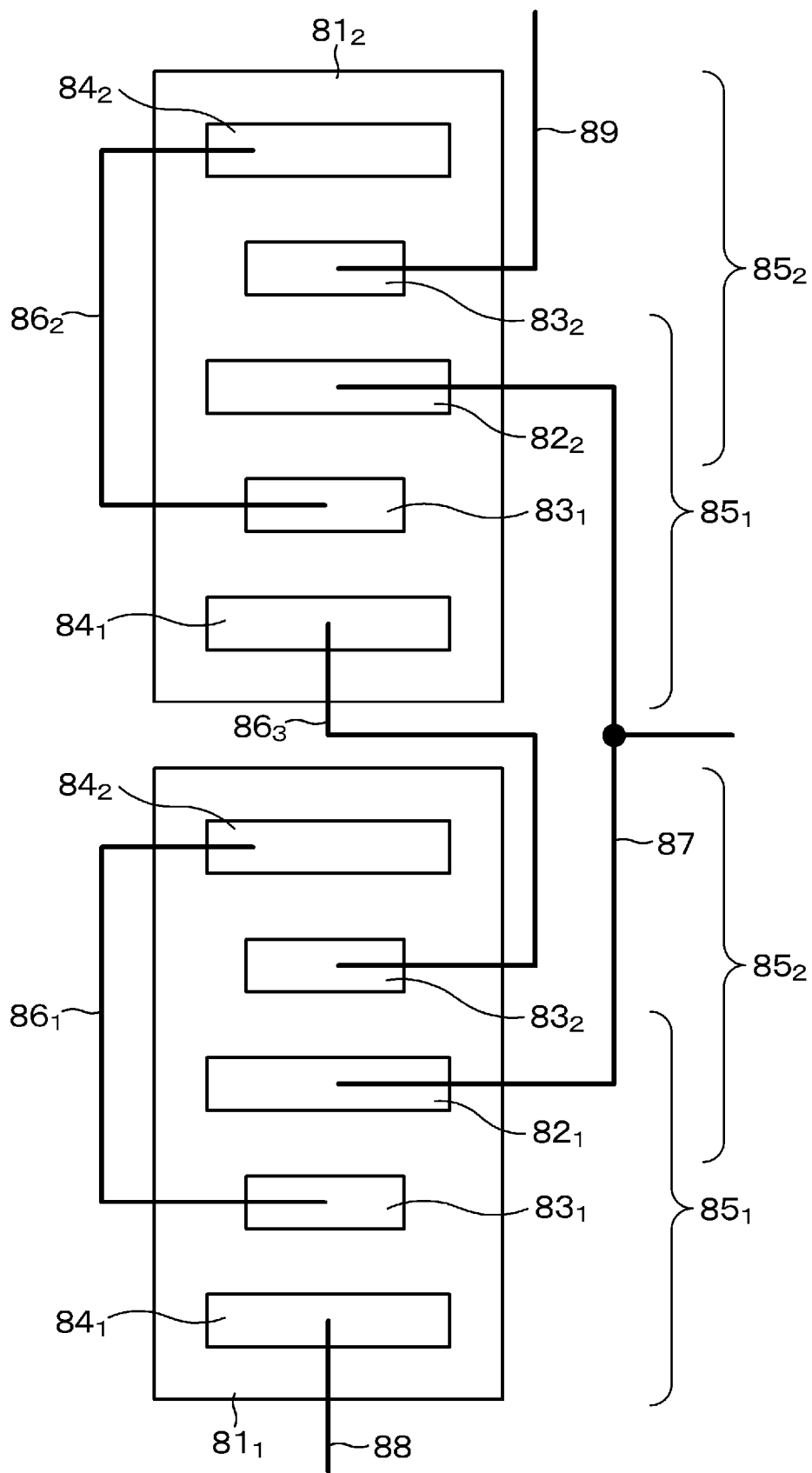
[図24]

図 2 4



[図25]

図 25



[図26]

図26A

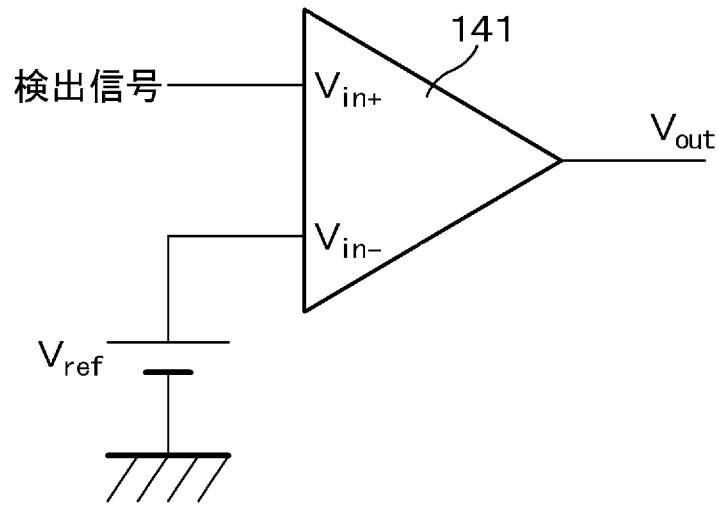
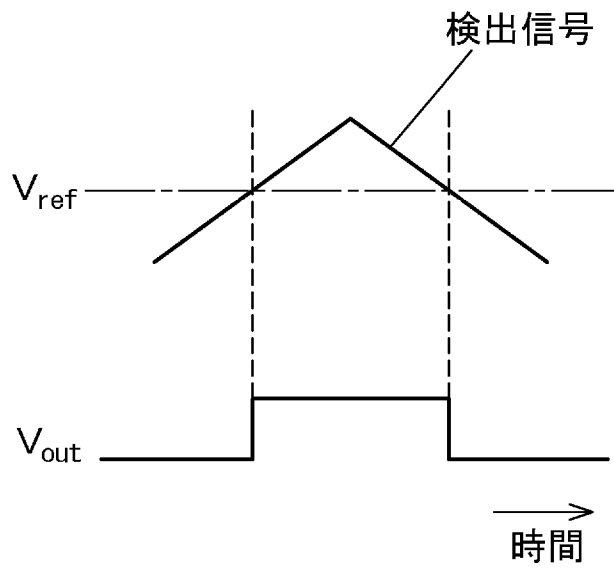


図26B



[図27]

図 27 A

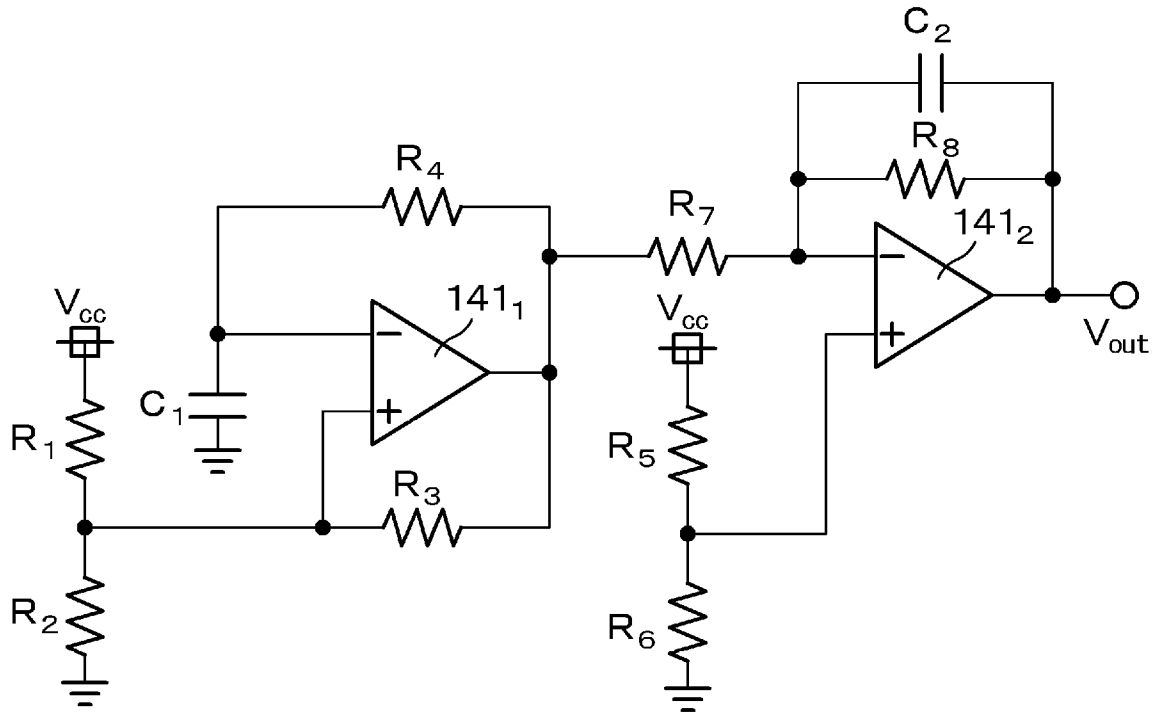
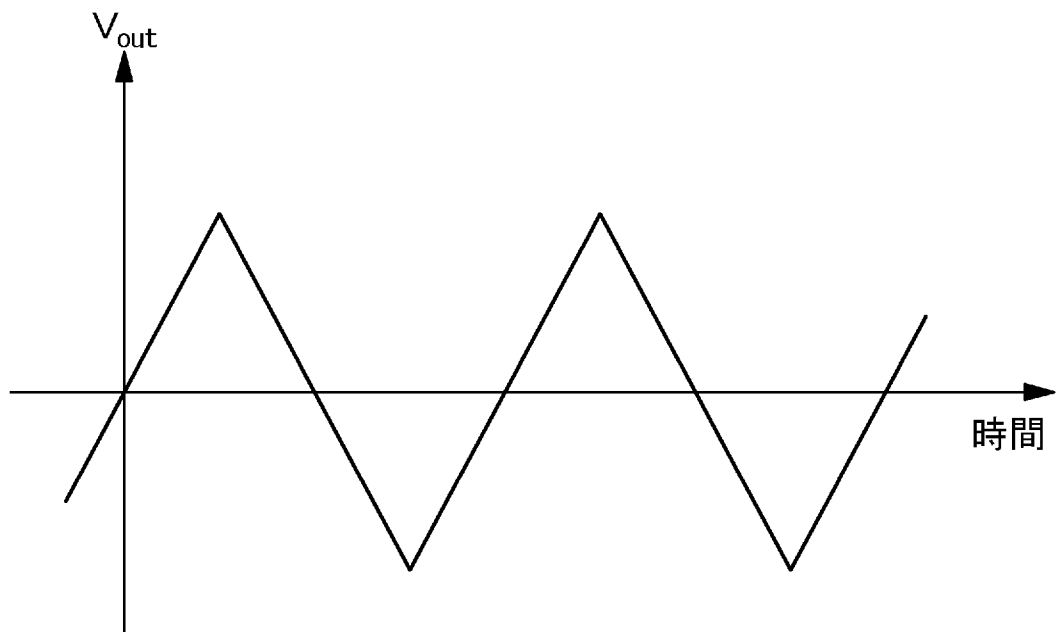
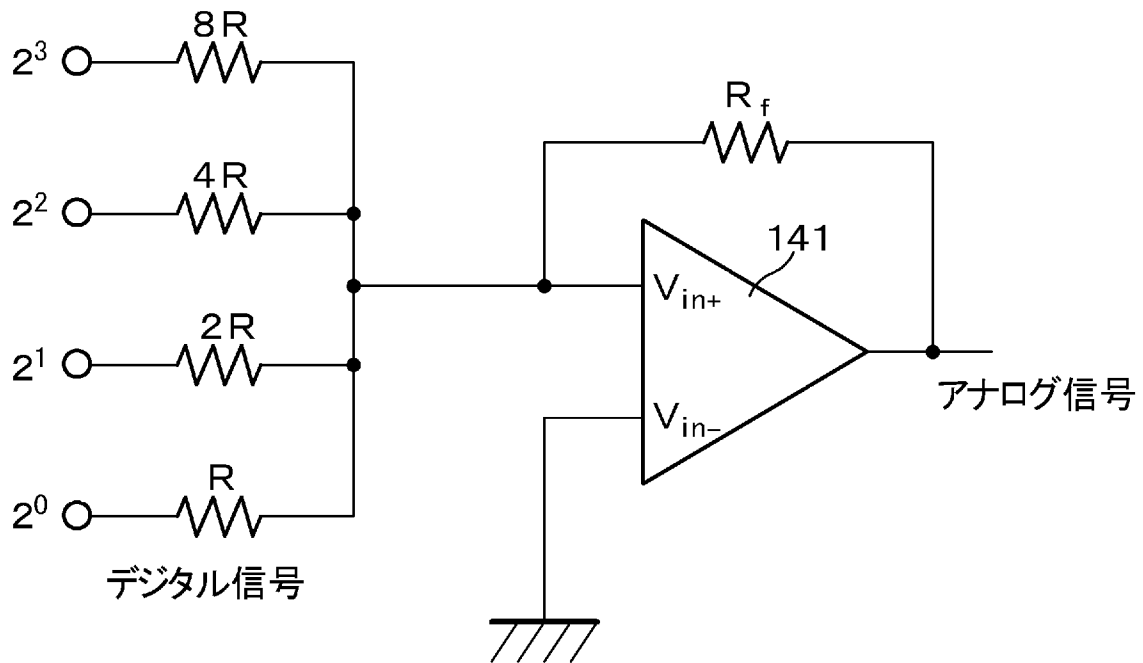


図 27 B



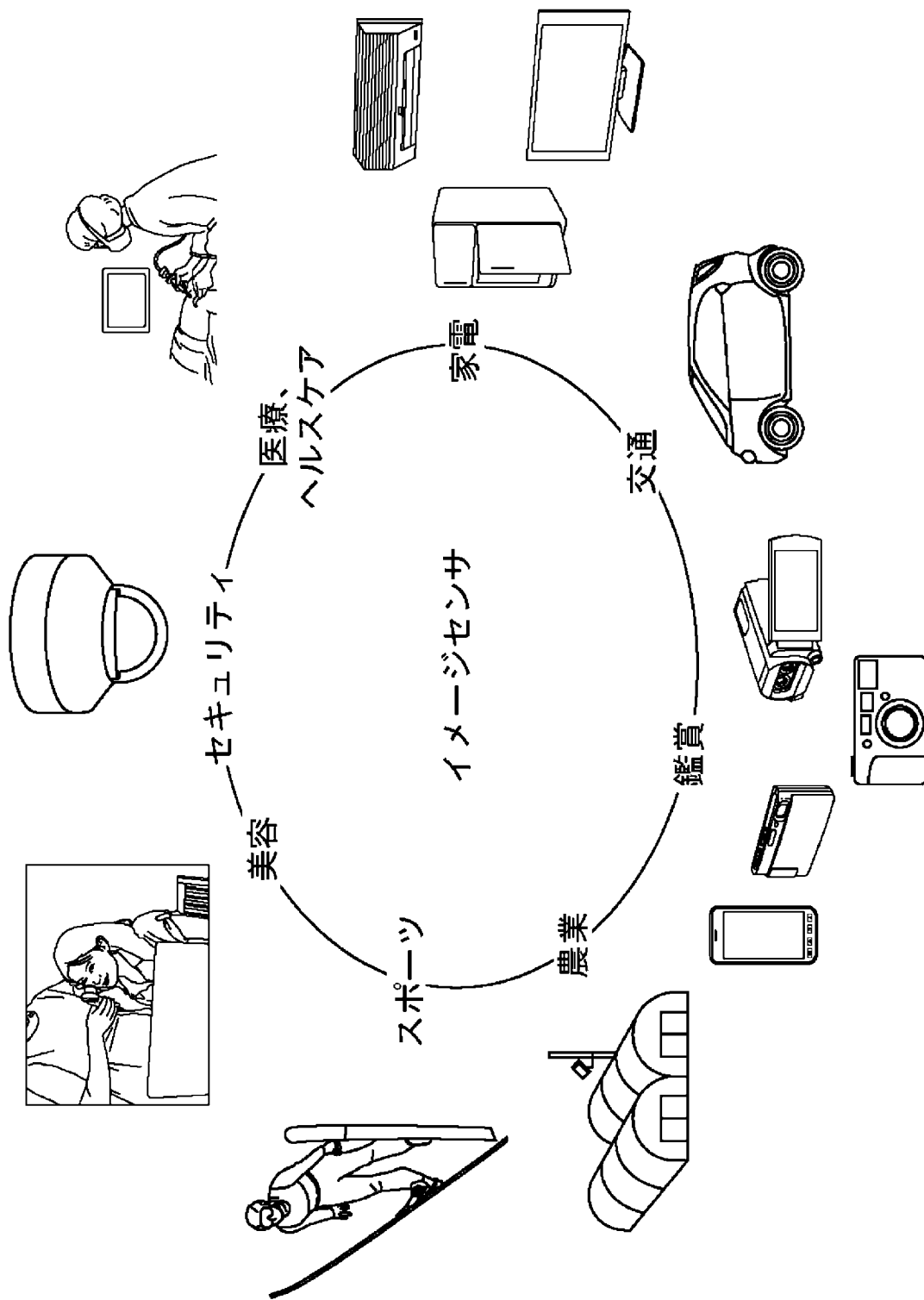
[図28]

図 2 8



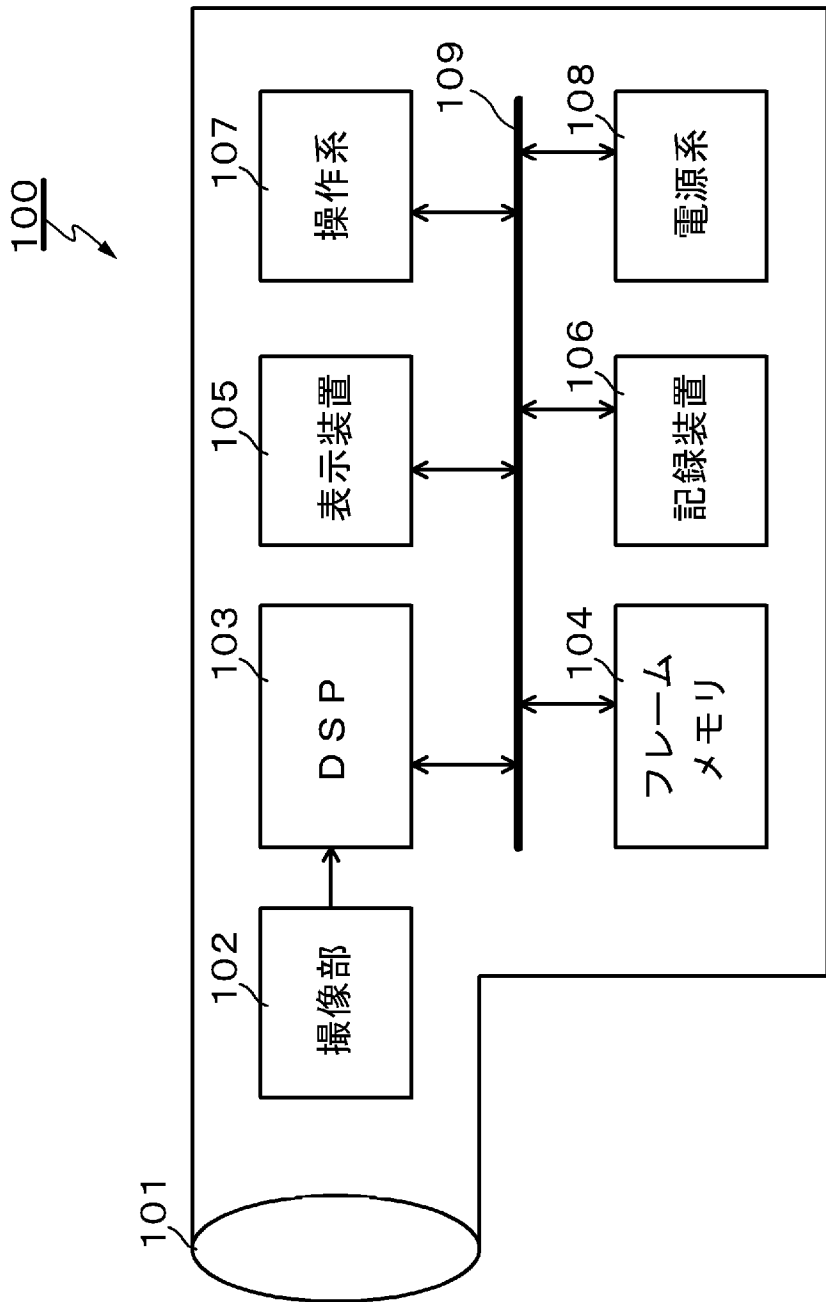
[図29]

図 29



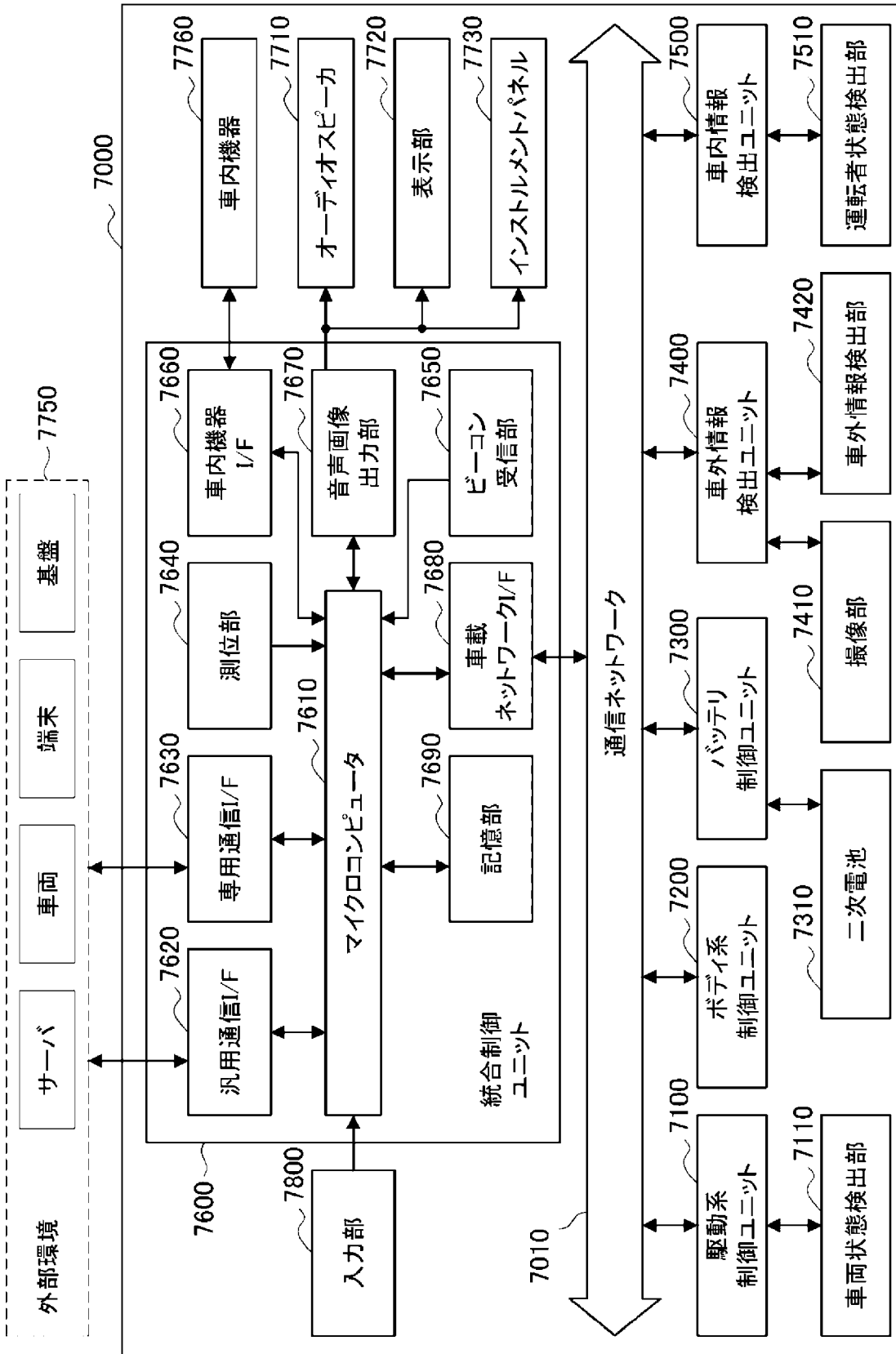
[図30]

図 30



[図31]

図 3 1



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/043770

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/378 (2011.01) i, H01L27/146 (2006.01) i, H04N5/369 (2011.01) i, H04N5/374 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H04N5/378, H01L27/146, H04N5/369, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-69231 A (SONY CORPORATION) 06 April 2017, paragraphs [0072]-[0121], fig. 1, 14-16 & US 2018/0261638 A1, paragraphs [0121]-[0170], fig. 1, 14-16	1-15
A	JP 2016-85222 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 19 May 2016, paragraph [0039] & US 2008/0246064 A1, paragraph [0040]	1-15

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 01.02.2019	Date of mailing of the international search report 12.02.2019
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/043770

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-138851 A (RENESAS ELECTRONICS CORP.) 30 July 2015, paragraph [0072] & US 2015/0206920 A1, paragraph [0092]	1-15

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/378(2011.01)i, H01L27/146(2006.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/378, H01L27/146, H04N5/369, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-69231 A（ソニー株式会社）2017.04.06, 段落 [0072]-[0121]、図 1, 14-16 & US 2018/0261638 A1, 段落 [0121]-[0170], 図 1, 14-16	1-15
A	JP 2016-85222 A（株式会社半導体エネルギー研究所）2016.05.19, 段落[0039] & US 2008/0246064 A1, 段落[0040]	1-15

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

01.02.2019

国際調査報告の発送日

12.02.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松永 隆志

5V

4228

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-138851 A (ルネサスエレクトロニクス株式会社) 2015.07.30, 段落[0072] & US 2015/0206920 A1, 段落[0092]	1-15