



(12)发明专利

(10)授权公告号 CN 106030793 B

(45)授权公告日 2018.10.26

(21)申请号 201480076293.X

(74)专利代理机构 永新专利商标代理有限公司
72002

(22)申请日 2014.03.24

代理人 陈松涛 王英

(65)同一申请的已公布的文献号
申请公布号 CN 106030793 A

(51)Int.Cl.
H01L 23/62(2006.01)
G11C 29/04(2006.01)

(43)申请公布日 2016.10.12

(85)PCT国际申请进入国家阶段日
2016.08.24

(56)对比文件
EP 0562996 A1,1993.09.29,
US 4881114 A,1989.11.14,
CN 101752002 A,2010.06.23,
CN 102272854 A,2011.12.07,
US 4442507 A,1984.04.10,

(86)PCT国际申请的申请数据
PCT/US2014/031592 2014.03.24

(87)PCT国际申请的公布数据
W02015/147782 EN 2015.10.01

(73)专利权人 英特尔公司
地址 美国加利福尼亚

审查员 曹毓涵

(72)发明人 T·张 C-H·简 W·M·哈菲兹

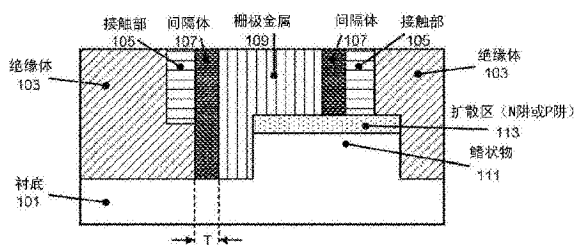
权利要求书3页 说明书12页 附图8页

(54)发明名称

使用间隔体击穿的反熔丝元件

(57)摘要

公开了用于有效地实现可编程存储器阵列电路架构的技术和电路,该架构包括非易失性和易失性存储器两者。存储器电路采用反熔丝方案,该反熔丝方案包括1T位单元的阵列,其中,每个位单元有效地包含一个栅极或类晶体管器件,该类晶体管器件为该位单元提供反熔丝元件和选择器器件两者。具体来说,位单元器件具有非对称的基于沟槽的源极/漏极接触部,以使得一个接触部结合间隔体和栅极金属形成电容器,并且另一个接触部结合掺杂的扩散区和栅极金属形成二极管。电容器用作位单元的反熔丝元件,并且可以通过击穿间隔体来进行编程。二极管有效地提供了肖特基结,该肖特基结用作可以消除来自共享相同位线/字线的位单元的编程和读取干扰的选择器器件。



1. 一种存储器设备位单元,包括:
 - 半导体衬底,所述半导体衬底具有表面;
 - 扩散区,所述扩散区位于所述半导体衬底的所述表面上或所述表面中;
 - 第一垂直电介质间隔体和第二垂直电介质间隔体,所述间隔体中的至少一个间隔体位于所述扩散区之上并与所述扩散区接触;
 - 金属,所述金属沉积在所述第一垂直电介质间隔体与所述第二垂直电介质间隔体之间并与所述第一垂直电介质间隔体和所述第二垂直电介质间隔体接触,所述金属还至少部分地与所述扩散区接触;
 - 第一基于沟槽的导电接触部,所述第一基于沟槽的导电接触部未与所述扩散区接触,但结合所述第一垂直电介质间隔体和所述金属形成反熔丝元件;以及
 - 第二基于沟槽的导电接触部,所述第二基于沟槽的导电接触部与所述扩散区接触,并且结合所述扩散区和所述金属形成选择器元件。
2. 根据权利要求1所述的位单元,还包括:绝缘体材料层,所述绝缘体材料层位于所述衬底之上,并且在所述绝缘体材料层中存在所述第一垂直电介质间隔体和所述第二垂直电介质间隔体、所述金属、以及所述第一基于沟槽的导电接触部和所述第二基于沟槽的导电接触部。
3. 根据权利要求1所述的位单元,其中,所述半导体衬底包括鳍状物并且所述表面包括所述鳍状物的顶部。
4. 根据权利要求1所述的位单元,其中,所述扩散区是倾斜的或者以其它方式具有非均匀的高度。
5. 根据权利要求1所述的位单元,其中,所述扩散区包括N阱。
6. 根据权利要求1-5中的任一项所述的位单元,其中,所述第一垂直电介质间隔体和所述第二垂直电介质间隔体两者都位于所述扩散区之上并与所述扩散区接触。
7. 根据权利要求1-5中的任一项所述的位单元,其中,所述第一垂直电介质间隔体和所述第二垂直电介质间隔体中的一个间隔体比另一个间隔体长。
8. 根据权利要求1-5中的任一项所述的位单元,其中,所述第一垂直电介质间隔体和所述第二垂直电介质间隔体中的仅一个间隔体位于所述扩散区之上并与所述扩散区接触,并且另一个间隔体位于所述衬底的另一个区域之上并与所述衬底的另一个区域接触。
9. 根据权利要求8所述的位单元,其中,所述半导体衬底包括鳍状物并且所述表面包括所述鳍状物的顶部,并且所述衬底的所述另一个区域是邻近所述鳍状物的区域。
10. 根据权利要求1-5中的任一项所述的位单元,其中,所述第一基于沟槽的导电接触部和所述第二基于沟槽的导电接触部中的一个接触部比另一个接触部长。
11. 根据权利要求1所述的位单元,其中,所述金属部分地着陆在所述扩散区上。
12. 根据权利要求11所述的位单元,其中,与所述金属的未着陆的部分接触的所述垂直电介质间隔体比与着陆的部分接触的所述垂直电介质间隔体长。
13. 根据权利要求11所述的位单元,其中,所述第一基于沟槽的导电接触部和所述第二基于沟槽的导电接触部中的一个接触部比另一个接触部长。
14. 根据权利要求1所述的位单元,其中,所述金属完全着陆在所述扩散区上。
15. 根据权利要求14所述的位单元,其中,所述垂直电介质间隔体中的一个间隔体比另

一个间隔体长,因为所述扩散区是倾斜的或者以其它方式具有非均匀的高度。

16. 根据权利要求14所述的位单元,其中,所述第一基于沟槽的导电接触部具有与所述第二基于沟槽的导电接触部不同的长度。

17. 一种存储器设备,所述存储器设备包括根据权利要求1-5和11-16中的任一项所述的位单元的阵列。

18. 一种集成电路,所述集成电路包括根据权利要求17所述的存储器设备,其中,所述集成电路是处理器或通信芯片。

19. 一种存储器设备,包括:

位单元阵列,所述位单元阵列形成在半导体衬底上,每个位单元包括:

所述衬底的表面;

扩散区,所述扩散区位于所述半导体衬底的所述表面上或所述表面中;

第一垂直电介质间隔体和第二垂直电介质间隔体,所述间隔体中的至少一个间隔体位于所述扩散区之上并且与所述扩散区接触;

金属,所述金属沉积在所述第一垂直电介质间隔体与所述第二垂直电介质间隔体之间并与所述第一垂直电介质间隔体和所述第二垂直电介质间隔体接触,所述金属还至少部分地与所述扩散区接触;

第一基于沟槽的导电接触部,所述第一基于沟槽的导电接触部未与所述扩散区接触,但结合所述第一垂直电介质间隔体和所述金属形成反熔丝元件;

第二基于沟槽的导电接触部,所述第二基于沟槽的导电接触部与所述扩散区接触,并且结合所述扩散区和所述金属形成选择器元件;以及

绝缘体材料层,所述绝缘体材料层位于所述衬底之上,并且在所述绝缘体材料层中存在所述第一垂直电介质间隔体和所述第二垂直电介质间隔体、所述金属、以及所述第一基于沟槽的导电接触部和所述第二基于沟槽的导电接触部;

其中,所述半导体衬底包括鳍状物并且所述表面包括所述鳍状物的顶部部分;以及

列选择电路,所述列选择电路用于选择所述阵列的列;以及

行选择电路,所述行选择电路用于选择所述阵列的行。

20. 根据权利要求19所述的设备,其中,所述位单元中的至少一些位单元的所述金属部分地着陆在该位单元的对应的扩散区上,并且其中,对于至少一些位单元,与所述金属的未着陆的部分接触的所述垂直电介质间隔体比与着陆的部分接触的所述垂直电介质间隔体长。

21. 根据权利要求19所述的设备,其中,所述位单元中的至少一些位单元的所述金属完全着陆在该位单元的对应的扩散区上,并且其中,对于所述至少一些位单元,所述垂直电介质间隔体中的一个间隔体比另一个间隔体长,因为所述扩散区是倾斜的或者以其它方式具有非均匀的高度和/或所述第一基于沟槽的导电接触部具有与所述第二基于沟槽的导电接触部不同的长度。

22. 一种用于制造位单元的方法,包括:

提供具有表面的半导体衬底,其中,所述半导体衬底包括鳍状物并且所述表面包括所述鳍状物的顶部部分;

在所述半导体衬底的所述表面上或所述表面中提供扩散区;

提供第一垂直电介质间隔体和第二垂直电介质间隔体,所述间隔体中的至少一个间隔体位于所述扩散区之上并与所述扩散区接触;

在所述第一垂直电介质间隔体与所述第二垂直电介质间隔体之间、并与第一垂直电介质间隔体和第二垂直电介质间隔体接触地沉积金属,所述金属还至少部分地与所述扩散区接触;

提供第一基于沟槽的导电接触部,所述第一基于沟槽的导电接触部未与所述扩散区接触,但结合所述第一垂直电介质间隔体和所述金属形成反熔丝元件;以及

提供第二基于沟槽的导电接触部,所述第二基于沟槽的导电接触部与所述扩散区接触,并且结合所述扩散区和所述金属形成选择器元件。

23. 根据权利要求22所述的方法,其中,所述扩散区是倾斜的或者以其它方式具有非均匀的高度,所述非均匀的高度给出了所述扩散区与对应的表面的关系。

24. 根据权利要求22或23所述的方法,其中,所述金属部分地着陆在所述扩散区上,并且其中,与所述金属的未着陆的部分接触的所述垂直电介质间隔体比与着陆的部分接触的所述垂直电介质间隔体长。

25. 根据权利要求22或23所述的方法,其中,所述金属完全着陆在所述扩散区上,并且其中,所述垂直电介质间隔体中的一个间隔体比另一个间隔体长,因为所述扩散区是倾斜的或者以其它方式具有非均匀的高度和/或所述第一基于沟槽的导电接触部具有与所述第二基于沟槽的导电接触部不同的长度。

使用间隔体击穿的反熔丝元件

技术领域

[0001] 本公开内容涉及存储器电路,并且更具体来说,涉及集成的反熔丝可编程存储器。

背景技术

[0002] 典型地,通过在存储器电路内破坏链路(经由熔丝)或创建链路(经由反熔丝)来对诸如可编程只读存储器(PROM)和一次性可编程只读存储器(OTPROM)之类的可编程存储器设备进行编程。例如在PROM中,每个存储器位置或位都包含熔丝和/或反熔丝,并且通过触发这两个中的一个来进行编程。一旦执行编程,其通常是不可逆的。编程通常在制造存储器设备之后进行,并记住特定的最终用途或应用。

[0003] 熔丝链路常常利用电阻式熔丝元件来实现,该电阻式熔丝元件可以是利用适当量的高电流开路的或“熔断的”。另一方面,反熔丝链路利用两个导体层或端子之间的非导电材料(例如,二氧化硅)的薄屏障层来实现,以使得当跨端子施加足够高的电压时,二氧化硅或其它这种非导电材料被有效地转变成两个端子之间的短路或者以其它方式转变成低电阻导电通路。

附图说明

[0004] 图1示意性地示出了根据本公开内容的实施例来配置的反熔丝存储器设备。

[0005] 图2a-c均示出了根据本公开内容的实施例来配置的反熔丝存储器设备结构的截面。

[0006] 图3a示意性地示出了根据本公开内容的实施例来配置的反熔丝存储器设备的未经编程的1T位单元。

[0007] 图3b示意性地示出了根据本公开内容的实施例来配置的反熔丝存储器设备的经编程的1T位单元。

[0008] 图3c示出了包括根据本公开内容的实施例来配置的反熔丝存储器设备的1T位单元的各个集成电路层。

[0009] 图4a-b示出了根据本公开内容的实施例来配置的反熔丝存储器设备的1T位单元的电流-电压特性。

[0010] 图5a示出了用于对根据本公开内容的实施例来配置的反熔丝存储器设备进行编程的示例性方案。

[0011] 图5b示出了用于对根据本公开内容的实施例来配置的反熔丝存储器设备进行编程的另一个示例性方案。

[0012] 图6示出了用于制造根据本公开内容的实施例来配置的反熔丝存储器设备的方法。

[0013] 图7示出了利用根据本公开内容的实施例来配置的反熔丝存储器而实现的计算系统。

具体实施方式

[0014] 公开了用于有效地实现可编程存储器阵列电路架构(例如,PROM、OTPROM、和其它这种可编程非易失性和易失性存储器)的技术和方法。电路采用反熔丝方案,该反熔丝方案包括1T存储器位单元的阵列,其中,每个位单元有效地包含为该位单元提供反熔丝元件和选择器器件两者的一个栅极或类晶体管器件。具体来说,位单元器件具有非对称的基于沟槽的源极/漏极接触部,以使得一个接触部结合间隔体和栅极金属形成电容器。位单元器件的另一个接触部结合经掺杂的扩散区和栅极金属形成二极管。电容器用作位单元的反熔丝元件,并且可以通过击穿间隔体来进行编程。类二极管元件有效地提供肖特基结或者屏障,该肖特基结或屏障用作可以消除来自共享相同位线/字线的位单元的编程和读取干扰的选择器器件。如将意识到的,1T反熔丝元件设计提高了存储密度(packing density),这是因为击穿层是垂直的间隔体,而不是水平的栅极电介质,从而消除了容纳选择器器件的额外的区域。正如同栅极电介质击穿,间隔体击穿是不能用反向设计来解码的安全机制。位单元构造可以结合列/行选择电路、功率选择器电路、和/或读出电路来使用以提供高密度的存储器阵列电路设计和布局。技术可以例如体现在分立的存储器设备(例如,非易失性和易失性存储器芯片)、集成系统设计(例如,目的性构建的硅)、或片上存储器(例如,具有片上非易失性缓存的微处理器)中。鉴于本公开内容,许多其它实施例、变型、和应用将显而易见。

[0015] 概述

[0016] 通常,击穿栅极氧化物是存储器阵列中所采用的主流技术,其中,给定的位单元使用选择晶体管来接入第二晶体管,当选择进行编程时,第二晶体管的栅极氧化物将被击穿。这种典型的位单元构造需要两个晶体管(2T)来完成任务。一些更多电流的设计采用1.5T的结构来减少面积代价。本公开内容提供了仅使用1T(一个类晶体管器件)的位单元构造,由此允许甚至更高的存储密度。根据实施例,该1T位单元器件包括内置电容器(反熔丝元件)和内置肖特基二极管(选择器元件)。电容器包括位单元器件的一个接触部、垂直间隔体材料、和栅极金属。内置的二极管包括位单元器件的另一个接触部、扩散区、和栅极金属。内置的电容器可以被编程为逻辑“1”或逻辑“0”(基于由该电容器元件的电阻在编程之后所引起的读取水平),并且内置的二极管用作抑制来自共享相同字线或位线的相邻位单元的编程和读取干扰的选择器。

[0017] 因此,反熔丝元件利用栅极间隔体击穿作为编程机制,而并不需要额外的晶体管栅极氧化物层以用于击穿(如2T或1.5T反熔丝器件那样)。可以使用标准的CMOS工艺来制造如本文中所提供的反熔丝存储器电路,并且当该反熔丝存储器电路集成有电流替换金属栅极(RMG)和厚栅极工艺时利用少达一个的额外掩模。例如,除了不需要配备栅极电介质并且以非对称的方式配备源极/漏极接触部(如将参考图2a-2c所讨论的)以外,制作工艺可以与晶体管制作几乎相同。使用垂直间隔体材料代替水平栅极电介质以用于击穿减小了位单元覆盖区域。制造工艺与例如高k金属栅极FinFET工艺完全兼容。可以使用额外的掩模来略过1T位单元阵列上的栅极电介质。只要源极/漏极接触部中的一个可以结合垂直电介质间隔体材料和栅极金属使用以形成反熔丝元件(电容器),类似的工艺就可以用于进行高k金属栅极平面器件工艺。通过以非对称的方式实现源极/漏极接触部,接触部中的一个最终被实现为其不接触扩散区,从而使用于电压击穿的唯一路径跨电介质间隔体材料。

[0018] 可以利用给定的集成电路或其它设备的成像技术(例如,扫描电子显微镜或SEM、透射电子显微镜或TEM)来在截面上识别对所公开的技术/结构的使用,该给定的集成电路或其它设备具有如本文中多方面描述的使用垂直间隔体击穿以用于位单元的反熔丝元件的1T位单元结构。可以独立地验证包括间隔体至栅极击穿(反熔丝元件)和栅极至衬底结(二极管)的1T位单元的分立部分。如鉴于本公开内容将进一步意识到的,可以利用与在类似的电压范围内击穿的栅极电介质大约相同的厚度和质量来实现被典型地形成接近于栅极叠置体的电介质间隔体。另外,肖特基导通电压与晶体管阈值电压是可比较的,并且还可以通过功函数设计来进行调整。

[0019] 可以通过例如改变电介质间隔体材料和偏置条件来实现结合二极管类型的选择器使用垂直间隔体以用于存储器储存(不管是一次性的、易失性的、或非易失性的)的许多实施例和构造。本文中所描述的基于反熔丝的可编程存储器可以用在许多应用中,例如,分立的存储器设备和微处理器或其它片上可编程存储器应用(其中,可编程的本质实现了诸如缓存修复、后硅电路修整/调整、代码储存之类的功能)、以及诸如片上加密码钥储存之类的安全应用。由于高存储密度,鉴于本公开内容其它适当的应用将显而易见。

[0020] 存储器设备架构

[0021] 图1示意性地示出了根据本公开内容的实施例来配置的反熔丝存储器设备。如可以看出,设备通常包括列选择电路、行选择电路、以及位单元的 $M \times N$ 阵列(仅示出了 2×2 阵列,但是 M 和 N 可以是任何整数值,如鉴于本公开内容将显而易见的)。实际的阵列尺寸将取决于给定的应用和期望的储存能力。具体示例包括32行乘32列的机构、64行乘64列的机构、或者32行乘128列的机构。还要注意的,行 M 的数量不需要与列 N 的数量匹配。

[0022] 如可以进一步看出,每个位单元都包括以串联方式彼此连接的一类电容器的反熔丝元件 C 和类二极管的选择器元件 D ,以使得反熔丝元件 C 的一个端子连接到选择器元件 D 的阳极。反熔丝元件 C 的另一个端子连接到取决于位单元行的对应的字线(w_{10} 、 w_{11} 、……、 w_{1M-1}),并且选择器元件 D 的阴极端子连接到取决于位单元列的对应的位线(b_{10} 、 b_{11} 、……、 b_{1N-1})。每条字线都由包括在行选择电路中的对应的行选择电路来驱动,并且每条位线都由包括在列选择电路中的对应的列选择电路来驱动。另外,每条位线都连接到其自身的感测放大器,这提供了对该列的读出。

[0023] 行和列选择电路的实施方式细节将通常取决于在编程和读出期间的期望的偏置电压。在一个示例性实施例中,可以用场效应晶体管(FET)或其中晶体管的栅极接收允许选择给定的行或列的选择信号的其它适当的开关元件来实现每个行和列选择电路。一旦接收到栅极信号,在FET源极处可用的偏置电压被传送到FET漏极,这有效地驱动了对应的字线或位线。在任何这样的情况下,用于编程和读出的期望的偏置方案将指导行和列选择电路的具体的构造细节。控制器(片外或片上)可以用于向行和列开关元件提供选择信号。如公知的,控制器可以被配置为将读和写命令转换成适当的行/列选择信号,从而访问适当的位单元。感测放大器对来自读出电路的位线进行缓冲,并且可以被配置为根据需要放大读出信号。如鉴于本公开内容将显而易见的,此处可以使用任何数量的适当的行/列选择电路和感测放大器。本公开内容并非是要局限于任何特定的列/行选择和感测电路;相反,可以使用能够选择和读出如本文中所提供的进行配置的1T位单元的任何电路。

[0024] 图2a-c均示出了根据本公开内容的实施例来配置的反熔丝存储器设备结构的截

面。如可以看出,该示例性实施例包括基于鳍状物的构造。然而,要注意的是,如将鉴于本公开内容而意识到的,可以类似地使用平面的构造来实施其它实施例。每个截面都示出了一个位单元,但是多个这样的位单元可以是提供阵列的配备。将参考图6来讨论用于形成这些结构的示例性工艺。

[0025] 参考图2a,提供了在其上形成有鳍状物111的衬底101。要注意,截面是平行于鳍状物111截取的。对鳍状物111的顶部部分的至少一部分进行掺杂(例如,注入和/或外延沉积)来提供扩散区113。如可以看出,根据期望的性能和应用,扩散区113可以是用于提供N阱的n型或者用于提供P阱的p型。如图2a中进一步示出的,以未着陆(unlanded)的方式或者以其它偏移的方式来有意地提供间隔体107和栅极金属109。由于这样的偏移,在该示例性构造中,接触部沟槽105可以在绝缘体103材料中被蚀刻到相同深度。

[0026] 要注意,左侧的接触部105从扩散区113偏移并且有效地悬挂在绝缘体103材料中,以便结合电介质间隔体107材料和栅极金属109形成电容器。具体来说,接触部105和栅极金属109分别形成电容器的导电电极或板,并且间隔体材料107在这两个电极之间形成电容器的电介质。该电容器是位单元的反熔丝元件C。另一方面,右侧的接触部105着陆在扩散区113上,以便结合栅极金属109和扩散区113形成二极管。具体来说,栅极金属109和扩散区113的界面提供了金属-半导体结,其中该结的阳极位于栅极金属109处并且阴极位于右接触部105处。这种栅极金属-扩散结形成肖特基屏障或欧姆接触部。如公知的,这种金属-半导体结形成肖特基屏障还是欧姆接触部取决于结的肖特基屏障高度。在任何这样的情况下,这是位单元的选择器元件。

[0027] 组成位单元结构的各种材料可以从一个实施例到下一个实施例而不同,并且如将意识到的,将取决于应用。在一个示例性实施例中,可以使用以下材料:包括鳍状物111的衬底101是硅;绝缘体材料103是旋涂玻璃(SOG)或者在固化时凝固的其它可流动的隔离材料、或者二氧化硅;栅极金属109是钛、氮化钛、或者氮化钽;间隔体107是氮化硅;接触部105是钨,并且扩散区可以被掺杂有砷或磷以提供N阱。可以使用图案化注入(如常常进行的)来实行N阱的形成。替代地,可以通过蚀刻和外延沉积工艺(例如,利用epi掺杂的硅酸盐玻璃(例如,磷掺杂的硅酸盐玻璃(PSG)))来形成N阱。在这样的情况下,可以通过首先在期望的位置处蚀刻鳍状物111并随后在这些位置处选择性地生长epi来形成重掺杂的epi区。要注意,这些材料适合于n型反熔丝器件(N阱)。然而,如将意识到的,本文中所提供的技术还可以用于p型器件(P阱)。例如,在这样的p型情况下,可以选择功函数金属和P阱掺杂等级来确保肖特基屏障达到了针对给定应用所期望的击穿和导通电压的需求。在这样的情况下,P阱掺杂剂可以是例如硼或者硼掺杂的硅酸盐玻璃(BSG),并且用于提供扩散区113的外延沉积可以是例如硅锗(SiGe)。本公开内容并不是要局限于任何特定的材料系统或偏置方案。相反,如鉴于本公开内容将进一步意识到的,可以利用许多材料系统或偏置方案来实现如本文中各方面所提供的采用垂直间隔体材料击穿电压的1T位单元构造。

[0028] 如现在参考图2b可以看出,提供了与图2a中示出的结构类似的结构,除了并非以未着陆或者以其它偏移的方式来有意提供间隔体107和栅极金属109。相反,间隔体107和栅极金属109有效地着陆在鳍状物111的顶部上。要注意,这也可以是平面的构造(而不是基于鳍状物的构造)。在任何情况下,要注意,在该示例性构造中,接触部沟槽105在绝缘体103的材料中被蚀刻到不同深度。具体来说,左接触部105沟槽被浅蚀刻以使得其不会达到扩散区

113,并且右接触部105沟槽被深蚀刻以使得其达到扩散区113。由此产生的结构产生以与图2a中示出的1T位单元类似的方式进行操作的1T位单元。如将意识到的,关于图2a的相关的先前讨论在此处同样适用。

[0029] 如现在参考图2c可以看出,提供了与图2b中示出的结构类似的结构,除了鳍状物111的顶部是逐渐变细的。要注意,如果这样期望,这也可以是平面的构造(而不是基于鳍状物的构造)。在任何情况下,要注意,在该示例性构造中,接触部沟槽105被蚀刻到与绝缘体103材料中的深度相同的深度。然而,由于鳍状物111的逐渐变细的表面(或其它表面),左接触部105沟槽并未到达扩散区113,并且右接触部105沟槽到达扩散区113。由此产生的结构产生以如图2a和图2b中示出的1T位单元类似的方式进行操作的1T位单元。关于图2a-2b的相关的先前讨论在此处同样适用。

[0030] 位单元编程/读取

[0031] 图3a示意性地示出了根据本公开内容的实施例来配置的反熔丝存储器设备的未经编程的1T位单元。如可以看出,反熔丝元件C仍具有类电容性的品质(夹入电介质材料的两个导电板)。可以经由与该位单元对应的字线施加编程电压($V_{编程}$)。在对给定的位单元进行编程期间,该位单元的二极管D正向偏置,以便允许电流在对应的字线上流动并穿过该位单元的电容器C流到对应的位线。通过向该位单元的对应的字线和位线施加适当的电压来实现该正向偏置。在与该位单元被编程的相同的行中的其它位单元的二极管通过在它们的对应位线上所提供的适当电压来进行反向偏置。类似地,在与该位单元被编程的相同的列中的其它位单元的二极管通过在它们的对应字线上所提供的适当电压来进行反向偏置。因此,每次可以编程(或读取)一个位单元。

[0032] 图3b示意性地示出了根据本公开内容的实施例来配置的反熔丝存储器设备的经编程的1T位单元。如可以看出,反熔丝元件C已经被编程或有效地转换为电阻器R。该电阻结合读出电路的电阻进行操作,以便提供对其经编程的值(1或0,根据具体情况)的指示。如将鉴于本公开内容意识到的,可以以与对常规的反熔丝元件的栅极电介质进行编程类似的方式进行垂直间隔体材料107到类电阻器的元件R的转换。可以经由与该位单元对应的字线来施加读取电压($V_{读取}$)。

[0033] 图3c示出了根据实施例的包括如参考图2a-2c所讨论的进行配置的反熔丝存储器设备的1T位单元的各个集成电路层。如可以看出,CSG结(接触部105/间隔体107/栅极金属109)形成反熔丝元件C(或者在编程之后的R),并且栅极至扩散结形成基于二极管的选择器元件D。再次,要注意,可以分别在编程和读出操作期间经由与该位单元相对应的字线来施加编程电压($V_{编程}$)和读取电压($V_{读取}$)。

[0034] 图4a-b示出了根据本公开内容的实施例来配置的反熔丝存储器设备的1T位单元的电流-电压特性。具体来说,图4a示出了当达到正向二极管压降($V_{二极管}$)时栅极至扩散(金属-半导体)结开始导通。反向击穿电压($-V_{二极管}$)的大小典型地高于正向阈值电压。图4b示出了垂直间隔体材料107的击穿电压(V_{BD}),不管电流流动方向(即, $V_{BD} \approx -V_{BD}$)如何,击穿电压(V_{BD})通常是相同的。在一个示例性实施例中,肖特基二极管的正向压降 $V_{二极管}$ 处于大约0.15v至0.45v的范围内,并且垂直间隔体材料107的击穿电压 V_{BD} 处于大约0.5v至3.5v的范围内。如可以在图4a中进一步看出,二极管的反向击穿电压是垂直间隔体材料107的击穿电压 V_{BD} 加上 $V_{二极管}$ 的函数,其总计在大小上通常比正向二极管压降 $V_{二极管}$ 大得多(例如,在一个示例性

实施例中,大5倍或更多)。如将意识到的,根据诸如间隔体材料107的类型和几何结构以及可用的偏置电压之类的因素,间隔体材料107的实际击穿电压可以从一个实施例到另一个实施例而大幅不同。具有已知厚度T的任何给定的电介质间隔体材料107(如图2a中示出的)将具有已知的电介质强度等级(例如,MV/m,或者 10^6Volt/米),根据该电介质强度等级,可以估计击穿电压 V_{BD} 。

[0035] 如将意识到的,在基于行的字线和基于列的位线处施加的电压可以被设定为对给定的单元进行偏置,从而可以发生编程或读出,而其它位单元留在非导通或者其它情况下的不激活的状态。在一些示例性实施例中,被施加到位线的HI-L0电压可以与被施加到字线的HI-L0电压相同,但是在其它实施例中,位线的HI-L0电压与字线的HI-L0电压不同。图5a示出了用于对根据本公开内容的实施例来配置的反熔丝存储器设备进行编程的示例性方案。在该示例性构造中,位线的HI-L0电压与字线的HI-L0电压相同。对于该示例性实施例,以下等式关于位单元操作适用:

$$[0036] \quad V_{\text{编程}} > V_{BD} + V_{\text{二极管}} + V_{NW} \text{ (等式1)}$$

$$[0037] \quad |V_{BD}, V_{\text{二极管}}| > V_{\text{编程}} \text{ (等式2)}$$

$$[0038] \quad V_{\text{读取}} > V_{NW} + V_{\text{二极管}} \text{ (等式3)}$$

[0039] 此处, $V_{\text{编程}}$ 是在编程期间由行选择电路施加到字线的编程电压, $V_{\text{读取}}$ 是在读出期间由行选择电路施加到字线的编程电压, V_{BD} 是垂直间隔体材料107的击穿电压, $V_{\text{二极管}}$ 是跨肖特基结的压降,并且 V_{NW} 是跨扩散区113的压降(在该示例性情况下,其是N阱)。

[0040] 如可以看出,正在对位单元A进行编程。具体来说,编程电压HI($V_{\text{编程}}$)被施加到字线w10并且低电压LO(地)被施加到位线b10。这些电压电平使得位单元A的二极管D正向偏置,并且编程电压HI(小于 $V_{\text{二极管}}$)跨位单元A的反熔丝元件C下降一段时间,由此使得该反熔丝元件具有在某个范围内的电阻R(如图3b中示出的)。要注意,除了肖特基结处的压降($V_{\text{二极管}}$)和N阱处的压降(V_{NW})以外, $V_{\text{编程}}$ 需要足够高以提供足够的电势来击穿垂直间隔体107。位单元B并未激活或者以其它方式未受影响,这是因为相同的电压HI被施加到字线w10和位线b11两者,由此防止位单元B的二极管D变成正向偏置以及因此跨位单元B的反熔丝元件C的任何压降。以类似的方式,位单元C未受影响,这是因为相同的电压LO被施加到字线w11和位线b10两者,由此防止位单元C的二极管D变成正向偏置以及跨位单元C的反熔丝元件C的任何压降。位单元D被有效地反向偏置,这是因为电压LO被施加到字线w11,并且电压HI被施加到位线b11。在这种情况下,位单元D的二极管D防止任何反向电流流动以及因此跨位单元D的反熔丝元件C的任何压降。对于位单元D,要注意, V_{BD} 、 $V_{\text{二极管}}$ 需要维持 $V_{\text{编程}}$ 以防止击穿。如将进一步意识到的,可以以与编程操作类似的方式来实行读取操作,但将 $V_{\text{编程}}$ 改变为 $V_{\text{读取}}$ 。典型地, $V_{\text{读取}}$ 是比 $V_{\text{编程}}$ 低的电压。在一个示例性情况下, $V_{\text{编程}}$ 处于2.5v到5.0v的范围内,并且 $V_{\text{读取}}$ 处于0.8v到1.5v的范围内。如将意识到的,可以使用许多其它的电压方案并且本公开内容并非是要局限于任何特定的这样的方案。

[0041] 图5b示出了用于对根据本公开内容的实施例来配置的反熔丝存储器设备进行编程的另一个示例性方案。在该示例性构造中,位线HI-L0电压与字线HI-L0电压不同。对于该示例性实施例,以下等式关于位单元操作适用:

$$[0042] \quad V_{\text{编程}} > V_{BD} + V_{\text{二极管}} + V_{NW} \text{ (等式4)}$$

$$[0043] \quad |V_{BD}, V_{\text{二极管}}| > V_{\text{编程}}/2 \text{ (等式5)}$$

[0044] $V_{\text{读取}} > V_{\text{NW}} + V_{\text{二极管}}$ (等式6)

[0045] 用于字线的HI和LO电压分别为 $V_{\text{编程}}$ 和 $V_{\text{编程}}/2$ 。用于位线的HI和LO电压分别为 $V_{\text{编程}}/2$ 和GND(地或0v)。如可以看出,正在对位单元A进行编程。

[0046] 具体来说,编程电压HI ($V_{\text{编程}}$) 被施加到字线w10并且低电压LO(地) 被施加到位线b10。这些电压电平使得位单元A的二极管D正向偏置,并且使编程电压HI(小于 $V_{\text{二极管}}$) 跨位单元A的反熔丝元件C下降一段时间,由此使得反熔丝元件具有电阻R。要注意,除了肖特基结处的压降($V_{\text{二极管}}$) 和N阱处的压降(V_{NW}) 以外, $V_{\text{编程}}$ 需要足够高以提供足够的电势来击穿垂直间隔体107。位单元B未被激活,这是因为电压HI ($V_{\text{编程}}$) 被施加到字线w10并且电压HI ($V_{\text{编程}}/2$) 被施加到位线b11,这引起跨位单元B下降 $V_{\text{编程}}/2$,其不足以造成任何击穿或编程效果。以类似的方式,位单元C未被激活,这是因为电压LO ($V_{\text{编程}}/2$) 被施加到字线w11,并且电压LO(GND) 被施加到位线b10,这引起跨位单元C下降 $V_{\text{编程}}/2$,其不足以造成任何击穿或编程效果。对于位单元B和C,要注意, V_{BD} 、 $V_{\text{二极管}}$ 需要维持 $V_{\text{编程}}/2$ 来防止击穿。位单元D未受影响,这是因为相同的电压 ($V_{\text{编程}}/2$) 被施加到字线w11和位线b11两者,由此防止位单元D的二极管D变成正向偏置以及因此跨位单元D的反熔丝元件C的任何压降。如将进一步意识到的,可以与编程操作类似的方式来实行读取操作,但是将 $V_{\text{编程}}$ 改变为 $V_{\text{读取}}$,并将 $V_{\text{编程}}/2$ 改变为 $V_{\text{读取}}/2$ 。要注意,如果允许小于0v的输出电压(Dout),则所有电压都可以向下移动 $V_{\text{编程}}/2$ 来节省备用功率。

[0047] 方法

[0048] 要注意,可以使用任何标准的晶体管器件工艺(例如,CMOS器件工艺,其中形成栅极叠置体,并且随后形成源极和漏极区和接触部)来实现如本文中所提供的位单元。在一些情况下,初始的栅极叠置体可以包括牺牲栅极材料,随后使用去除金属栅极或所谓的RMG工艺来去除该牺牲栅极材料。一般来说,任何这样的处理方案可以用于实现如本文中所描述的位单元构造,其中进行修改以考虑缺少栅极电介质、扩散区113、和基于沟槽的接触部105的非对称性质(不管是通过未着陆的或偏移的栅极沟槽、还是逐渐变细的/倾斜的扩散区113、还是浅-深对的基于沟槽的接触部105)。

[0049] 图6示出了用于制造根据本公开内容的实施例来配置的反熔丝存储器设备的方法。可以参考图2a-c中示出的示例性结构以进行进一步理解。方法包括在衬底上形成601鳍状物结构。在一些实施例中,由此产生的鳍状物111可以如图2c中示出的逐渐变细。在其它实施例中,不需要鳍状物111。相反,还可以使用平面的晶体管架构,其中,在其上制作器件的平面是倾斜的(如图2c中示出的)或者其中,基于沟槽的接触部被蚀刻到不同的深度(图2b)。出于该示例性实施例的目的,假设需要基于鳍状物的构造。

[0050] 方法继续在(多个)鳍状物的顶部上形成603扩散区。在一个示例性情况下,扩散是n型的,其中,通过适当的n型掺杂剂的图案化的注入来形成N阱。替代地,可以通过首先在期望的位置处蚀刻鳍状物,随后在那些位置处选择性地配备epi生长,来在鳍状物的顶表面上外延形成N阱。在一个这种示例性情况下,利用掺杂的硅酸盐玻璃(例如,PSG)来实现epi生长。回想起可以利用使用适当的p型掺杂剂(例如,BSG)的P阱来实现其它实施例。方法继续在鳍状物结构之上沉积605绝缘体材料。绝缘体材料可以是可流动或以其它方式沉积到该结构上的任何适当的电介质。必要时可以使用平坦化和其它中间工艺。

[0051] 方法继续蚀刻607沟槽以暴露扩散区。如先前所解释的,根据期望的构造,沟槽可以是部分着陆(图2a)或者完全着陆(图2b)在鳍状物111上。方法继续在沟槽侧上沉积609间

隔体材料,并在沟槽中沉积611栅极金属(和任何期望的平坦化)。如先前所解释的,不需要在沟槽底部处沉积电介质或栅极氧化物,如对于晶体管制作将进行的。要注意,可以以任何数量的顺序来进行形成工艺,并且图6中的描绘并非旨在暗示特定顺序的工艺步骤。相反,鉴于本公开内容,许多这样的方法将显而易见。

[0052] 方法继续蚀刻613输入和输出接触部沟槽。如先前所解释的,可以以非对称的方式来实现基于沟槽的接触部105。例如,如果栅极沟槽如图2a中所示进行偏移,则左侧和右侧接触部沟槽可以是相同深度的,但是右侧接触部沟槽着陆在扩散113上并且左侧接触部沟槽仍然悬空。替代地,如果扩散区113是逐渐变细的或者以其它方式被配置有非均匀的高度(如图2c中示出的),则接触部沟槽可以是相同深度(如果这样期望的话),其中,上坡接触部沟槽到达扩散区113并且下坡接触部沟槽并不到达扩散区113。在其它这样的情况下,下坡接触部沟槽可以比上坡接触部沟槽更浅。在又一个替代的实施例中,如果栅极沟槽完全着陆在均匀高度的平坦表面上(如图2b中示出的),则一个沟槽可以较深,以便到达扩散区113并且另一沟槽可以较浅,并且未到达扩散区113。方法继续将接触部材料沉积615到沟槽中并且必要的话进行平坦化。

[0053] 系统

[0054] 图7示出了利用根据本公开内容的实施例来配置的反熔丝存储器而实现的计算系统。如可以看出,计算系统700容纳母板702。母板702可以包括多个部件,包括但不限于处理器704和至少一个通信芯片706,其中每个都可以物理和电气地耦合到母板702,或者以其它方式集成在其中。如将意识到的,母板702可以是例如任何印刷电路板,无论是主板、安装在主板上的子板、还是系统700的唯一的板等等。根据其应用,计算系统700可以包括一个或多个其它部件,这些部件可以或不物理和电气地耦合到母板702。这些其它部件可以包括但不限于易失性存储器(例如,DRAM)、非易失性存储器(例如,ROM)、图形处理器、数字信号处理器、密码处理器、芯片组、天线、显示器、触摸屏显示器、触摸屏控制器、电池、音频编解码器、视频编解码器、功率放大器、全球定位系统(GPS)设备、罗盘、加速度计、陀螺仪、扬声器、照相机、以及大容量储存设备(例如硬盘驱动器、光盘(CD)、数字多功能盘(DVD)等等)。包括在计算系统700中的部件中的任何部件可以包括使用本文中所公开的技术形成的一个或多个集成电路结构或器件。在一些实施例中,多个功能可以被集成到一个或多个芯片中(例如,要注意,通信芯片706可以是处理器704的部分,或者以其它方式被集成到处理器704中)。

[0055] 通信芯片706实现了用于往返于计算设备700的数据传输的无线通信。术语“无线”及其派生词可用于描述:可以通过使用经调制的电磁辐射来经由非固态介质传送数据的电路、设备、系统、方法、技术、通信信道等。尽管在一些实施例中相关联的设备不包含任何导线,但该术语并非要暗示相关联的设备不包含任何导线。通信芯片706可以实现多个无线标准或协议中的任何标准或协议,这些标准或协议包括但不限于Wi-Fi (IEEE802.11族)、WiMAX (IEEE 802.16族)、IEEE 802.20、长期演进(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙、其衍生物,以及被命名为3G、4G、5G及更高代的任何其它无线协议。计算设备700可以包括多个通信芯片706。例如,第一通信芯片706可以专用于较短距离无线通信(例如Wi-Fi和蓝牙),并且第二通信芯片706可以专用于较长距离无线通信(例如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO以及其它)。

[0056] 计算系统700的处理器704包括封装在处理器704内的集成电路管芯。在一些实施例中,处理器的集成电路管芯包括利用如本文中多方面描述的一个或多个集成电路结构或器件而实现的板上电路。术语“处理器”可以指代对例如来自寄存器和/或存储器的电子数据进行处理以将该电子数据转换成可以存储在寄存器和/或存储器中的其它电子数据的任何器件或器件的一部分。

[0057] 通信芯片706也可以包括封装在通信芯片706内的集成电路管芯。根据一些这样的示范性实施例,通信芯片的集成电路管芯包括如本文中描述的一个或多个集成电路结构或器件。如鉴于本公开内容将意识到的,要注意,多个标准的无线能力可以被直接集成到处理器704中(例如,其中任何芯片706的功能被集成到处理器704中,而不是具有单独的通信芯片)。还要注意,处理器704可以是具有这种无线能力的芯片组。简言之,可以使用任意数量的处理器704和/或通信芯片706。类似地,任何一个芯片或芯片组都可以具有集成在其中的多个功能。

[0058] 在各种实施方式中,计算系统700可以是膝上计算机、上网本、笔记本、智能电话、平板计算机、个人数字助理(PDA)、超级移动PC、移动电话、台式计算机、服务器、打印机、扫描仪、监视器、机顶盒、娱乐控制单元、数码相机、便携式音乐播放器、数字视频录像机、或者处理数据或采用如本文中多方面描述的一个或多个集成电路结构或器件的任何其它电子设备。

[0059] 其它示范性实施例

[0060] 以下示例属于其它实施例,根据这些实施例,许多排列和构造将是显而易见的。

[0061] 示例1是存储器设备位单元,包括:半导体衬底,该半导体衬底具有表面;扩散区,该扩散区位于半导体衬底的表面上或表面中;第一垂直电介质间隔体和第二垂直电介质间隔体,那些间隔体中的至少一个位于扩散区之上并与扩散区接触;金属,该金属沉积在第一垂直电介质间隔体与第二垂直电介质间隔体之间并与第一垂直电介质间隔体和第二垂直电介质间隔体接触,该金属还至少部分地与扩散区接触;第一基于沟槽的导电接触部,该第一基于沟槽的导电接触部未与扩散区接触,但结合第一垂直电介质间隔体和金属形成反熔丝元件;以及第二基于沟槽的导电接触部,该第二基于沟槽的导电接触部与扩散区接触,并且结合扩散区和金属形成选择器元件。

[0062] 示例2包括示例1的主题,还包括:绝缘体材料层,该绝缘体材料层位于衬底之上,并且在该绝缘体材料层中存在第一垂直电介质间隔体和第二垂直电介质间隔体、金属、以及第一基于沟槽的导电接触部和第二基于沟槽的导电接触部。

[0063] 示例3包括示例1或2中的任何示例的主题,其中,半导体衬底包括鳍状物并且表面包括鳍状物的顶部。

[0064] 示例4包括先前示例中的任何示例的主题,其中,表面具有非均匀的高度。

[0065] 示例5包括先前示例中的任何示例的主题,其中,表面是倾斜的。

[0066] 示例6包括先前示例中的任何示例的主题,其中,扩散区是倾斜的或者以其它方式具有非均匀的高度。

[0067] 示例7包括先前示例中的任何示例的主题,其中,扩散区包括N阱。

[0068] 示例8包括示例1-6中的任何示例的主题,其中,扩散区包括P阱。

[0069] 示例9包括先前示例中的任何示例的主题,其中,第一垂直电介质间隔体和第二垂

直电介质间隔体两者都位于扩散区之上并与扩散区接触。

[0070] 示例10包括先前示例中的任何示例的主题,其中,第一垂直电介质间隔体和第二垂直电介质间隔体两者为相同的高度。

[0071] 示例11包括示例1-9中的任何示例的主题,其中,第一垂直电介质间隔体和第二垂直电介质间隔体中的一个比另一个长。

[0072] 示例12包括示例1-8中的任何示例的主题,其中,第一垂直电介质间隔体和第二垂直电介质间隔体中的一个位于扩散区之上并与扩散区接触,并且另一间隔体位于衬底的另一区域之上并与衬底的另一区域接触。

[0073] 示例13包括示例12的主题,其中,半导体衬底包括鳍状物并且表面包括鳍状物的顶部,并且衬底的另一区域是邻近鳍状物的区域。

[0074] 示例14包括先前示例中的任何示例的主题,其中,第一基于沟槽的导电接触部和第二基于沟槽的导电接触部中的一个比另一个长。

[0075] 示例15包括示例1-13中的任何示例的主题,其中,第一基于沟槽的导电接触部和第二基于沟槽的导电接触部为相同高度。

[0076] 示例16包括示例1的主题,其中,金属部分地着陆在扩散区上。

[0077] 示例17包括示例16的主题,其中,与金属的未着的陆部分接触的垂直电介质间隔体比与着陆的部分接触的垂直电介质间隔体长。

[0078] 示例18包括示例16或17的主题,其中,第一基于沟槽的导电接触部和第二基于沟槽的导电接触部具有相同长度。

[0079] 示例19包括示例16或17的主题,其中,第一基于沟槽的导电接触部和第二基于沟槽的导电接触部中的一个比另一个长。

[0080] 示例20包括示例1的主题,其中,金属完全着陆在扩散区上。

[0081] 示例21包括示例20的主题,其中,垂直电介质间隔体中的一个比另一个长,因为扩散区具有非均匀的高度。

[0082] 示例22包括示例20或21的主题,其中,垂直电介质间隔体中的一个比另一个长,因为扩散区是倾斜的。

[0083] 示例23包括示例20-22中的任何示例的主题,其中,第一基于沟槽的导电接触部和第二基于沟槽的导电接触部具有相同长度。

[0084] 示例24包括示例20-22中的任何示例的主题,其中,第一基于沟槽的导电接触部具有与第二基于沟槽的导电接触部不同的长度。

[0085] 示例25包括一种存储器设备,该存储器设备包括示例1-24中的任何示例的位单元阵列。

[0086] 示例26包括一种集成电路,该集成电路包括示例25的存储器设备。在一些这样的示例性情况下,集成电路可以是处理器或通信芯片。

[0087] 示例27包括一种储存系统,该储存系统包括示例24-26中的任何示例的主题,还包括以下各项中的至少一项:用于选择阵列的列的列选择电路;用于选择阵列的行的行选择电路;以及用于在读出期间感测位单元状态的感测放大器电路。

[0088] 示例28包括一种存储器设备,包括:位单元阵列,该位单元阵列形成在半导体衬底上,每个位单元包括:衬底的表面;扩散区,该扩散区位于半导体衬底的表面上或表面中;第

一垂直电介质间隔体和第二垂直电介质间隔体,那些间隔体中的至少一个位于扩散区之上并且与扩散区接触;金属,该金属沉积在第一垂直电介质间隔体与第二垂直电介质间隔体之间并与第一垂直电介质间隔体和第二垂直电介质间隔体接触,该金属还至少部分地与扩散区接触;第一基于沟槽的导电接触部,该第一基于沟槽的导电接触部未与扩散区接触,但结合第一垂直电介质间隔体和金属形成反熔丝元件;第二基于沟槽的导电接触部,该第二基于沟槽的导电接触部与扩散区接触,并且结合扩散区和金属形成选择器元件;以及绝缘体材料层,该绝缘体材料层位于衬底之上,并且在该绝缘体材料层中存在第一垂直电介质间隔体和第二垂直电介质间隔体、金属、以及第一基于沟槽的导电接触部和第二基于沟槽的导电接触部;列选择电路,该列选择电路用于选择阵列的列;以及行选择电路,该行选择电路用于选择阵列的行。

[0089] 示例29包括示例28的主题,其中,半导体衬底包括鳍状物并且表面包括鳍状物的顶部。

[0090] 示例30包括示例28或29的主题,其中,位单元中的至少一些位单元的金属部分地着陆在该位单元的对应的扩散区上。

[0091] 示例31包括示例30的主题,其中,对于至少某些位单元,与金属的未着陆的部分接触的垂直电介质间隔体比与着陆的部分接触的垂直电介质间隔体长。

[0092] 示例32包括示例30或31的主题,其中,对于至少一些位单元,第一基于沟槽的导电接触部和第二基于沟槽的导电接触部具有相同长度。

[0093] 示例33包括示例30或31的主题,其中,对于至少一些位单元,第一基于沟槽的导电接触部和第二基于沟槽的导电接触部中的一个比另一个长。

[0094] 示例34包括示例28或29的主题,其中,位单元中的至少一些位单元的金属完全着陆在该位单元的对应的扩散区上。

[0095] 示例35包括示例34的主题,其中,对于至少一些位单元,垂直电介质间隔体中的一个比另一个长,因为扩散区具有非均匀的高度。

[0096] 示例36包括示例34或35的主题,其中,对于至少一些位单元,垂直电介质间隔体中的一个比另一个长,因为扩散区是倾斜的。

[0097] 示例37包括示例34-36中的任何示例的主题,其中,对于至少一些位单元,第一基于沟槽的导电接触部和第二基于沟槽的导电接触部具有相同高度。

[0098] 示例38包括示例34-36中的任何示例的主题,其中,第一基于沟槽的导电接触部具有与第二基于沟槽的导电接触部不同的长度。

[0099] 示例39包括一种用于制造位单元的方法,包括:提供具有表面的半导体衬底;在半导体衬底的表面上或表面中提供扩散区;提供第一垂直电介质间隔体和第二垂直电介质间隔体,那些间隔体中的至少一个位于扩散区之上并与扩散区接触;在第一垂直电介质间隔体与第二垂直电介质间隔体之间、并与第一垂直电介质间隔体和第二垂直电介质间隔体接触地沉积金属,该金属还至少部分地与扩散区接触;提供第一基于沟槽的导电接触部,该第一基于沟槽的导电接触部未与扩散区接触,但结合第一垂直电介质间隔体和金属形成反熔丝元件;以及提供第二基于沟槽的导电接触部,该第二基于沟槽的导电接触部与扩散区接触,并且结合扩散区和金属形成选择器元件。

[0100] 示例40包括示例39的主题,并且还包括:在衬底之上提供绝缘体材料层,其中,在

绝缘体材料层内存在第一垂直电介质间隔体和第二垂直电介质间隔体、金属、以及第一基于沟槽的导电接触部和第二基于沟槽的导电接触部。

[0101] 示例41包括示例39或40的主题,其中,半导体衬底包括鳍状物,并且表面包括鳍状物的顶部部分。

[0102] 示例42包括示例39-41中的任何示例的主题,并且还包含:提供表面以具有非均匀的高度。

[0103] 示例43包括示例39-42中的任何示例的主题,其中,表面是倾斜的。

[0104] 示例44包括示例39-43中的任何示例的主题,其中,扩散区是倾斜的或者以其它方式具有非均匀的高度,从而给出了扩散区与对应的表面的关系。

[0105] 示例45包括示例39-44中的任何示例的主题,其中,金属部分地着陆在扩散区上。

[0106] 示例46包括示例45的主题,其中,与金属的未着陆的部分接触的垂直电介质间隔体比与着陆的部分接触的垂直电介质间隔体长。

[0107] 示例47包括示例45或46的主题,其中,第一基于沟槽的导电接触部和第二基于沟槽的导电接触部具有相同长度。

[0108] 示例48包括示例45或46的主题,其中,第一基于沟槽的导电接触部和第二基于沟槽的导电接触部中的一个比另一个长。

[0109] 示例49包括示例39-44中的任何示例的主题,其中,金属完全着陆在扩散区上。

[0110] 示例50包括示例49的主题,其中,垂直电介质间隔体中的一个比另一个长,因为扩散区具有非均匀的高度。

[0111] 示例51包括示例49或50的主题,其中,垂直电介质间隔体中的一个比另一个长,因为扩散区是倾斜的。

[0112] 示例52包括示例49-51中的任何示例的主题,其中,第一基于沟槽的导电接触部和第二基于沟槽的导电接触部具有相同长度。

[0113] 示例53包括示例49-51中的任何示例的主题,其中,第一基于沟槽的导电接触部具有与第二基于沟槽的导电接触部不同的长度。

[0114] 示例54包括示例39的主题,其中,金属部分地着陆在扩散区上,并且其中,与金属的未着陆的部分接触的垂直电介质间隔体比与着陆的部分接触的垂直电介质间隔体长。

[0115] 示例55包括示例39的主题,其中,金属完全着陆在扩散区上,并且其中,垂直电介质间隔体中的一个比另一个长,因为扩散区是倾斜的或者以其它方式具有非均匀的高度和/或第一基于沟槽的导电接触部具有与第二基于沟槽的导电接触部不同的长度。

[0116] 为了说明和描述的目的已经呈现了本公开内容的实施例的前述描述。其并非旨在是详尽的或者将本公开内容限于所公开的精确形式。鉴于本公开内容,许多修改和变型是可能的。本公开内容的范围并不旨在由本具体实施方式限定,而是由所附权利要求限定。

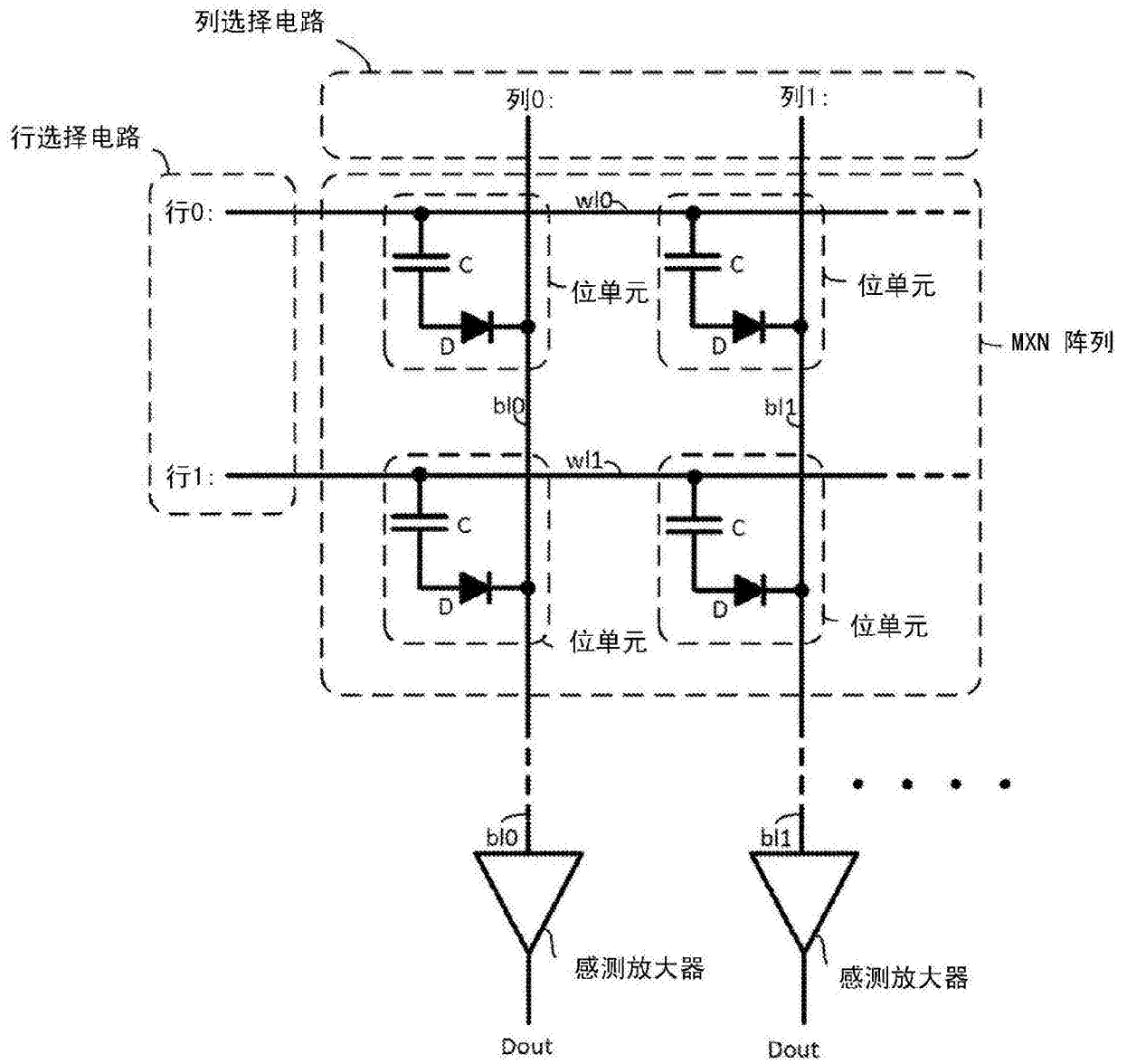


图1

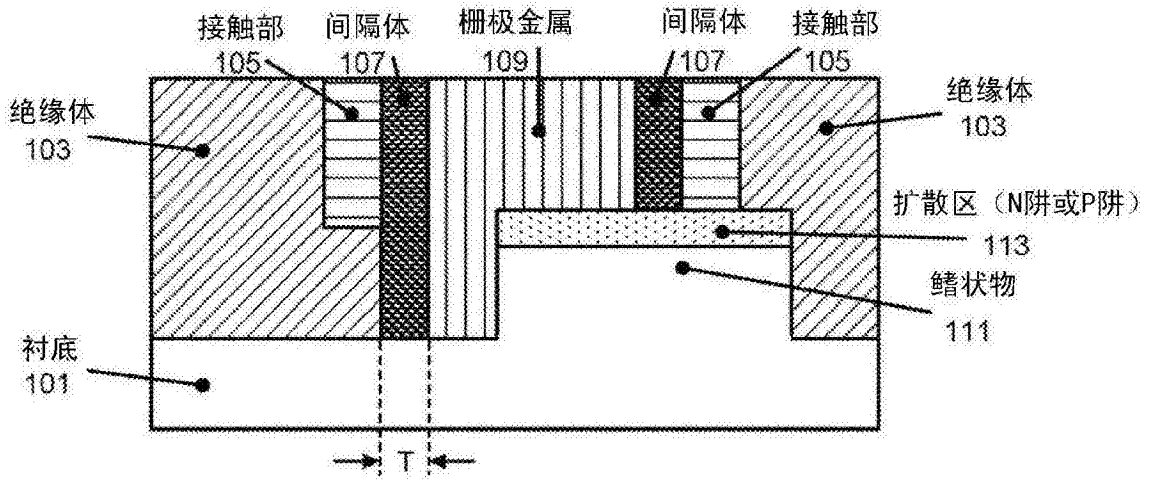


图2a

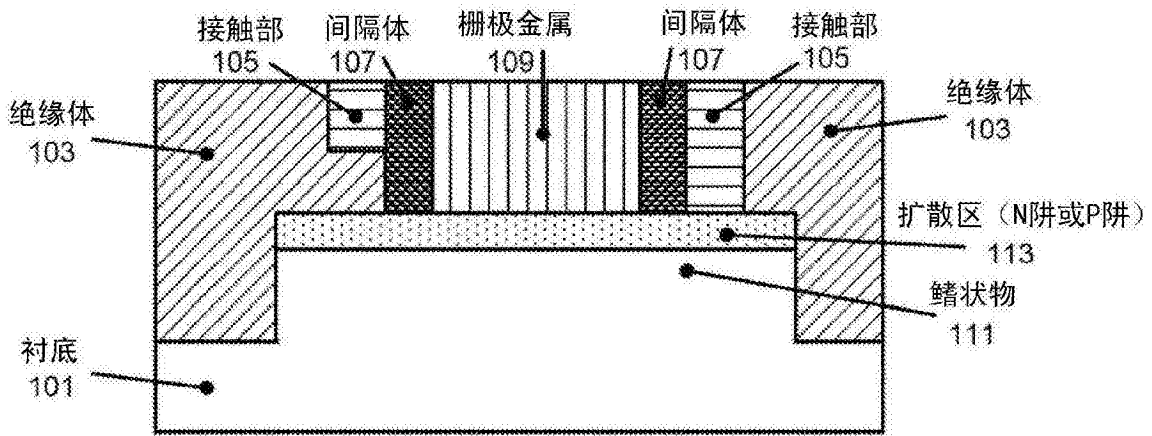


图2b

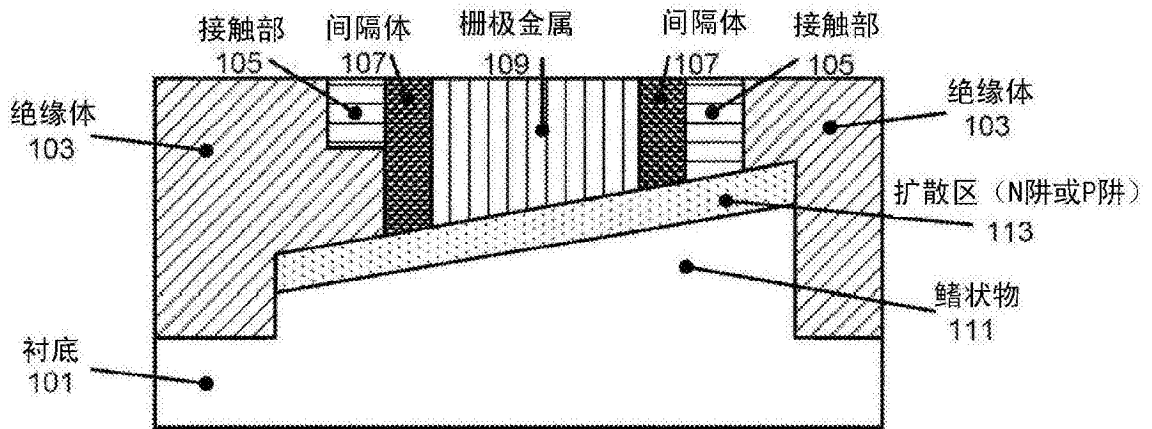


图2c

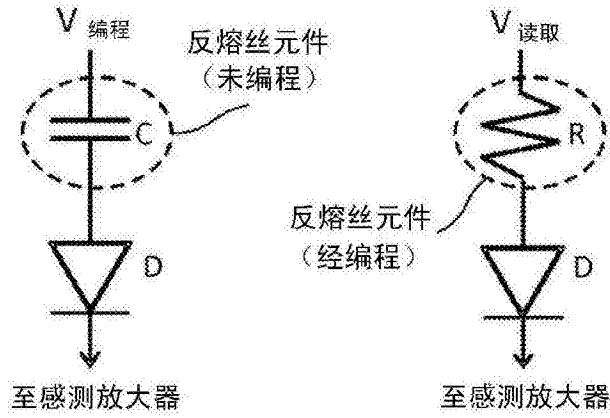


图3a

图3b

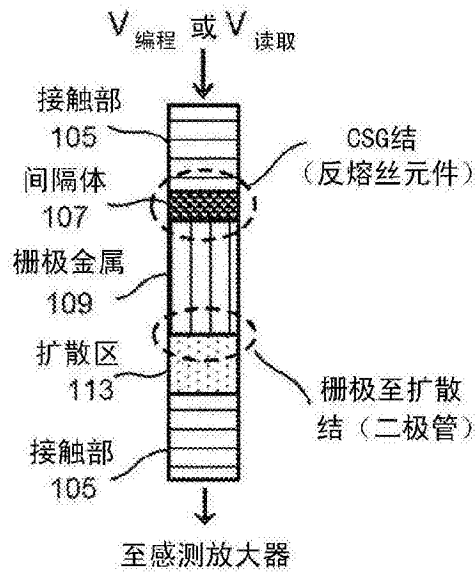


图3c

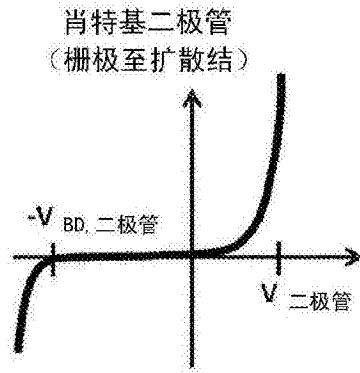


图4a

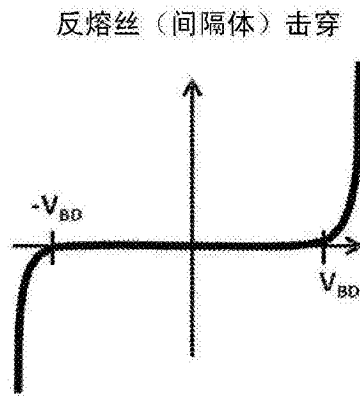


图4b

行和列:

HI = V_{编程}

LO = GND

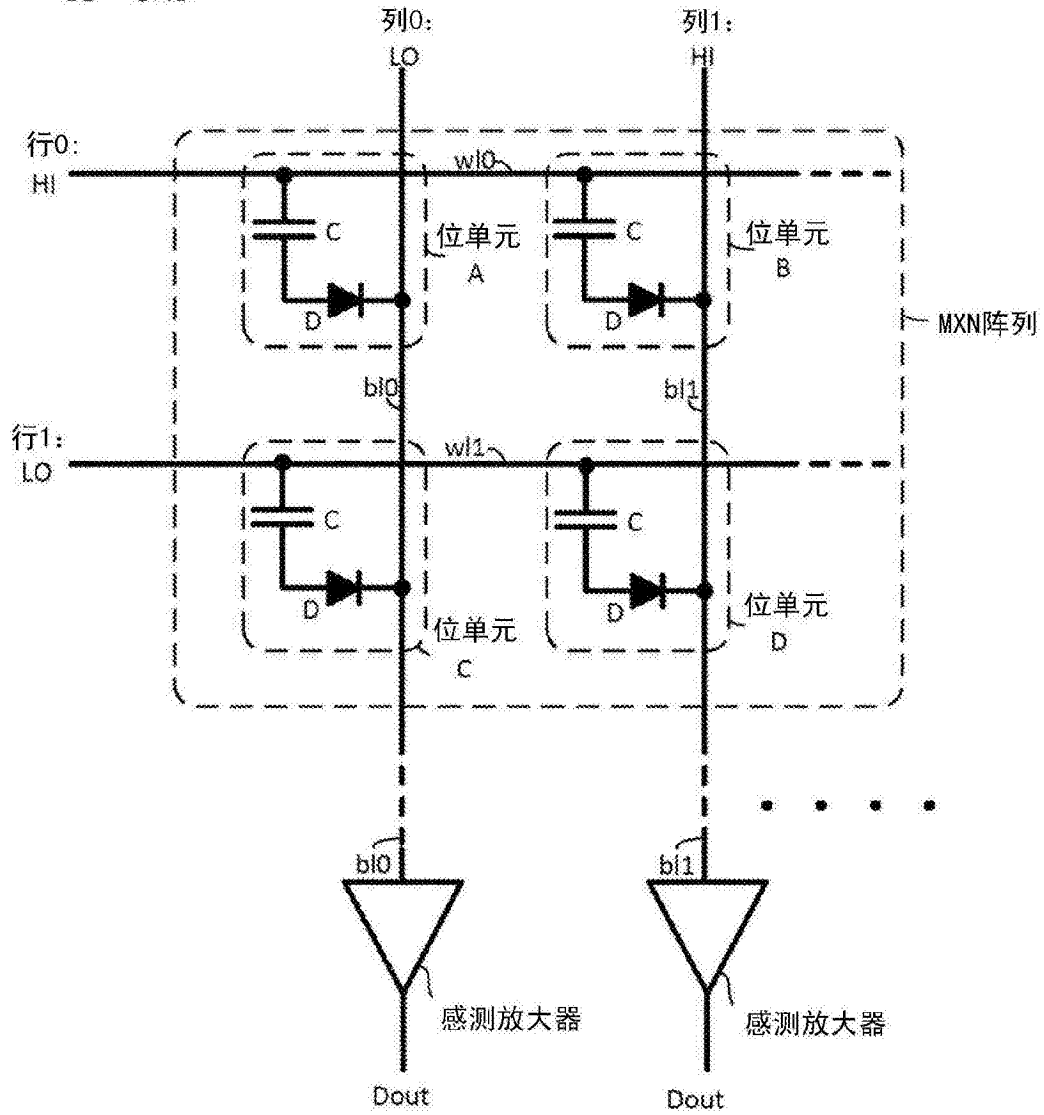


图5a

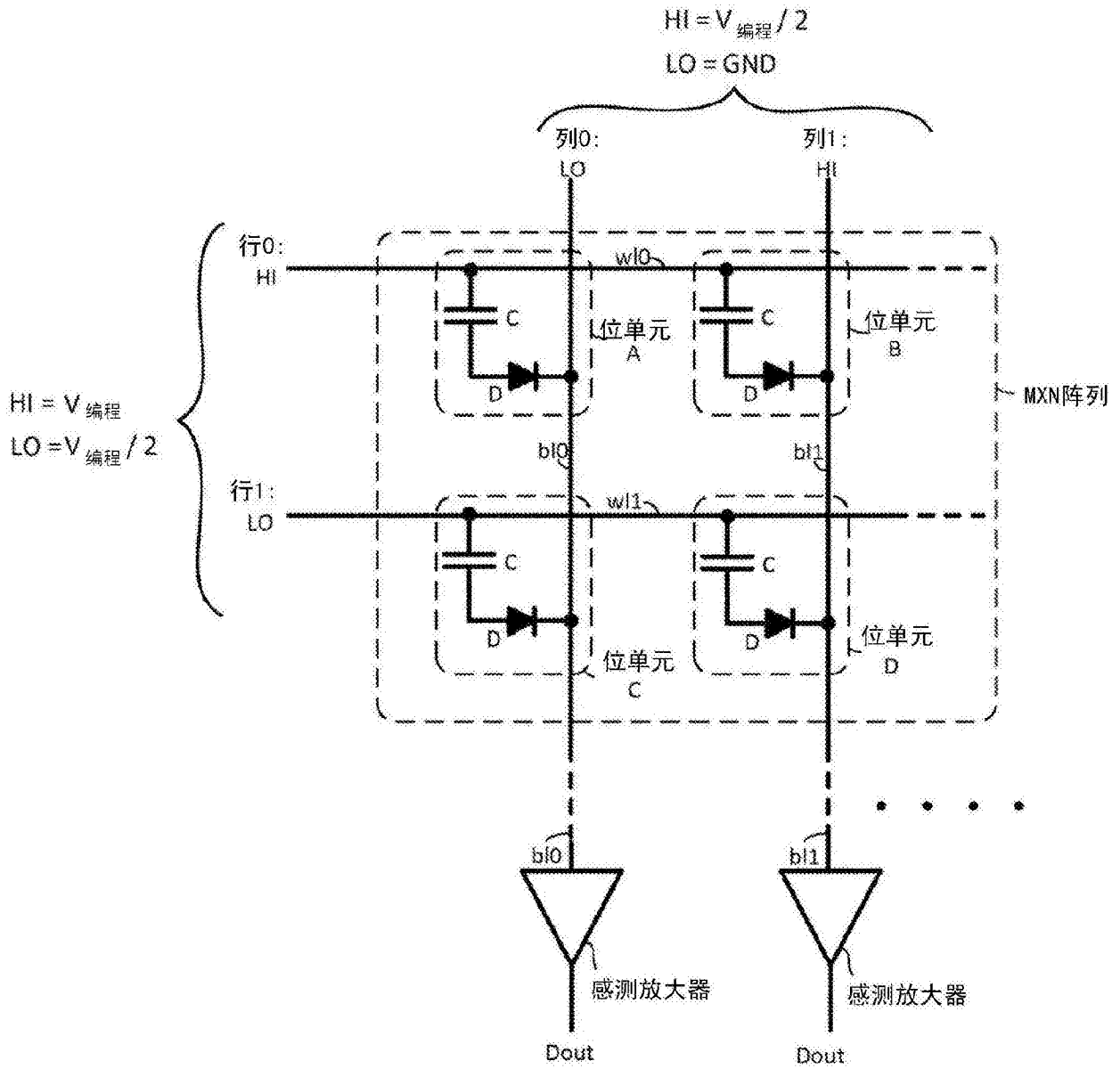


图5b

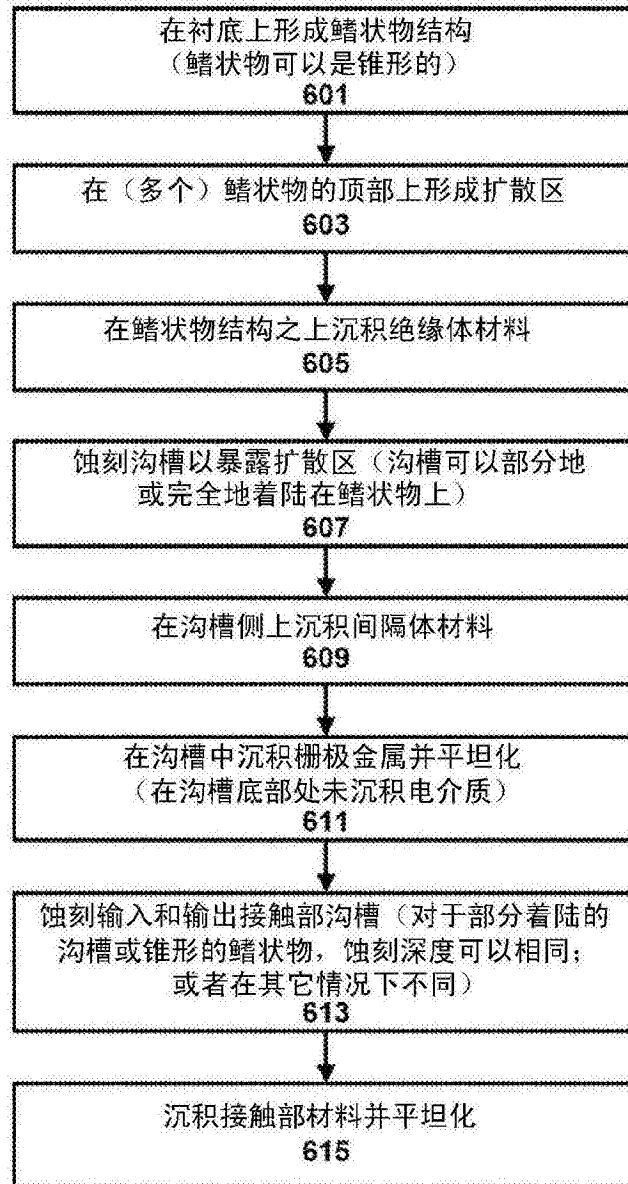


图6

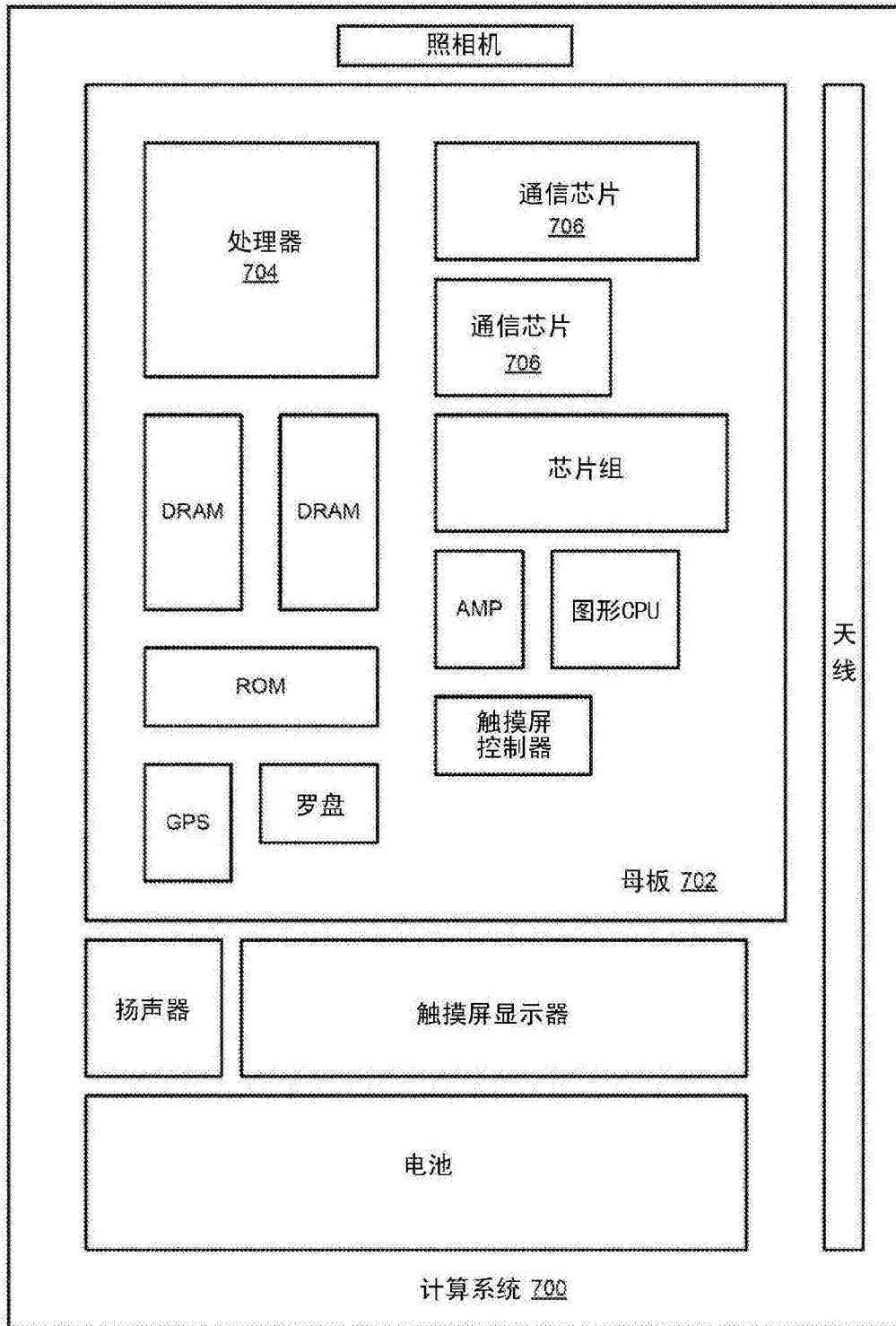


图7