

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6837899号  
(P6837899)

(45) 発行日 令和3年3月3日(2021.3.3)

(24) 登録日 令和3年2月15日(2021.2.15)

(51) Int. Cl.		F I			
HO 1 M	10/44	(2006.01)	HO 1 M	10/44	P
HO 2 J	7/00	(2006.01)	HO 2 J	7/00	S
HO 1 M	10/48	(2006.01)	HO 1 M	10/48	P

請求項の数 11 (全 17 頁)

(21) 出願番号	特願2017-79892 (P2017-79892)	(73) 特許権者	715010864
(22) 出願日	平成29年4月13日 (2017.4.13)		エイブリック株式会社
(65) 公開番号	特開2018-181616 (P2018-181616A)		東京都港区三田三丁目9番6号
(43) 公開日	平成30年11月15日 (2018.11.15)	(74) 代理人	100165179
審査請求日	令和2年4月6日 (2020.4.6)		弁理士 田▲崎▼ 聡
		(74) 代理人	100126664
			弁理士 鈴木 慎吾
		(74) 代理人	100161207
			弁理士 西澤 和純
		(74) 代理人	100064908
			弁理士 志賀 正武
		(72) 発明者	齋藤 啓
			千葉県千葉市美浜区中瀬1丁目8番地 エ
			スアイアイ・セミコンダクタ株式会社内

最終頁に続く

(54) 【発明の名称】 充放電制御回路およびバッテリー装置

(57) 【特許請求の範囲】

【請求項1】

二次電池の第1電極に接続される第1電源端子と、  
 前記二次電池の第2電極に接続される第2電源端子と、  
 前記二次電池の放電を制御する放電制御FETのゲートに接続される放電制御端子と、  
 前記放電制御端子に放電制御信号を出力する放電制御出力回路と、  
 前記放電制御出力回路を制御する制御回路とを備え、  
 前記放電制御出力回路は、  
 前記第1電源端子の電圧が第1の所定の電圧より高く、かつ、前記放電制御FETをオンさせる場合に、前記第1電源端子の電圧よりも低い第1のクランプ電圧を前記放電制御端子に出力する第1クランプ電圧出力回路と、  
 前記第1電源端子の電圧が前記第1の所定の電圧以下であり、かつ、前記放電制御FETをオンさせる場合に、前記第1電源端子の電圧を前記放電制御端子に出力する第1電源電圧出力回路と、  
 前記第1電源端子の電圧が前記第1の所定の電圧以下であるか否かを判定する第1判定回路とを有し、  
 前記第1クランプ電圧出力回路は、  
 一端が前記第1電源端子に接続された第1定電流源と、  
 前記第1定電流源の他端にゲートとドレインが接続された第1導電型の第1MOSトランジスタと、

10

20

前記第1 MOSトランジスタのソースと前記第2電源端子との間に電流経路を形成するよう接続され、ダイオード接続された少なくとも一つの第1導電型の第2 MOSトランジスタと、

前記第1 MOSトランジスタとカレントミラー接続された第1導電型の第3 MOSトランジスタと、

一端が前記第3 MOSトランジスタのソース及び前記放電制御端子に接続され、他端が前記第2電源端子に接続された第2定電流源とを含み、

前記第1判定回路は、

一端が前記第1電源端子に接続された第3定電流源と、

ドレインが前記第3定電流源の他端に接続され、前記第2 MOSトランジスタのうちソースが前記第2電源端子に接続された前記第2 MOSトランジスタとカレントミラー接続された第1導電型の第4 MOSトランジスタと、

前記第4 MOSトランジスタのドレインの電圧を受けるインバータとを含み、

前記第1電源電圧出力回路は、

前記インバータの出力をゲートに受け、ソースが前記第1電源端子に接続され、ドレインが前記放電制御端子に接続された第2導電型の第5 MOSトランジスタを含むことを特徴とする充放電制御回路。

#### 【請求項2】

二次電池の第1電極に接続される第1電源端子と、

前記二次電池の第2電極に接続される第2電源端子と、

前記二次電池の放電を制御する放電制御 FET のゲートに接続される放電制御端子と、

前記放電制御端子に放電制御信号を出力する放電制御出力回路と、

前記放電制御出力回路を制御する制御回路とを備え、

前記放電制御出力回路は、

前記第1電源端子の電圧が第1の所定の電圧より高く、かつ、前記放電制御 FET をオンさせる場合に、前記第1電源端子の電圧よりも低い第1のクランプ電圧を前記放電制御端子に出力する第1クランプ電圧出力回路と、

前記第1電源端子の電圧が前記第1の所定の電圧以下であり、かつ、前記放電制御 FET をオンさせる場合に、前記第1電源端子の電圧を前記放電制御端子に出力する第1電源電圧出力回路と、

前記第1電源端子の電圧が前記第1の所定の電圧以下であるか否かを判定する第1判定回路とを有し、

前記第1クランプ電圧出力回路は、

一端が前記第1電源端子に接続された第1定電流源と、

前記第1定電流源の他端にゲートとドレインが接続された第1導電型の第1 MOSトランジスタと、

前記第1 MOSトランジスタのソースと前記第2電源端子との間に電流経路を形成するよう接続され、ダイオード接続された少なくとも一つの第1導電型の第2 MOSトランジスタと、

前記第1 MOSトランジスタとカレントミラー接続された第1導電型の第3 MOSトランジスタと、

一端が前記第3 MOSトランジスタのソース及び前記放電制御端子に接続され、他端が前記第2電源端子に接続された第2定電流源とを含み、

前記第1判定回路は、

前記第1電源端子と前記第2電源端子との間に直列に接続された第1抵抗および第2抵抗と、

非反転入力端子に前記第1抵抗と前記第2抵抗との接続点の電圧を受け、反転入力端子に第1の基準電圧を受ける第1コンパレータとを含み、

前記第1電源電圧出力回路は、

前記第1コンパレータの出力電圧をゲートに受け、ソースが前記第1電源端子に接続さ

10

20

30

40

50

れ、ドレインが前記放電制御端子に接続された第2導電型の第4MOSトランジスタを含むことを特徴とする充放電制御回路。

【請求項3】

前記第1のクランプ電圧は、前記放電制御FETのゲート耐圧を超えず、かつ、前記放電制御FETのゲートに印加された場合に当該放電制御FETのオン抵抗値が所望の抵抗値以下になる電圧であることを特徴とする請求項1または2に記載の充放電制御回路。

【請求項4】

前記二次電池の充電を制御する充電制御FETのゲートに接続される充電制御端子と、前記充電制御FETのソースに接続され、前記第1電源端子との間に充電器が接続される外部電圧入力端子と、

10

前記充電制御端子に充電制御信号を出力する充電制御出力回路とをさらに備え、前記制御回路は、さらに前記充電制御出力回路を制御し、前記充電制御出力回路は、

前記第1電源端子の電圧が第2の所定の電圧より高く、かつ、前記充電制御FETをオンさせる場合に、前記第1電源端子の電圧よりも低い第2のクランプ電圧を前記充電制御端子に出力する第2クランプ電圧出力回路と、

前記第1電源端子の電圧が前記第2の所定の電圧以下であり、かつ、前記充電制御FETをオンさせる場合に、前記第1電源端子の電圧を前記充電制御端子に出力する第2電源電圧出力回路とを有することを特徴とする請求項1乃至3のいずれか一項に記載の充放電制御回路。

20

【請求項5】

前記第2のクランプ電圧は、前記充電制御FETのゲート耐圧を超えず、かつ、前記充電制御FETのゲートに印加された場合に当該充電制御FETのオン抵抗値が所望の抵抗値以下になる電圧であることを特徴とする請求項4に記載の充放電制御回路。

【請求項6】

前記充電制御出力回路は、前記第1電源端子の電圧が前記第2の所定の電圧以下であるか否かを判定する第2判定回路をさらに有し、

前記第2クランプ電圧出力回路は、一端が前記第1電源端子に接続された第4定電流源と、

前記第4定電流源の他端にゲートとドレインが接続された第1導電型の第6MOSトランジスタと、

30

前記第6MOSトランジスタのソースと前記外部電圧入力端子との間に電流経路を形成するように接続され、ダイオード接続された少なくとも一つの第1導電型の第7MOSトランジスタと、

前記第6MOSトランジスタとカレントミラー接続された第1導電型の第8MOSトランジスタと、

一端が前記第8MOSトランジスタのソース及び前記充電制御端子に接続され、他端が前記外部電圧入力端子に接続された第5定電流源とを含み、

前記第2判定回路は、

一端が前記第1電源端子に接続された第6定電流源と、

40

ドレインが前記第6定電流源の他端に接続され、前記第7MOSトランジスタのうちソースが前記外部電圧入力端子に接続された前記第7MOSトランジスタとカレントミラー接続された第1導電型の第9MOSトランジスタと、

前記第9MOSトランジスタのドレインの電圧を受ける第2インバータとを含み、

前記第2電源電圧出力回路は、

前記第2インバータの出力をゲートに受け、ソースが前記第1電源端子に接続され、ドレインが前記充電制御端子に接続された第2導電型の第10MOSトランジスタを含むことを特徴とする請求項4または5に記載の充放電制御回路。

【請求項7】

前記充電制御出力回路は、前記第1電源端子の電圧が前記第2の所定の電圧以下である

50

か否かを判定する第 2 判定回路をさらに有し、

前記第 2 クランプ電圧出力回路は、

一端が前記第 1 電源端子に接続された第 4 定電流源と、

前記第 4 定電流源の他端にゲートとドレインが接続された第 1 導電型の第 6 MOS トランジスタと、

前記第 6 MOS トランジスタのソースと前記外部電圧入力端子との間に電流経路を形成するよう接続され、ダイオード接続された少なくとも一つの第 1 導電型の第 7 MOS トランジスタと、

前記第 6 MOS トランジスタとカレントミラー接続された第 1 導電型の第 8 MOS トランジスタと、

一端が前記第 8 MOS トランジスタのソース及び前記充電制御端子に接続され、他端が前記外部電圧入力端子に接続された第 5 定電流源とを含み、

前記第 2 判定回路は、

前記第 1 電源端子と前記外部電圧入力端子との間に直列に接続された第 3 抵抗および第 4 抵抗と、

非反転入力端子に前記第 3 抵抗と前記第 4 抵抗との接続点の電圧を受け、反転入力端子に第 2 の基準電圧を受ける第 2 コンパレータとを含み、

前記第 2 電源電圧出力回路は、

前記第 2 コンパレータの出力電圧をゲートに受け、ソースが前記第 1 電源端子に接続され、ドレインが前記充電制御端子に接続された第 2 導電型の第 9 MOS トランジスタを含むことを特徴とする請求項 4 または 5 に記載の充放電制御回路。

**【請求項 8】**

二次電池の第 1 電極に接続される第 1 電源端子と、

前記二次電池の充電を制御する充電制御 FET のゲートに接続される充電制御端子と、

前記充電制御 FET のソースに接続され、前記第 1 電源端子との間に充電器が接続される外部電圧入力端子と、

前記充電制御端子に充電制御信号を出力する充電制御出力回路と、

前記充電制御出力回路を制御する制御回路とを備え、

前記充電制御出力回路は、

前記第 1 電源端子の電圧が所定の電圧より高く、かつ、前記充電制御 FET をオンさせる場合に、前記第 1 電源端子の電圧よりも低いクランプ電圧を前記充電制御端子に出力するクランプ電圧出力回路と、

前記第 1 電源端子の電圧が前記所定の電圧以下であり、かつ、前記充電制御 FET をオンさせる場合に、前記第 1 電源端子の電圧を前記充電制御端子に出力する電源電圧出力回路と、

前記第 1 電源端子の電圧が前記所定の電圧以下であるか否かを判定する判定回路とを有し、

前記クランプ電圧出力回路は、

一端が前記第 1 電源端子に接続された第 1 定電流源と、

前記第 1 定電流源の他端にゲートとドレインが接続された第 1 導電型の第 1 MOS トランジスタと、

前記第 1 MOS トランジスタのソースと前記外部電圧入力端子との間に電流経路を形成するよう接続され、ダイオード接続された少なくとも一つの第 1 導電型の第 2 MOS トランジスタと、

前記第 1 MOS トランジスタとカレントミラー接続された第 1 導電型の第 3 MOS トランジスタと、

一端が前記第 3 MOS トランジスタのソース及び前記充電制御端子に接続され、他端が前記外部電圧入力端子に接続された第 2 定電流源とを含み、

前記判定回路は、

一端が前記第 1 電源端子に接続された第 3 定電流源と、

10

20

30

40

50

ドレインが前記第 3 定電流源の他端に接続され、前記第 2 MOS トランジスタのうちソースが前記外部電圧入力端子に接続された前記第 2 MOS トランジスタとカレントミラー

接続された第 1 導電型の第 4 MOS トランジスタと、

前記第 4 MOS トランジスタのドレインの電圧を受けるインバータとを含み、

前記電源電圧出力回路は、

前記インバータの出力をゲートに受け、ソースが前記第 1 電源端子に接続され、ドレインが前記充電制御端子に接続された第 2 導電型の第 5 MOS トランジスタを含むことを特徴とする充放電制御回路。

【請求項 9】

二次電池の第 1 電極に接続される第 1 電源端子と、

前記二次電池の充電を制御する充電制御 FET のゲートに接続される充電制御端子と、  
前記充電制御 FET のソースに接続され、前記第 1 電源端子との間に充電器が接続される外部電圧入力端子と、

前記充電制御端子に充電制御信号を出力する充電制御出力回路と、

前記充電制御出力回路を制御する制御回路とを備え、

前記充電制御出力回路は、

前記第 1 電源端子の電圧が所定の電圧より高く、かつ、前記充電制御 FET をオンさせる場合に、前記第 1 電源端子の電圧よりも低いクランプ電圧を前記充電制御端子に出力するクランプ電圧出力回路と、

前記第 1 電源端子の電圧が前記所定の電圧以下であり、かつ、前記充電制御 FET をオンさせる場合に、前記第 1 電源端子の電圧を前記充電制御端子に出力する電源電圧出力回路と、

前記第 1 電源端子の電圧が前記所定の電圧以下であるか否かを判定する判定回路とを有し、

前記クランプ電圧出力回路は、

一端が前記第 1 電源端子に接続された第 1 定電流源と、

前記第 1 定電流源の他端にゲートとドレインが接続された第 1 導電型の第 1 MOS トランジスタと、

前記第 1 MOS トランジスタのソースと前記外部電圧入力端子との間に電流経路を形成するよう接続され、ダイオード接続された少なくとも一つの第 1 導電型の第 2 MOS トランジスタと、

前記第 1 MOS トランジスタとカレントミラー接続された第 1 導電型の第 3 MOS トランジスタと、

一端が前記第 3 MOS トランジスタのソース及び前記充電制御端子に接続され、他端が前記外部電圧入力端子に接続された第 2 定電流源とを含み、

前記判定回路は、

前記第 1 電源端子と前記外部電圧入力端子との間に直列に接続された第 1 抵抗および第 2 抵抗と、

非反転入力端子に前記第 1 抵抗と前記第 2 抵抗との接続点の電圧を受け、反転入力端子に基準電圧を受けるコンパレータとを含み、

前記電源電圧出力回路は、

前記コンパレータの出力電圧をゲートに受け、ソースが前記第 1 電源端子に接続され、ドレインが前記充電制御端子に接続された第 2 導電型の第 4 MOS トランジスタを含むことを特徴とする充放電制御回路。

【請求項 10】

前記クランプ電圧は、前記充電制御 FET のゲート耐圧を超えず、かつ、前記充電制御 FET のゲートに印加された場合に当該充電制御 FET のオン抵抗値が所望の抵抗値以下になる電圧であることを特徴とする請求項 8 または 9 に記載の充放電制御回路。

【請求項 11】

請求項 1 乃至 10 のいずれか一項に記載の充放電制御回路を備えることを特徴とするバ

10

20

30

40

50

バッテリー装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、充放電制御回路およびバッテリー装置に関する。

## 【背景技術】

## 【0002】

従来、二次電池の一方の電極に接続される第1電源端子と、二次電池の他方の電極に接続される第2電源端子と、二次電池への充電を制御する充電制御FETのゲートに接続される充電制御端子と、二次電池からの放電を制御する放電制御FETのゲートに接続される放電制御端子と、充電制御FETおよび放電制御FETを制御する制御回路と、充電制御FETに充電制御信号を出力する充電制御出力回路と、放電制御FETに放電制御信号を出力する放電制御出力回路とを備える充放電制御回路が知られている（例えば、特許文献1を参照）。

10

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献1】特開2016-019387号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

20

## 【0004】

特許文献1に記載された充放電制御回路では、充電制御FETをオンさせる場合に充電制御出力回路が出力する充電制御信号の電圧は、常に電源電圧（二次電池の電圧）の高さに応じた電圧となる。同様に、放電制御FETをオンさせる場合に放電制御出力回路が出力する放電制御信号の電圧も、常に電源電圧の高さに応じた電圧となる。

## 【0005】

一方、特に多セルのバッテリー装置では、部品コストを安価にするためにゲート耐圧の低い充電制御FETおよび放電制御FETを用いることがある。そのため、充放電制御回路としては、充電制御FETおよび放電制御FETのゲート耐圧を超えないように、充電制御信号および放電制御信号の電圧を電源電圧よりも低い電圧に制限する必要がある。

30

## 【0006】

しかしながら、例えば、放電制御FETをオンさせる時に、電源電圧よりも低い電圧を放電制御信号として出力するように放電制御出力回路を構成すると、放電制御出力回路は、電源電圧が低下している場合でも、その低下した電源電圧よりも更に低い電圧を出力してしまう。その結果、放電制御FETのオン抵抗値が上がってしまい、放電制御FETが発熱するおそれがある。

これは、充電制御出力回路、充電制御FETについても同様である。

## 【0007】

したがって、本発明は、放電制御FETおよび/または充電制御FETをオンさせる場合に出力する放電制御信号および/または充電制御信号の電圧を、放電制御FETおよび/または充電制御FETのゲート耐圧を超えることなく、かつ、オン抵抗値が高くなることを抑制するように制御可能な充放電制御回路およびバッテリー装置を提供することを目的とする。

40

## 【課題を解決するための手段】

## 【0008】

本発明の一実施形態は、二次電池の第1電極に接続される第1電源端子と、前記二次電池の第2電極に接続される第2電源端子と、前記二次電池の放電を制御する放電制御FETのゲートに接続される放電制御端子と、前記放電制御端子に放電制御信号を出力する放電制御出力回路と、前記放電制御出力回路を制御する制御回路とを備え、前記放電制御出力回路は、前記第1電源端子の電圧が第1の所定の電圧より高く、かつ、前記放電制御F

50

E Tをオンさせる場合に、前記第1電源端子の電圧よりも低い第1のクランプ電圧を前記放電制御端子に出力する第1クランプ電圧出力回路と、前記第1電源端子の電圧が前記第1の所定の電圧以下であり、かつ、前記放電制御F E Tをオンさせる場合に、前記第1電源端子の電圧を前記放電制御端子に出力する第1電源電圧出力回路と、前記第1電源端子の電圧が前記第1の所定の電圧以下であるか否かを判定する第1判定回路とを有し、前記第1クランプ電圧出力回路は、一端が前記第1電源端子に接続された第1定電流源と、前記第1定電流源の他端にゲートとドレインが接続された第1導電型の第1M O Sトランジスタと、前記第1M O Sトランジスタのソースと前記第2電源端子との間に電流経路を形成するよう接続され、ダイオード接続された少なくとも一つの第1導電型の第2M O Sトランジスタと、前記第1M O Sトランジスタとカレントミラー接続された第1導電型の第3M O Sトランジスタと、一端が前記第3M O Sトランジスタのソース及び前記放電制御端子に接続され、他端が前記第2電源端子に接続された第2定電流源とを含み、前記第1判定回路は、一端が前記第1電源端子に接続された第3定電流源と、ドレインが前記第3定電流源の他端に接続され、前記第2M O Sトランジスタのうちソースが前記第2電源端子に接続された前記第2M O Sトランジスタとカレントミラー接続された第1導電型の第4M O Sトランジスタと、前記第4M O Sトランジスタのドレインの電圧を受けるインバータとを含み、前記第1電源電圧出力回路は、前記インバータの出力をゲートに受け、ソースが前記第1電源端子に接続され、ドレインが前記放電制御端子に接続された第2導電型の第5M O Sトランジスタを含むことを特徴とする充放電制御である。

また、本発明の一実施形態は、二次電池の第1電極に接続される第1電源端子と、前記二次電池の第2電極に接続される第2電源端子と、前記二次電池の放電を制御する放電制御F E Tのゲートに接続される放電制御端子と、前記放電制御端子に放電制御信号を出力する放電制御出力回路と、前記放電制御出力回路を制御する制御回路とを備え、前記放電制御出力回路は、前記第1電源端子の電圧が第1の所定の電圧より高く、かつ、前記放電制御F E Tをオンさせる場合に、前記第1電源端子の電圧よりも低い第1のクランプ電圧を前記放電制御端子に出力する第1クランプ電圧出力回路と、前記第1電源端子の電圧が前記第1の所定の電圧以下であり、かつ、前記放電制御F E Tをオンさせる場合に、前記第1電源端子の電圧を前記放電制御端子に出力する第1電源電圧出力回路と、前記第1電源端子の電圧が前記第1の所定の電圧以下であるか否かを判定する第1判定回路とを有し、前記第1クランプ電圧出力回路は、一端が前記第1電源端子に接続された第1定電流源と、前記第1定電流源の他端にゲートとドレインが接続された第1導電型の第1M O Sトランジスタと、前記第1M O Sトランジスタのソースと前記第2電源端子との間に電流経路を形成するよう接続され、ダイオード接続された少なくとも一つの第1導電型の第2M O Sトランジスタと、前記第1M O Sトランジスタとカレントミラー接続された第1導電型の第3M O Sトランジスタと、一端が前記第3M O Sトランジスタのソース及び前記放電制御端子に接続され、他端が前記第2電源端子に接続された第2定電流源とを含み、前記第1判定回路は、前記第1電源端子と前記第2電源端子との間に直列に接続された第1抵抗および第2抵抗と、非反転入力端子に前記第1抵抗と前記第2抵抗との接続点の電圧を受け、反転入力端子に第1の基準電圧を受ける第1コンパレータとを含み、前記第1電源電圧出力回路は、前記第1コンパレータの出力電圧をゲートに受け、ソースが前記第1電源端子に接続され、ドレインが前記放電制御端子に接続された第2導電型の第4M O Sトランジスタを含むことを特徴とする充放電制御回路である。

【0009】

また、本発明の一実施形態は、二次電池の第1電極に接続される第1電源端子と、前記二次電池の充電を制御する充電制御F E Tのゲートに接続される充電制御端子と、前記充電制御F E Tのソースに接続され、前記第1電源端子との間に充電器が接続される外部電圧入力端子と、前記充電制御端子に充電制御信号を出力する充電制御出力回路と、前記充電制御出力回路を制御する制御回路とを備え、前記充電制御出力回路は、前記第1電源端子の電圧が所定の電圧より高く、かつ、前記充電制御F E Tをオンさせる場合に、前記第1電源端子の電圧よりも低いクランプ電圧を前記充電制御端子に出力するクランプ電圧出

10

20

30

40

50

力回路と、前記第1電源端子の電圧が前記所定の電圧以下であり、かつ、前記充電制御FETをオンさせる場合に、前記第1電源端子の電圧を前記充電制御端子に出力する電源電圧出力回路と、前記第1電源端子の電圧が前記所定の電圧以下であるか否かを判定する判定回路とを有し、前記クランプ電圧出力回路は、一端が前記第1電源端子に接続された第1定電流源と、前記第1定電流源の他端にゲートとドレインが接続された第1導電型の第1MOSトランジスタと、前記第1MOSトランジスタのソースと前記外部電圧入力端子との間に電流経路を形成するよう接続され、ダイオード接続された少なくとも一つの第1導電型の第2MOSトランジスタと、前記第1MOSトランジスタとカレントミラー接続された第1導電型の第3MOSトランジスタと、一端が前記第3MOSトランジスタのソース及び前記充電制御端子に接続され、他端が前記外部電圧入力端子に接続された第2定電流源とを含み、前記判定回路は、一端が前記第1電源端子に接続された第3定電流源と、ドレインが前記第3定電流源の他端に接続され、前記第2MOSトランジスタのうちソースが前記外部電圧入力端子に接続された前記第2MOSトランジスタとカレントミラー接続された第1導電型の第4MOSトランジスタと、前記第4MOSトランジスタのドレインの電圧を受けるインバータとを含み、前記電源電圧出力回路は、前記インバータの出力をゲートに受け、ソースが前記第1電源端子に接続され、ドレインが前記充電制御端子に接続された第2導電型の第5MOSトランジスタを含むことを特徴とする充放電制御回路である。

10

また、本発明の一実施形態は、二次電池の第1電極に接続される第1電源端子と、前記二次電池の充電を制御する充電制御FETのゲートに接続される充電制御端子と、前記充電制御FETのソースに接続され、前記第1電源端子との間に充電器が接続される外部電圧入力端子と、前記充電制御端子に充電制御信号を出力する充電制御出力回路と、前記充電制御出力回路を制御する制御回路とを備え、前記充電制御出力回路は、前記第1電源端子の電圧が所定の電圧より高く、かつ、前記充電制御FETをオンさせる場合に、前記第1電源端子の電圧よりも低いクランプ電圧を前記充電制御端子に出力するクランプ電圧出力回路と、前記第1電源端子の電圧が前記所定の電圧以下であり、かつ、前記充電制御FETをオンさせる場合に、前記第1電源端子の電圧を前記充電制御端子に出力する電源電圧出力回路と、前記第1電源端子の電圧が前記所定の電圧以下であるか否かを判定する判定回路とを有し、前記クランプ電圧出力回路は、一端が前記第1電源端子に接続された第1定電流源と、前記第1定電流源の他端にゲートとドレインが接続された第1導電型の第1MOSトランジスタと、前記第1MOSトランジスタのソースと前記外部電圧入力端子との間に電流経路を形成するよう接続され、ダイオード接続された少なくとも一つの第1導電型の第2MOSトランジスタと、前記第1MOSトランジスタとカレントミラー接続された第1導電型の第3MOSトランジスタと、一端が前記第3MOSトランジスタのソース及び前記充電制御端子に接続され、他端が前記外部電圧入力端子に接続された第2定電流源とを含み、前記判定回路は、前記第1電源端子と前記外部電圧入力端子との間に直列に接続された第1抵抗および第2抵抗と、非反転入力端子に前記第1抵抗と前記第2抵抗との接続点の電圧を受け、反転入力端子に基準電圧を受けるコンパレータとを含み、前記電源電圧出力回路は、前記コンパレータの出力電圧をゲートに受け、ソースが前記第1電源端子に接続され、ドレインが前記充電制御端子に接続された第2導電型の第4MOSトランジスタを含むことを特徴とする充放電制御回路である。

20

30

40

【0010】

また、本発明の一実施形態は、上記いずれかの充放電制御回路を備えるバッテリー装置である。

【発明の効果】

【0011】

本発明によれば、放電制御FETをオンさせる場合に出力する放電制御信号の電圧を、放電制御FETのゲート耐圧を超えることなく、かつ、そのオン抵抗値が高くなることを抑制するように制御することができる。

【0012】

50

また、本発明によれば、充電制御FETをオンさせる場合に出力する充電制御信号の電圧を、充電制御FETのゲート耐圧を超えることなく、かつ、そのオン抵抗値が高くなることを抑制するように制御することができる。

【図面の簡単な説明】

【0013】

【図1】一実施形態の充放電制御回路を備えたバッテリー装置の一例を示すブロック図である。

【図2】図1に示す放電制御出力回路の第1の具体例を示す回路図である。

【図3】図1に示す放電制御出力回路の第2の具体例を示す回路図である。

【発明を実施するための形態】

【0014】

以下、図を参照して、本発明の実施形態について説明する。

図1は、本発明の一実施形態による充放電制御回路1を備えたバッテリー装置10を示す図である。

バッテリー装置10は、充放電制御回路1と、多セルの二次電池2と、充放電経路RT+、RT-と、充放電端子P+、P-と、充電制御FET3と、放電制御FET4とを備えている。充電制御FET3は、二次電池2への充電を制御する。放電制御FET4は、二次電池2からの放電を制御する。

充放電経路RT+は、二次電池2の第1電極2aに接続されている。充放電端子P+は、充放電経路RT+に設けられている。充放電経路RT-は、二次電池2の第2電極2bに接続されている。充放電端子P-は、充放電経路RT-に設けられている。充電制御FET3および放電制御FET4は、充放電経路RT-に配置されている。充電制御FET3のソースは、充放電端子P-に接続されている。充電制御FET3のドレインは、放電制御FET4のドレインに接続されている。放電制御FET4のソースは、二次電池2の第2電極2bに接続されている。

充放電端子P+と充放電端子P-の間には、充電器20および負荷30が並列に接続される。

【0015】

充放電制御回路1は、第1電源端子1Aと、第2電源端子1Bと、充電制御端子1Cと、放電制御端子1Dと、外部電圧入力端子1Eと、充放電監視回路1aと、制御回路1bと、充電制御出力回路1cと、放電制御出力回路1dとを備えている。

第1電源端子1Aは、二次電池2の第1電極2aに接続されている。また、第1電源端子1Aは、充放電監視回路1aに接続されている。第2電源端子1Bは、二次電池2の第2電極2bに接続されている。また、第2電源端子1Bは、充放電監視回路1aに接続されている。充放電監視回路1aは、制御回路1bに接続されている。制御回路1bは、充電制御出力回路1cと放電制御出力回路1dとに接続されている。

充電制御出力回路1cは、充電制御端子1Cに接続されている。充電制御端子1Cは、充電制御FET3のゲートに接続されている。また、放電制御出力回路1dは、放電制御端子1Dに接続されている。放電制御端子1Dは、放電制御FET4のゲートに接続されている。

充放電監視回路1aは、二次電池2の充放電状態を監視する。制御回路1bは、充放電監視回路1aからの信号に基づいて、充電制御出力回路1cおよび放電制御出力回路1dを制御する。充電制御出力回路1cは、制御回路1bからの制御信号に基づいて、充電制御FET3に充電制御信号を出力する。放電制御出力回路1dは、制御回路1bからの制御信号に基づいて、放電制御FET4に放電制御信号を出力する。

【0016】

以下、まず、図1に示す放電制御出力回路1dの詳細について説明する。

放電制御出力回路1dは、放電制御FET4をオンさせる場合、かつ、第1電源端子1Aの電圧が所定の電圧より高い場合に、第1電源端子1Aの電圧よりも低いクランプ電圧を放電制御端子1Dに出力する。ここで、クランプ電圧は、放電制御FET4のゲート耐

10

20

30

40

50

圧を超えず、かつ、放電制御 F E T 4 のゲートに印加された場合に放電制御 F E T 4 のオン抵抗値が所望の抵抗値以下になる電圧である。

また、放電制御出力回路 1 d は、放電制御 F E T 4 をオンさせる場合、かつ、第 1 電源端子 1 A の電圧が上記所定の電圧以下の場合に、第 1 電源端子 1 A の電圧を放電制御端子 1 D に出力する。

なお、上記所定の電圧は、第 1 電源端子 1 A の電圧が下がってきた場合に、所望のクランプ電圧を維持できなくなる電圧に設定される。

#### 【 0 0 1 7 】

図 2 は、図 1 に示す放電制御出力回路 1 d の第 1 の具体例である放電制御出力回路 1 d<sub>1</sub> を示す回路図である。

放電制御出力回路 1 d<sub>1</sub> は、クランプ電圧出力回路 1 0 0 と、判定回路 2 0 0 と、電源電圧出力回路 3 0 0 とを備えている。

#### 【 0 0 1 8 】

クランプ電圧出力回路 1 0 0 は、一端がスイッチ S W 1 を介して第 1 電源端子 1 A に接続された定電流源 C C S 1 と、定電流源 C C S 1 の他端にゲートとドレインが接続された N M O S ( 第 1 導電型 M O S ) トランジスタ M 3 と、N M O S トランジスタ M 3 のソース ( ノード A ) と第 2 電源端子 1 B との間に電流経路を形成するように接続され、それぞれダイオード接続された N M O S トランジスタ M 2 1 ~ M 2 3 と、N M O S トランジスタ M 3 とカレントミラー接続された N M O S トランジスタ M 4 と、一端が N M O S トランジスタ M 4 のソース ( ノード C ) および放電制御端子 1 D に接続され、他端が第 2 電源端子 1 B に接続された定電流源 C C S 2 とを含んで構成されている。また、N M O S トランジスタ M 3 のゲートと N M O S トランジスタ M 4 のゲートとの接続点であるノード B は、スイッチ S W 2 を介して第 2 電源端子 1 B に接続されている。さらに、N M O S トランジスタ M 4 のドレインは、スイッチ S W 3 を介して第 1 電源端子 1 A に接続されている。

#### 【 0 0 1 9 】

判定回路 2 0 0 は、一端がスイッチ S W 4 を介して第 1 電源端子 1 A に接続された定電流源 C C S 3 と、ドレインが定電流源 C C S 3 の他端に接続され、N M O S トランジスタ M 2 1 ~ M 2 3 のうち、ソースが第 2 電源端子 1 B に接続されている N M O S トランジスタ M 2 1 とカレントミラー接続された N M O S トランジスタ M 1 と、N M O S トランジスタ M 1 のドレインの電圧を入力端子に受けるインバータ I N V とを含んで構成されている。また、インバータ I N V の入力端子は、スイッチ S W 5 を介して第 2 電源端子 1 B に接続されている。

#### 【 0 0 2 0 】

電源電圧出力回路 3 0 0 は、ゲートがインバータ I N V の出力端子 ( 判定回路 2 0 0 の出力 ) に接続され、ソースが第 1 電源端子 1 A に接続され、ドレインが放電制御端子 1 D に接続された P M O S ( 第 2 導電型 M O S ) トランジスタ M 5 と、ゲートに制御回路 1 b からの制御信号を受け、ドレインが放電制御端子 1 D に接続され、ソースが第 2 電源端子 1 B に接続された N M O S トランジスタ M 6 とを含んで構成されている。

N M O S トランジスタ M 6 は、放電制御端子 1 D に L レベルの信号を出力する際のドライバとして設けられている。ただし、N M O S トランジスタ M 6 は必須ではなく、これを削除し、P M O S トランジスタ M 5 の P c h オープンドレイン出力としても構わない。

#### 【 0 0 2 1 】

ここで、スイッチ S W 1 ~ S W 5 の動作について説明する。スイッチ S W 1 ~ S W 5 は、いずれも制御回路 1 b からの制御信号によって制御される。

放電制御 F E T 4 をオンさせる場合、制御回路 1 b は L レベルの信号を出力し、S W 1、S W 3、S W 4 がオン、S W 2、S W 5 がオフとなる。図 2 は、この場合の各スイッチの状態を示している。このとき、N M O S トランジスタ M 6 は、制御回路 1 b からの L レベルの信号をゲートに受けるためオフする。これにより、放電制御端子 1 D に H レベルの信号が出力される。

一方、放電制御 F E T 4 をオフさせる場合、S W 1、S W 3、S W 4 がオフ、S W 2、

10

20

30

40

50

SW5がオンとなり、各スイッチは、図2と反対の状態となる。このとき、NMOSトランジスタM6は、制御回路1bからのHレベルの信号をゲートに受けるためオンする。これにより、放電制御端子1DにLレベルの信号を出力が出力される。

【0022】

以下、SW1、SW3、SW4をオン、SW2、SW5をオフとし、放電制御FET4をオンさせる場合における放電制御出力回路1d<sub>1</sub>の動作について説明する。

【0023】

第1電源端子1Aの電圧が上記所定の電圧より高い場合、クランプ電圧出力回路100において、NMOSトランジスタM21~M23がすべてオンとなり、ノードAの電圧は、NMOSトランジスタM21~M23の各閾値電圧を合計した値になる。そして、ノードBの電圧は、ノードAの電圧にNMOSトランジスタM3の閾値電圧を加算した値になる。さらに、ノードCの電圧は、ノードBの電圧からNMOSトランジスタM4の閾値電圧を減算した値になる。このときのノードCの電圧がクランプ電圧となる。

このとき、NMOSトランジスタM21とゲート同士が接続された判定回路200内のNMOSトランジスタM1もオンするため、インバータINVの入力端子の電圧が低下していく。そして、この電圧がインバータINVの反転電圧を下回ると、インバータINVは、判定回路200の出力として、Hレベルの信号を出力する。こうして、判定回路200により、第1電源端子1Aの電圧が上記所定の電圧よりも高いことが判定される。

これにより、電源電圧出力回路300内のPMOSトランジスタM5のゲートがHレベルとなることから、PMOSトランジスタM5がオフとなる。NMOSトランジスタM6もオフしていることから、放電制御端子1Dには、ノードCに生成されたクランプ電圧が出力される。

このようにして、放電制御出力回路1d<sub>1</sub>は、第1電源端子1Aの電圧が上記所定の電圧より高い場合には、放電制御端子1Dに第1電源端子1Aの電圧よりも低いクランプ電圧を出力する。

【0024】

なお、NMOSトランジスタM3とM4とが同じ閾値電圧のトランジスタであれば、ノードCの電圧は、ノードAの電圧と同じ電圧となる。すなわち、クランプ電圧は、ダイオード接続されたNMOSトランジスタM21~M23の各閾値電圧を合計した値となる。したがって、ダイオード接続されたNMOSトランジスタの数は三つに限らず、クランプ電圧が所望の値なるように、その数は適宜増減され得る。また、ダイオード接続されたNMOSトランジスタの代わりに、複数のダイオードを用いても構わない。

【0025】

一方、第1電源端子1Aの電圧が上記所定の電圧以下になった場合、クランプ電圧を生成するNMOSトランジスタM21~M23は、ゲート・ソース間電圧を維持することができなくなる。そして、NMOSトランジスタM21のゲート・ソース間電圧が低下すると、ゲート同士が接続されたNMOSトランジスタM1のゲート・ソース間電圧も低下し、そのインピーダンスが大きくなる。

判定回路200内のインバータINVの入力端子の電圧は、定電流源CCS3とNMOSトランジスタM1のインピーダンスによって決まることから、上述のように、NMOSトランジスタM1のインピーダンスが大きくなると、インバータINVの入力端子の電圧が上昇する。そして、この電圧がインバータINVの反転電圧を上回ると、インバータINVは、判定回路200の出力として、Lレベルの信号を出力する。こうして、判定回路200により、第1電源端子1Aの電圧が上記所定の電圧以下に低下したことが判定される。

これにより、電源電圧出力回路300内のPMOSトランジスタM5のゲートがLレベルとなることから、PMOSトランジスタM5がオンする。PMOSトランジスタM5がオンし、NMOSトランジスタM6はオフしていることから、放電制御出力回路1d<sub>1</sub>は、放電制御端子1Dに第1電源端子1Aの電圧を出力する。

このとき、NMOSトランジスタM4は、ソース電圧が高くなってオフするため、PM

10

20

30

40

50

OSトランジスタM5の動作が妨げられることはない。

このようにして、放電制御出力回路1d<sub>1</sub>は、第1電源端子1Aの電圧が上記所定の電圧以下に低下したときに、放電制御端子1Dに第1電源端子1Aの電圧を出力する。

【0026】

以上のとおり、本例の放電制御出力回路1d<sub>1</sub>によれば、放電制御FET4をオンさせる場合に放電制御端子1Dに出力する放電制御信号の電圧を、第1電源端子1Aの電圧が高いときにはクランプ電圧とし、第1電源端子1Aの電圧が低いときには第1電源端子1Aの電圧とするように切り替えることができる。したがって、放電制御FET4のゲートに印加される電圧がその耐圧を超えることを防止し、かつ、そのオン抵抗値が高くなることを抑制することが可能となる。

10

【0027】

なお、第1電源端子1Aの電圧が上記所定の電圧より高いときには、ノードBの電圧は、第1電源端子1Aの電圧より低い電圧(すなわち、NMOSトランジスタM21~M23の各閾値電圧を合計した値に、さらにNMOSトランジスタM3の閾値電圧を加算した電圧)となる。また、第1電源端子1Aの電圧が上記所定の電圧よりも低くなると、ノードBの電圧は、第1電源端子1Aの電圧と同電位となる。したがって、ノードBの電圧を放電制御端子1Dに出力することも考えられる。しかし、ノードBの電圧は、定電流源CCS1によって作られているだけであるため、ノードBの電圧を直接放電制御端子1Dから放電制御信号として出力した場合、放電制御FET4をドライブする(オンさせる)にはドライバビリティが不足してしまう。

20

かかるドライバビリティの不足を補うため、本例では、ソースフォロア接続されたNMOSトランジスタM4を使用している。これによりドライバビリティが確保される。しかしながら、ノードCの電圧は、常にノードBの電圧からNMOSトランジスタM4の閾値電圧を減算した値となる。このため、第1電源端子1Aの電圧が低下した時に放電制御端子1Dに出力される電圧は第1電源端子1Aの電圧よりも低い電圧となり、放電制御FET4のオン抵抗値が上昇してしまうことになる。

したがって、本例の放電制御出力回路1d<sub>1</sub>の構成が有効となる。

【0028】

図3は、図1に示す放電制御出力回路1dの第2の具体例である放電制御出力回路1d<sub>2</sub>を示す回路図である。

30

本例の放電制御出力回路1d<sub>2</sub>は、スイッチSW4およびSW5が削除され、SW4-1、SW4-2、SW4-3が追加されている点と、判定回路200の回路構成において、図2に示す第1の具体例の放電制御出力回路1d<sub>1</sub>と異なっている。その他の点は、図2に示す放電制御出力回路1d<sub>1</sub>と同一であるため、同一の構成要素には同一の符号を付し、重複する説明は適宜省略する。

【0029】

放電制御出力回路1d<sub>2</sub>における判定回路200は、一端がスイッチSW4-1を介して第1電源端子1Aに接続された抵抗R1と、抵抗R1の他端と第2電源端子1Bとの間に接続された抵抗R2と、抵抗R1の他端に接続されるとともに、スイッチSW4-2を介して第1電源端子1Aに接続された非反転入力端子と、基準電圧V<sub>ref</sub>が入力される反転入力端子とを有するコンパレータCMPとを含んで構成されている。なお、基準電圧V<sub>ref</sub>は、上記所定の電圧を抵抗R1と抵抗R2とで分圧した電圧に設定されている。

40

また、コンパレータCMPの出力端子は、PMOSトランジスタM5のゲートに接続されるとともに、スイッチSW4-3を介して第1電源端子1Aに接続されている。

【0030】

スイッチSW4-1、SW4-2、SW4-3は、スイッチSW1~SW3と同様、制御回路1bからの制御信号によって制御される。

放電制御FET4をオンさせる場合、制御回路1bはLレベルの信号を出力し、SW1、SW3、SW4-1がオン、SW2、SW4-2、SW4-3がオフとなる。図3は、この場合の各スイッチの状態を示している。このとき、NMOSトランジスタM6は、制

50

御回路 1 b からの L レベルの信号をゲートに受けるためオフする。これにより、放電制御端子 1 D に H レベルの信号が出力される。

一方、放電制御 F E T 4 をオフさせる場合、S W 1、S W 3、S W 4 - 1 がオフ、S W 2、S W 4 - 2、S W 4 - 3 がオンとなり、各スイッチは、図 3 と反対の状態となる。このとき、N M O S トランジスタ M 6 は、制御回路 1 b からの H レベルの信号をゲートに受けるためオンする。これにより、放電制御端子 1 D に L レベルの信号が出力される。

【 0 0 3 1 】

以下、S W 1、S W 3、S W 4 - 1 をオン、S W 2、S W 4 - 2、S W 4 - 3 をオフとし、放電制御 F E T 4 をオンさせる場合における放電制御出力回路 1 d<sub>2</sub> の動作について説明する。

10

【 0 0 3 2 】

第 1 電源端子 1 A の電圧が上記所定の電圧より高い場合、クランプ電圧出力回路 1 0 0 は、放電制御出力回路 1 d<sub>1</sub> のクランプ電圧出力回路 1 0 0 と同様に動作して、ノード C にクランプ電圧を生成する。

判定回路 2 0 0 においては、コンパレータ C M P が第 1 電源端子 1 A の電圧を抵抗 R 1 と抵抗 R 2 とで分圧した電圧と基準電圧 V r e f とを比較し、比較結果を出力する。ここでは、第 1 電源端子 1 A の電圧が上記所定の電圧より高いため、コンパレータ C M P は、判定回路 2 0 0 の出力として、H レベルの信号を出力する。こうして、判定回路 2 0 0 により、第 1 電源端子 1 A の電圧が上記所定の電圧よりも高いことが判定される。

これにより、電源電圧出力回路 3 0 0 内の P M O S トランジスタ M 5 のゲートが H レベルとなることから、P M O S トランジスタ M 5 がオフとなる。N M O S トランジスタ M 6 もオフしていることから、ノード C に生成されたクランプ電圧が放電制御端子 1 D に出力される。

20

【 0 0 3 3 】

一方、第 1 電源端子 1 A の電圧が上記所定の電圧以下になった場合、判定回路 2 0 0 において、第 1 電源端子 1 A の電圧を抵抗 R 1 と抵抗 R 2 とで分圧した電圧が基準電圧 V r e f よりも低くなるため、コンパレータ C M P は、判定回路 2 0 0 の出力として、L レベルの信号を出力する。こうして、判定回路 2 0 0 により、第 1 電源端子 1 A の電圧が上記所定の電圧以下に低下したことが判定される。

これにより、電源電圧出力回路 3 0 0 内の P M O S トランジスタ M 5 のゲートが L レベルとなることから、P M O S トランジスタ M 5 がオンする。P M O S トランジスタ M 5 がオンし、N M O S トランジスタ M 6 はオフしていることから、放電制御出力回路 1 d<sub>2</sub> は、放電制御端子 1 D に第 1 電源端子 1 A の電圧を出力する。

30

このとき、N M O S トランジスタ M 4 は、ソース電圧が高くなってオフするため、P M O S トランジスタ M 5 の動作が妨げられることはない。

このようにして、放電制御出力回路 1 d<sub>2</sub> は、第 1 電源端子 1 A の電圧が上記所定の電圧以下に低下したときに、放電制御端子 1 D に第 1 電源端子 1 A の電圧を出力する。

【 0 0 3 4 】

以上のとおり、本例の放電制御出力回路 1 d<sub>2</sub> によっても、放電制御出力回路 1 d<sub>1</sub> と同様、放電制御 F E T 4 をオンさせる場合に放電制御端子 1 D に出力する放電制御信号の電圧を、第 1 電源端子 1 A の電圧が高いときにはクランプ電圧とし、第 1 電源端子 1 A の電圧が低いときには第 1 電源端子 1 A の電圧とするように切り替えることができる。したがって、放電制御 F E T 4 のゲートに印加される電圧がその耐圧を超えることを防止し、かつ、そのオン抵抗値が高くなることを抑制することが可能となる。

40

【 0 0 3 5 】

ここまで、図 1 に示す放電制御出力回路 1 d の詳細について説明してきたが、図 1 に示す充電制御出力回路 1 c についても、その詳細は、放電制御出力回路 1 d とほぼ同様である。

すなわち、充電制御出力回路 1 c は、充電制御 F E T 3 をオンさせる場合、かつ、第 1 電源端子 1 A の電圧が所定の電圧より高い場合に、第 1 電源端子 1 A の電圧よりも低いク

50

ランプ電圧を充電制御端子 1 C に出力する。ここで、クランプ電圧は、充電制御 F E T 3 のゲート耐圧を超えず、かつ、充電制御 F E T 3 のゲートに印加された場合に充電制御 F E T 3 のオン抵抗値が所望の抵抗値以下になる電圧である。

また、充電制御出力回路 1 c は、充電制御 F E T 3 をオンさせる場合、かつ、第 1 電源端子 1 A の電圧が上記所定の電圧以下の場合に、第 1 電源端子 1 A の電圧を充電制御端子 1 C に出力する。

【 0 0 3 6 】

ただし、充電制御出力回路 1 c には、図 1 に示すように、充電制御 F E T 3 のソース（充放電端子 P - ）に接続され、第 1 電源端子 1 A との間に充電器が接続される外部電圧入力端子 1 E からの電圧が入力されている。そして、充電制御 F E T 3 をオフさせる場合に、充電制御出力回路 1 c は、外部電圧入力端子 1 E の電圧を充電制御 F E T 3 のゲートに供給する。

10

したがって、充電制御出力回路 1 c の第 1 の具体例および第 2 の具体例は、図示は省略するが、それぞれ図 2 および 3 に示す放電制御出力回路 1 d の第 1 の具体例である放電制御出力回路 1 d<sub>1</sub> および第 2 の具体例である放電制御出力回路 1 d<sub>2</sub> に対応した構成であって、第 2 電源端子 1 B を外部電圧入力端子 1 E に置き換え、放電制御端子 1 D を充電制御端子 1 C に置き換えた構成となる。

【 0 0 3 7 】

なお、本実施形態において、放電制御出力回路 1 d および充電制御出力回路 1 c の両方を上述のように構成してもよく、また、放電制御出力回路 1 d のみ、または充電制御出力回路 1 c のみを上述のように構成しても構わない。

20

【 0 0 3 8 】

以上、本発明の実施形態及びその変形を説明したが、これらの実施形態及びその変形は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態及びその変形は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態及びその変形は、発明の範囲や要旨に含まれると同時に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。また、上述した各実施形態及びその変形は、互いに適宜組み合わせることができる。

例えば、上記実施形態において、放電制御出力回路 1 d における所定の電圧と充電制御出力回路 1 c における所定の電圧とは、同一であっても異なってもよい。同一の場合は、放電制御 F E T 4 および充電制御 F E T 3 として、同じ耐圧の F E T を用いることができ、異なっている場合は、放電制御出力回路 1 d および充電制御出力回路 1 c が出力する各クランプ電圧に合わせて、異なる耐圧の F E T を用いることができる。

30

また、本発明は、二次電池が多セルである場合に特に有効であるため、上記実施形態では二次電池 2 が多セルである例を示したが、二次電池 2 を 1 セルとしてももちろん構わない。

さらに、上記実施形態では、放電制御出力回路 1 d および充電制御出力回路 1 c のそれぞれを、第 1 導電型 M O S トランジスタとして N M O S トランジスタを用い、第 2 導電型 M O S トランジスタとして P M O S トランジスタを用いて構成した例を示したが、これに限られない。放電制御 F E T 4 と充電制御 F E T 3 を充放電経路 R T + 側に配置し、放電制御出力回路 1 d および充電制御出力回路 1 c 内の M O S トランジスタの導電型を入れ替えて、すなわち、第 1 導電型 M O S トランジスタを P M O S トランジスタ、第 2 導電型 M O S トランジスタを N M O S トランジスタとし、放電制御出力回路 1 d および充電制御出力回路 1 c の出力により充放電経路 R T + 側に配置された放電制御 F E T 4 と充電制御 F E T 3 をそれぞれ制御するように構成してもよい。

40

【 符号の説明 】

【 0 0 3 9 】

1 ... 充放電制御回路

1 A ... 第 1 電源端子

50

- 1 B ... 第 2 電源端子
- 1 C ... 充電制御端子
- 1 D ... 放電制御端子
- 1 E ... 外部電圧入力端子
- 1 a ... 充放電監視回路
- 1 b ... 制御回路
- 1 c ... 充電制御出力回路
- 1 d、1 d<sub>1</sub>、1 d<sub>2</sub> ... 放電制御出力回路
- 2 ... 二次電池
- 1 0 ... バッテリ装置
- 2 0 ... 充電器
- 3 0 ... 負荷
- P +、P - ... 充放電端子
- R T +、R T - ... 充放電経路
- 1 0 0 ... クランプ電圧出力回路
- 2 0 0 ... 判定回路
- 3 0 0 ... 電源電圧出力回路

【 図 1 】

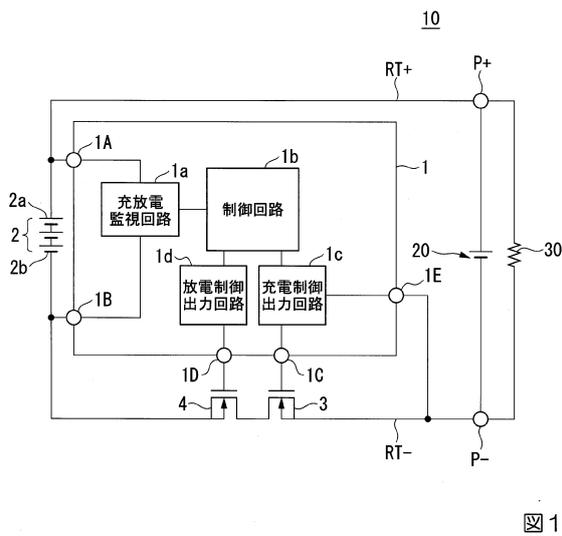


図 1

【 図 2 】

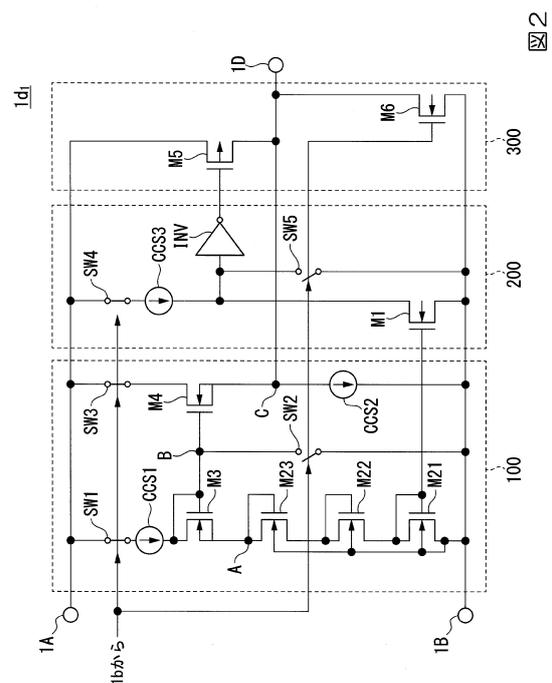


図 2

【 図 3 】

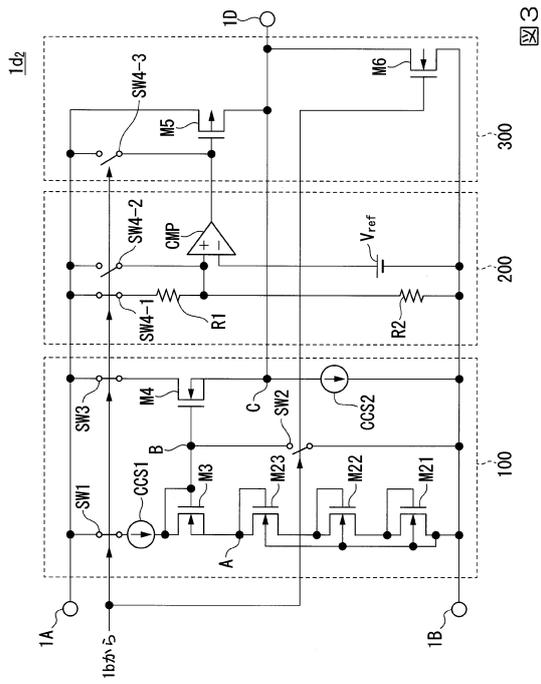


図 3

---

フロントページの続き

- (72)発明者 鈴木 彰彦  
静岡県浜松市東区子安町311-3 三栄ハイテックス株式会社内
- (72)発明者 倉富 嵩大  
静岡県浜松市東区子安町311-3 三栄ハイテックス株式会社内

審査官 大濱 伸也

- (56)参考文献 特開2013-183539(JP,A)  
特開2014-161186(JP,A)  
特開2005-130664(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02J 7/00 - 7/12  
H02J 7/34 - 7/36  
H01M 10/42 - 10/48