

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-188867

(P2009-188867A)

(43) 公開日 平成21年8月20日(2009.8.20)

(51) Int. Cl.		F I	テーマコード (参考)			
<b>H03K</b>	<b>19/096</b>	<b>(2006.01)</b>	H03K	19/096	C	5J055
<b>H03K</b>	<b>17/06</b>	<b>(2006.01)</b>	H03K	17/06	C	5J056

審査請求 未請求 請求項の数 8 O L (全 31 頁)

(21) 出願番号 特願2008-28559 (P2008-28559)  
 (22) 出願日 平成20年2月8日 (2008.2.8)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100094363  
 弁理士 山本 孝久  
 (74) 代理人 100118290  
 弁理士 吉井 正明  
 (72) 発明者 基田 誠一郎  
 東京都港区港南1丁目7番1号 ソニー株式会社内  
 Fターム(参考) 5J055 AX23 BX16 CX27 DX12 DX56  
 DX62 DX72 DX73 DX83 EX02  
 EY10 EY21 EZ07 EZ18 EZ54  
 FX05 FX31 FX37 GX01 GX02  
 GX04 GX05 GX08  
 最終頁に続く

(54) 【発明の名称】 ブートストラップ回路

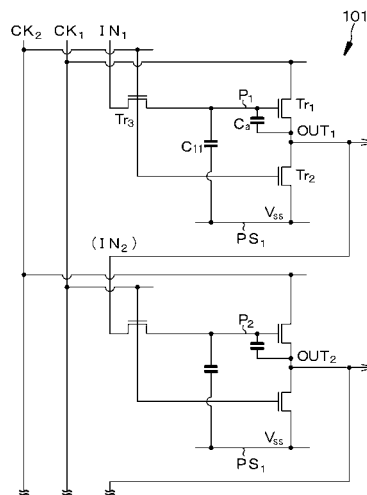
(57) 【要約】

【課題】 飛び込みによる影響を軽減できるブートストラップ回路を提供する。

【解決手段】 同一導電型の第1乃至第3トランジスタから構成され、第1トランジスタにおいて、一方のソース/ドレイン領域は第2トランジスタの一方のソース/ドレイン領域に接続され、他方のソース/ドレイン領域には2相のクロックの一方が印加され、ゲート電極は第3トランジスタの一方のソース/ドレイン領域に接続され、第2トランジスタにおいて、他方のソース/ドレイン領域は電圧供給線に接続され、第3トランジスタにおいて、他方のソース/ドレイン領域には入力信号が印加され、ゲート電極には2相のクロックの他方が印加され、第1トランジスタのゲート電極と第3トランジスタの一方のソース/ドレイン領域とはノード部を構成し、第2トランジスタのゲート電極には2相のクロックの他方が印加され、ノード部と電圧供給線との間に、容量部が接続されている。

【選択図】 図1

【図1】 【実施例1】



**【特許請求の範囲】****【請求項 1】**

同一導電型の第 1 トランジスタ、第 2 トランジスタ、及び、第 3 トランジスタから構成され、

第 1 トランジスタにおいては、

(A - 1) 一方のソース/ドレイン領域は、第 2 トランジスタの一方のソース/ドレイン領域に接続され、出力部を構成し、

(A - 2) 他方のソース/ドレイン領域には、2 相のクロックのうち一方のクロックが印加され、

(A - 3) ゲート電極は、第 3 トランジスタの一方のソース/ドレイン領域に接続されており、

10

第 2 トランジスタにおいては、

(B - 1) 他方のソース/ドレイン領域は、所定の電圧が印加される電圧供給線に接続されており、

第 3 トランジスタにおいては、

(C - 1) 他方のソース/ドレイン領域には、入力信号が印加され、

(C - 2) ゲート電極には、2 相のクロックのうち他方のクロックが印加され、

第 1 トランジスタのゲート電極と第 3 トランジスタの一方のソース/ドレイン領域とは、第 3 トランジスタがオフ状態になると浮遊状態となるノード部を構成するブートストラップ回路であって、

20

第 2 トランジスタのゲート電極には、2 相のクロックのうち他方のクロックが印加され、

ノード部と電圧供給線との間に、容量部が接続されていることを特徴とするブートストラップ回路。

**【請求項 2】**

ブートストラップ回路は、同一導電型の第 4 トランジスタを更に備えており、

第 4 トランジスタにおいては、

(D - 1) 一方のソース/ドレイン領域は、第 1 トランジスタのゲート電極に接続されており、

(D - 2) 他方のソース/ドレイン領域は、第 3 トランジスタの一方のソース/ドレイン領域に接続されており、

30

(D - 3) ゲート電極は、所定の第 2 の電圧が印加される第 2 電圧供給線に接続されており、

容量部は、第 3 トランジスタの一方のソース/ドレイン領域と第 4 トランジスタの他方のソース/ドレイン領域とが接続された部分と、電圧供給線との間に接続されていることを特徴とする請求項 1 に記載のブートストラップ回路。

**【請求項 3】**

同一導電型の第 1 トランジスタ、第 2 トランジスタ、及び、第 3 トランジスタから構成され、

第 1 トランジスタにおいては、

40

(A - 1) 一方のソース/ドレイン領域は、第 2 トランジスタの一方のソース/ドレイン領域に接続され、出力部を構成し、

(A - 2) 他方のソース/ドレイン領域には、2 相のクロックのうち一方のクロックが印加され、

(A - 3) ゲート電極は、第 3 トランジスタの一方のソース/ドレイン領域に接続されており、

第 2 トランジスタにおいては、

(B - 1) 他方のソース/ドレイン領域は、所定の電圧が印加される電圧供給線に接続されており、

第 3 トランジスタにおいては、

50

(C - 1) 他方のソース/ドレイン領域には、入力信号が印加され、

(C - 2) ゲート電極には、2相のクロックのうち他方のクロックが印加され、

第1トランジスタのゲート電極と第3トランジスタの一方のソース/ドレイン領域とは、第3トランジスタがオフ状態になると浮遊状態となるノード部を構成するブートストラップ回路であって、

第2トランジスタのゲート電極には、2相のクロックのうち他方のクロックが印加され、

ノード部と第2トランジスタのゲート電極との間に、容量部が接続されていることを特徴とするブートストラップ回路。

【請求項4】

同一導電型の第1トランジスタ、第2トランジスタ、及び、第3トランジスタから構成され、

第1トランジスタにおいては、

(A - 1) 一方のソース/ドレイン領域は、第2トランジスタの一方のソース/ドレイン領域に接続され、出力部を構成し、

(A - 2) 他方のソース/ドレイン領域には、2相のクロックのうち一方のクロックが印加され、

(A - 3) ゲート電極は、第3トランジスタの一方のソース/ドレイン領域に接続されており、

第2トランジスタにおいては、

(B - 1) 他方のソース/ドレイン領域は、所定の電圧が印加される電圧供給線に接続されており、

第3トランジスタにおいては、

(C - 1) 他方のソース/ドレイン領域には、入力信号が印加され、

(C - 2) ゲート電極には、2相のクロックのうち他方のクロックが印加され、

第1トランジスタのゲート電極と第3トランジスタの一方のソース/ドレイン領域とは、第3トランジスタがオフ状態になると浮遊状態となるノード部を構成するブートストラップ回路であって、

ブートストラップ回路は、同一導電型の第4トランジスタを更に備えており、

第4トランジスタにおいては、

(C - 1) 一方のソース/ドレイン領域は、反転回路の入力側に接続されると共に、該反転回路の出力側と第2トランジスタのゲート電極とが接続されており、

(C - 2) 他方のソース/ドレイン領域は、入力信号が印加され、

(C - 3) ゲート電極には、2相のクロックのうち他方のクロックが印加される、ことを特徴とするブートストラップ回路。

【請求項5】

第4トランジスタの一方のソース/ドレイン領域と反転回路の入力側とが接続された部分と電圧供給線との間に、容量部が接続されていることを特徴とする請求項4に記載のブートストラップ回路。

【請求項6】

第4トランジスタの一方のソース/ドレイン領域と反転回路の入力側とが接続された部分と第1トランジスタの他方のソース/ドレイン領域との間に、容量部が接続されていることを特徴とする請求項4に記載のブートストラップ回路。

【請求項7】

同一導電型の第1トランジスタ、第2トランジスタ、及び、第3トランジスタから構成され、

第1トランジスタにおいては、

(A - 1) 一方のソース/ドレイン領域は、第2トランジスタの一方のソース/ドレイン領域に接続され、出力部を構成し、

(A - 2) 他方のソース/ドレイン領域には、2相のクロックのうち一方のクロックが

10

20

30

40

50

印加され、

(A - 3) ゲート電極は、第3トランジスタの一方のソース/ドレイン領域に接続されており、

第2トランジスタにおいては、

(B - 1) 他方のソース/ドレイン領域は、所定の電圧が印加される電圧供給線に接続されており、

第3トランジスタにおいては、

(C - 1) 他方のソース/ドレイン領域には、入力信号が印加され、

(C - 2) ゲート電極には、2相のクロックのうち他方のクロックが印加され、

第1トランジスタのゲート電極と第3トランジスタの一方のソース/ドレイン領域とは、第3トランジスタがオフ状態になると浮遊状態となるノード部を構成するブートストラップ回路であって、

第2トランジスタのゲート電極には、2相のクロックのうち他方のクロックが印加され、

ブートストラップ回路は、更に、同一導電型の第4トランジスタ及び第5トランジスタから成る回路部を少なくとも1つ備えており、

各回路部においては、

(D - 1) 第4トランジスタのゲート電極は、第5トランジスタの一方のソース/ドレイン領域に接続されており、

(D - 2) 第5トランジスタの他方のソース/ドレイン領域には、入力信号が印加され

、2相のクロックのうち一方のクロックは、直列に接続された各第4トランジスタを介して、第1トランジスタの他方のソース/ドレイン領域に印加される、ことを特徴とするブートストラップ回路。

【請求項8】

出力部と、第4トランジスタのゲート電極と第5トランジスタの一方のソース/ドレイン領域とが接続された部分との間に、容量部が接続されていることを特徴とする請求項7に記載のブートストラップ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シフトレジスタ回路や出力バッファ回路等に用いられるブートストラップ回路に関する。

【背景技術】

【0002】

ディスプレイ装置や半導体メモリ装置等における走査回路やマトリクスアレイの駆動回路等として、シフトレジスタ回路が広く用いられている。

【0003】

シフトレジスタ回路の出力段には、一般にプッシュプル型の出力回路が用いられる。しかしながら、同一導電型のトランジスタのみを用いてプッシュプル型の出力回路を構成すると、出力電圧の振幅が十分に確保できない。例えばnチャネル型トランジスタのみを用いてプッシュプル型の出力回路を構成した場合、高電位側のトランジスタにあっては、出力電圧の上昇に伴ってゲート電極とソース領域との間の電位差 $V_{gs}$ が低下する。トランジスタの閾値電圧を $V_{th}$ と表せば、 $V_{gs} < V_{th}$ となるとトランジスタはオフ状態となる。従って、出力電圧を $V_{gs} - V_{th}$ までしか取り出すことができない。この問題を解決するために、ブートストラップ動作を利用した出力回路が提案されている。

【0004】

ブートストラップ動作を利用したシフトレジスタ回路として、特開平10-112645号公報(特許文献1)には、1段を基本的に3つのトランジスタから構成した図25に示す回路が開示されている。この回路は、例えばnチャネル型のトランジスタ $T_{r1}$ 、T

10

20

30

40

50

$r_2, Tr_3$ によって1段が構成されている。

【0005】

図25に示すシフトレジスタ回路について説明する。図26の(A)にシフトレジスタ回路の1段目の回路を示し、図26の(B)にシフトレジスタ回路の1段目の模式的なタイミングチャートを示す。シフトレジスタ回路の1段目に着目すると、第1トランジスタ $Tr_1$ と第2トランジスタ $Tr_2$ とがプッシュプル出力回路を構成している。第1トランジスタ $Tr_1$ の一方のソース/ドレイン領域と第2トランジスタ $Tr_2$ の一方のソース/ドレイン領域とが接続され、出力部 $OUT_1$ を構成する。

【0006】

第1トランジスタ $Tr_1$ の他方のソース/ドレイン領域には、2相のクロック $CK_1, CK_2$ のうち一方のクロック(ここでは $CK_1$ )が印加される。第2トランジスタ $Tr_2$ の他方のソース/ドレイン領域には、電圧 $V_{ss}$ (例えば0ボルト)が印加される。第1トランジスタ $Tr_1$ のゲート電極は、第3トランジスタ $Tr_3$ の一方のソース/ドレイン領域に接続されており、ノード部 $P_1$ を構成する。第2トランジスタ $Tr_2$ のゲート電極と第3トランジスタ $Tr_3$ のゲート電極には、他方のクロック(ここでは $CK_2$ )が印加される。第3トランジスタ $Tr_3$ の他方のソース/ドレイン領域には、入力信号 $IN_1$ が印加される。

【0007】

尚、第1トランジスタ $Tr_1$ のゲート電極と一方のソース/ドレイン領域との間、または、第1トランジスタ $Tr_1$ のゲート電極と他方のソース/ドレイン領域との間、あるいはこれら両方にブーツストラップ容量としての容量部が接続される場合もある。図25に示す回路にあっては、第1トランジスタ $Tr_1$ のゲート電極と一方のソース/ドレイン領域との間にブーツストラップ容量としての容量部 $C_a$ が接続されている。容量部 $C_a$ は、例えば、絶縁層を挟んだ導電層から構成することもできるし、所謂MOS容量部として構成することもできる。

【0008】

図26の(B)に示すタイミングチャートを参照して、シフトレジスタ回路の1段目の動作を説明する。尚、2相のクロック $CK_1, CK_2$ 、及び、入力信号 $IN_1$ のハイレベルは電圧 $V_{dd}$ (例えば5ボルト)、ローレベルは上述した電圧 $V_{ss}$ (0ボルト)とする。また、第3トランジスタ $Tr_3$ の閾値電圧を $V_{th3}$ と表す。

【0009】

[期間 -  $T_1$ ]

この期間においては、入力信号 $IN_1$ はローレベル、クロック $CK_1$ はローレベル、クロック $CK_2$ はハイレベルである。第1トランジスタ $Tr_1$ のゲート電極にはオン状態の第3トランジスタ $Tr_3$ を介してローレベルの入力信号 $IN_1$ が印加される。従って、ノード部 $P_1$ の電位はローレベルであり、第1トランジスタ $Tr_1$ はオフ状態である。一方、第2トランジスタ $Tr_2$ はオン状態である。これにより、出力部 $OUT_1$ は、オン状態の第2トランジスタ $Tr_2$ を介して電圧 $V_{ss}$ が印加された状態であり、ローレベルである。

【0010】

[期間 -  $T_2$ ]

この期間においては、クロック $CK_1$ はハイレベル、クロック $CK_2$ はローレベルである。第3トランジスタ $Tr_3$ がオフ状態となるので、ノード部 $P_1$ は、[期間 -  $T_1$ ]における電位を保った状態(即ち、ローレベルを保った状態)で、浮遊状態となる。これにより、第1トランジスタ $Tr_1$ はオフ状態を保つ。一方、第2トランジスタ $Tr_2$ はオン状態からオフ状態となる。これにより、出力部 $OUT_1$ は図示せぬ容量負荷に接続された状態で浮遊状態となる。従って、出力部 $OUT_1$ は、[期間 -  $T_1$ ]における電位を保った状態(即ち、ローレベルを保った状態)で、浮遊状態となる。

【0011】

[期間 -  $T_3$ ]

この期間においては、入力信号 $IN_1$ はハイレベル、クロック $CK_1$ はローレベル、クロック $CK_2$ はハイレベルである。第3トランジスタ $Tr_3$ はオン状態となり、ノード部 $P_1$

10

20

30

40

50

にはハイレベル状態の入力信号  $IN_1$  が印加されるので、ノード部  $P_1$  の電位は上昇する。しかしながら、ノード部  $P_1$  の電位が  $(V_{dd} - V_{th3})$  に達すると、第3トランジスタ  $Tr_3$  はオフ状態となる。ノード部  $P_1$  は、電位  $(V_{dd} - V_{th3})$  を保った状態で浮遊状態となる。第1トランジスタ  $Tr_1$  と第2トランジスタ  $Tr_2$  とはオン状態にある。第1トランジスタ  $Tr_1$  の他方のソース/ドレイン領域には、ローレベル  $(V_{ss})$  状態のクロック  $CK_1$  が印加されており、第2トランジスタ  $Tr_2$  の他方のソース/ドレイン領域には、電圧  $V_{ss}$  が印加されている。従って、出力部  $OUT_1$  は電圧  $V_{ss}$  が印加された状態であり、ローレベルである。

【0012】

[期間 -  $T_4$ ]

この期間においては、入力信号  $IN_1$  はローレベル、クロック  $CK_1$  はハイレベル、クロック  $CK_2$  はローレベルである。クロック  $CK_2$  はローレベルなので、第2トランジスタ  $Tr_2$  はオフ状態となり、第3トランジスタ  $Tr_3$  はオフ状態を保つ。ノード部  $P_1$  は浮遊状態にあると共に、第1トランジスタ  $Tr_1$  はオン状態にある。従って、クロック  $CK_1$  がハイレベル状態にあると出力部  $OUT_1$  の電位は上昇する。このとき、第1トランジスタ  $Tr_1$  のゲート容量等を介したブートストラップ動作により、ノード部  $P_1$  の電位は  $V_{dd}$  以上に持ち上げられる。従って、出力部  $OUT_1$  のハイレベルとして  $V_{dd}$  を取り出すことができる。

【0013】

[期間 -  $T_5$ ]

この期間においては、入力信号  $IN_1$  はローレベル、クロック  $CK_1$  はローレベル、クロック  $CK_2$  はハイレベルである。クロック  $CK_2$  がハイレベルになると第2トランジスタ  $Tr_2$  と第3トランジスタ  $Tr_3$  がオン状態となる。オン状態の第2トランジスタ  $Tr_2$  を介して、電圧  $V_{ss}$  が出力部  $OUT_1$  に印加される。これにより、出力部  $OUT_1$  はローレベルにリセットされる。また、オン状態の第3トランジスタ  $Tr_3$  を介して、ノード部  $P_1$  にローレベルの入力信号  $IN_1$  が印加されるので、ノード部  $P_1$  もローレベルにリセットされる。

【0014】

[期間 -  $T_6$ ]

この期間においては、入力信号  $IN_1$  はローレベル、クロック  $CK_1$  はハイレベル、クロック  $CK_2$  はローレベルである。この期間の動作は、基本的に上述した [期間 -  $T_2$ ] と同様の動作である。第3トランジスタ  $Tr_3$  がオフ状態となるので、ノード部  $P_1$  は、ローレベルを保った状態で浮遊状態となる。これにより、第1トランジスタ  $Tr_1$  はオフ状態を保つ。一方、第2トランジスタ  $Tr_2$  はオン状態からオフ状態となる。これにより、出力部  $OUT_1$  は、ローレベルを保った状態で浮遊状態となる。

【特許文献1】特開平10-112645号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

上述したブートストラップ回路の動作説明においては、寄生容量等を介した種々の飛び込みによる影響を考慮していない。しかしながら実際には、浮遊状態にあるノード部  $P_1$  等の電位は、寄生容量等を介した種々の飛び込みによる影響を受け変動する。そして、回路の動作を高速にすればするほど、パルスの立ち上がり/立ち下がりの速度が速くなるために飛び込みによる影響が強くなり、回路の誤動作を誘因する。

【0016】

従って、本発明の目的は、寄生容量等を介した種々の飛び込みによる影響を軽減することができる、シフトレジスタ回路や出力バッファ回路等に用いられるブートストラップ回路を提供することにある。

【課題を解決するための手段】

【0017】

10

20

30

40

50

上記の目的を達成するための本発明の第1の態様、第2の態様、第3の態様あるいは第4の態様に係るブートストラップ回路は、同一導電型の第1トランジスタ、第2トランジスタ、及び、第3トランジスタから構成され、

第1トランジスタにおいては、

(A-1) 一方のソース/ドレイン領域は、第2トランジスタの一方のソース/ドレイン領域に接続され、出力部を構成し、

(A-2) 他方のソース/ドレイン領域には、2相のクロックのうち一方のクロックが印加され、

(A-3) ゲート電極は、第3トランジスタの一方のソース/ドレイン領域に接続されており、

第2トランジスタにおいては、

(B-1) 他方のソース/ドレイン領域は、所定の電圧が印加される電圧供給線に接続されており、

第3トランジスタにおいては、

(C-1) 他方のソース/ドレイン領域には、入力信号が印加され、

(C-2) ゲート電極には、2相のクロックのうち他方のクロックが印加され、

第1トランジスタのゲート電極と第3トランジスタの一方のソース/ドレイン領域とは、第3トランジスタがオフ状態になると浮遊状態となるノード部を構成するブートストラップ回路に関する。

【0018】

そして、上記の目的を達成するための本発明の第1の態様に係るブートストラップ回路にあっては、第2トランジスタのゲート電極には、2相のクロックのうち他方のクロックが印加され、ノード部と電圧供給線との間に、容量部が接続されていることを特徴とする。容量部がノード部と電圧供給線との間に接続されているので、第3トランジスタがオフ状態にあるときのノード部における電位の変動が抑制され、クロックに起因するノード部の電位変化が抑制される。

【0019】

ここで、本発明の第1の態様に係るブートストラップ回路にあっては、同一導電型の第4トランジスタを更に備えており、

第4トランジスタにおいては、

(D-1) 一方のソース/ドレイン領域は、第1トランジスタのゲート電極に接続されており、

(D-2) 他方のソース/ドレイン領域は、第3トランジスタの一方のソース/ドレイン領域に接続されており、

(D-3) ゲート電極は、所定の第2の電圧が印加される第2電圧供給線に接続されており、

容量部は、第3トランジスタの一方のソース/ドレイン領域と第4トランジスタの他方のソース/ドレイン領域とが接続された部分と、電圧供給線との間に接続されている構成とすることができる。この構成によれば、第3トランジスタがオフ状態になると浮遊状態となるノード部が、第4トランジスタによって分割される。第2の電圧の値を、ブートストラップ動作において第4トランジスタがオフ状態となるように設定することにより、ブートストラップ動作において、容量部はノード部から切り離された状態となる。これにより、ノード部と電圧供給線との間に容量部を接続しても、ブートストラップゲインが低下することはないといった利点を有する。

【0020】

また、上記の目的を達成するための本発明の第2の態様に係るブートストラップ回路にあっては、第2トランジスタのゲート電極には、2相のクロックのうち他方のクロックが印加され、ノード部と第2トランジスタのゲート電極との間に、容量部が接続されていることを特徴とする。この構成によれば、2相のクロックのノード部への飛び込みによる電位の変動が相互に打ち消される。これにより、ノード部の電位の変動を抑制することがで

10

20

30

40

50

きる。

【0021】

また、上記の目的を達成するための本発明の第3の態様に係るブートストラップ回路にあっては、ブートストラップ回路は、同一導電型の第4トランジスタを更に備えており、第4トランジスタにおいては、

(C-1) 一方のソース/ドレイン領域は、反転回路の入力側に接続されると共に、該反転回路の出力側と第2トランジスタのゲート電極とが接続されており、

(C-2) 他方のソース/ドレイン領域は、入力信号が印加され、

(C-3) ゲート電極には、2相のクロックのうち他方のクロックが印加される、  
ことを特徴とする。所定の動作時において、反転回路の出力によって第2トランジスタのオン状態が維持されることにより、第2トランジスタの他のソース/ドレイン領域から出力部への電圧印加状態が維持される。これにより、ノード部の変動に起因して起こる第1トランジスタのリークによる出力部の電圧変動を低減することができる。ここで、第4トランジスタの一方のソース/ドレイン領域と反転回路の入力側とが接続された部分と電圧供給線との間に、容量部が接続されている構成とすることができる。容量部は、反転回路の入力側の保持容量として作用するので、反転回路の動作をより安定なものとしてすることができる。上述した好ましい構成を含む本発明の第3の態様に係るブートストラップ回路にあっては、第4トランジスタの一方のソース/ドレイン領域と反転回路の入力側とが接続された部分と第1トランジスタの他方のソース/ドレイン領域との間に、容量部が接続されている構成とすることもできる。

10

20

【0022】

また、上記の目的を達成するための本発明の第4の態様に係るブートストラップ回路にあっては、第2トランジスタのゲート電極には、2相のクロックのうち他方のクロックが印加され、ブートストラップ回路は、更に、同一導電型の第4トランジスタ及び第5トランジスタから成る回路部を少なくとも1つ備えており、

各回路部においては、

(D-1) 第4トランジスタのゲート電極は、第5トランジスタの一方のソース/ドレイン領域に接続されており、

(D-2) 第5トランジスタの他方のソース/ドレイン領域には、入力信号が印加され、

30

2相のクロックのうち一方のクロックは、直列に接続された各第4トランジスタを介して、第1トランジスタの他方のソース/ドレイン領域に印加される、  
ことを特徴とする。ここで、出力部と、第4トランジスタのゲート電極と第5トランジスタの一方のソース/ドレイン領域とが接続された部分との間に、容量部が接続されている構成とすることができる。上述した好ましい構成を含む本発明の第4の態様に係るブートストラップ回路にあっては、第4トランジスタ及び第5トランジスタから成る回路部においてもブートストラップ動作が起こる。換言すれば、第4の態様に係るブートストラップ回路は、ブートストラップ動作が起こる回路部分が複数並列に接続された構成を備えている。この構成によれば、第3トランジスタがオフ状態にあるときのノード部における電位の変動が抑制され、クロックに起因するノード部の電位変化が抑制される。

40

【0023】

本発明の第1の態様、第2の態様、第3の態様、及び、第4の態様に係るブートストラップ回路(以下、これらを総称して、単に、本発明のブートストラップ回路と呼ぶ場合がある)においては、ブートストラップ回路は、nチャネル型のトランジスタから構成されていてもよいし、pチャネル型のトランジスタから構成されていてもよい。トランジスタは、薄膜トランジスタ(TFT)であってもよいし、半導体基板等に形成されたトランジスタであってもよい。トランジスタの構造は特に限定するものではない。以下の説明においては、トランジスタはエンハンスメント型であるとして説明するが、これに限るものではない。デプレッション型のトランジスタが用いられていてもよい。また、トランジスタはシングルゲート型であってもよいし、デュアルゲート型であってもよい。

50



## 【 0 0 2 4 】

例えば、アクティブマトリクス型の液晶表示装置を構成する基板上に、画素電極と画素電極に接続される駆動用トランジスタとを形成し、合わせて基板上にブートストラップ回路を用いた走査回路等を形成することができる。この場合には、ブートストラップ回路は、駆動用トランジスタと同じ導電型のトランジスタから構成することが便宜である。基板上に形成されるトランジスタが同一の導電型であるので、駆動用トランジスタと走査回路を構成するトランジスタとを同じ工程で形成することができる。有機エレクトロルミネッセンス表示装置等においても同様である。

## 【 0 0 2 5 】

本発明のブートストラップ回路に用いられる容量部は、例えば、絶縁層を挟んだ導電層から構成されていてもよいし、所謂MOS容量部として構成されていてもよい。ブートストラップ回路を構成するトランジスタや容量部あるいは配線等は広く周知の材料や方法により形成することができる。トランジスタや容量部あるいは配線等の構成や形成方法は、ブートストラップ回路を用いる装置の仕様等に応じて適宜選択すればよい。

10

## 【 0 0 2 6 】

本発明の第3の態様に用いられる反転回路の構成は、特に限定するものではない。基本的には、反転回路は第3の態様に係るブートストラップ回路を構成する各トランジスタと同一の導電型のトランジスタから構成されていることが好ましい。例えば、特開2005-143068号公報において、単一導電型のトランジスタから構成された反転回路が開示されている。この反転回路を用いることもできる。また、発明者は特願2008-26742号及び特願2008-26743号において種々のインバータ回路（反転回路）を提案したが、これらの反転回路を用いることもできる。

20

## 【 発明の効果 】

## 【 0 0 2 7 】

本発明のブートストラップ回路にあっては、寄生容量等を介した種々の飛び込みによる影響を軽減することができる。従って、本発明のブートストラップ回路を用いたシフトレジスタ回路や出力バッファ回路等にあっては、種々の飛び込みによる回路の誤動作が軽減される。

## 【 発明を実施するための最良の形態 】

## 【 0 0 2 8 】

以下、図面を参照して、実施例に基づき本発明を説明する。

30

## 【 実施例 1 】

## 【 0 0 2 9 】

実施例1は、本発明の第1の態様に係るブートストラップ回路に関する。図1は、実施例1に係るブートストラップ回路から構成した走査回路101の回路図である。尚、便宜のため、図1においては走査回路101の1段目と2段目のブートストラップ回路を表した。図2の(A)は、この走査回路101を備え、有機エレクトロルミネッセンス素子10（以下、単に、有機EL素子と略称する）を発光素子として用いた有機エレクトロルミネッセンス表示装置（以下、単に、有機EL表示装置と呼ぶ場合がある）の概念図である。図2の(B)は、有機EL素子10の模式的な回路図である。

40

## 【 0 0 3 0 】

図1に示す走査回路101の1段目に注目して、実施例1のブートストラップ回路を説明する。実施例1のブートストラップ回路は、同一導電型（実施例1では後述するようにnチャンネル型）の第1トランジスタ $T_{r1}$ 、第2トランジスタ $T_{r2}$ 、及び、第3トランジスタ $T_{r3}$ から構成されている。

## 【 0 0 3 1 】

実施例1のブートストラップ回路は、第1トランジスタ $T_{r1}$ においては、

(A-1) 一方のソース/ドレイン領域は、第2トランジスタ $T_{r2}$ の一方のソース/ドレイン領域に接続され、出力部 $OUT_1$ を構成し、

(A-2) 他方のソース/ドレイン領域には、2相のクロック $CK_1$ 、 $CK_2$ のうち一方

50

のクロック（ここでは $CK_1$ ）が印加され、

（A-3）ゲート電極は、第3トランジスタ $Tr_3$ の一方のソース/ドレイン領域に接続されており、

第2トランジスタ $Tr_2$ においては、

（B-1）他方のソース/ドレイン領域は、所定の電圧 $V_{ss}$ （例えば0ボルト）が印加される電圧供給線 $PS_1$ に接続されており、

第3トランジスタ $Tr_3$ においては、

（C-1）他方のソース/ドレイン領域には、入力信号 $IN_1$ が印加され、

（C-2）ゲート電極には、2相のクロック $CK_1$ 、 $CK_2$ のうち他方のクロック（ここでは $CK_2$ ）が印加され、

第1トランジスタ $Tr_1$ のゲート電極と第3トランジスタ $Tr_3$ の一方のソース/ドレイン領域とは、第3トランジスタ $Tr_3$ がオフ状態になると浮遊状態となるノード部 $P_1$ を構成するブートストラップ回路である。

【0032】

そして、第2トランジスタ $Tr_2$ のゲート電極には、2相のクロック $CK_1$ 、 $CK_2$ のうち他方のクロック（ここでは $CK_2$ ）が印加され、ノード部 $P_1$ と電圧供給線 $PS_1$ との間に、容量部 $C_{11}$ が接続されている。

【0033】

実施例1においては、容量部 $C_{11}$ は絶縁層を間に挟んだ導電層から構成されている。尚、背景技術において説明したと同様に、第1トランジスタ $Tr_1$ のゲート電極と一方のソース/ドレイン領域との間にブートストラップ容量としての容量部 $C_a$ も接続されている。容量部 $C_{11}$ と同様に、容量部 $C_a$ も絶縁層を挟んだ導電層から構成されている。

【0034】

尚、背景技術で説明したと同様に、2相のクロック $CK_1$ 、 $CK_2$ 、及び、入力信号 $IN_1$ のハイレベルは電圧 $V_{dd}$ （例えば5ボルト）、ローレベルは上述した電圧 $V_{ss}$ （0ボルト）とする。また、第3トランジスタ $Tr_3$ の閾値電圧を $V_{th3}$ と表す。

【0035】

先ず、走査回路101を用いた有機EL表示装置の構成と動作について説明する。図2に概念図を示すように、有機EL表示装置は、

（1）走査回路101、

（2）信号出力回路102、

（3）第1の方向に $N$ 個、第1の方向とは異なる第2の方向（具体的には、第1の方向に直交する方向）に $M$ 個、合計 $N \times M$ 個の、2次元マトリクス状に配列され、それぞれが発光部ELP、及び、発光部ELPを駆動するための駆動回路を備えている有機EL素子10、

（4）走査回路101に接続され、第1の方向に延びる $M$ 本の走査線SC L、

（5）信号出力回路102に接続され、第2の方向に延びる $N$ 本のデータ線DT L、

（6）電源部100、

を備えている。尚、図2においては、便宜のため $3 \times 3$ 個の有機EL素子10を示したが、これは単なる例示に過ぎない。走査回路101、有機EL素子10、走査線SC L、データ線DT L等は、ガラス等から成る図示せぬ基板上に形成されている。

【0036】

発光部ELPは、例えば、アノード電極、正孔輸送層、発光層、電子輸送層、カソード電極等の周知の構成、構造を有する。信号出力回路102、走査線SC L、データ線DT L、電源部100の構成、構造は、周知の構成、構造とすることができる。

【0037】

図2の（B）に示すように、有機EL素子10は、発光部ELPの他、駆動トランジスタ $Tr_D$ 、書込みトランジスタ $Tr_W$ 、及び、保持容量 $C_H$ から構成された駆動回路を備えている。尚、発光部ELPの容量を符号 $C_{EL}$ で表した。

【0038】

10

20

30

40

50

駆動トランジスタ $T_{r_D}$ 及び書込みトランジスタ $T_{r_W}$ は、ソース/ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた、 $n$ チャネル型の薄膜トランジスタ(TFT)から成る。上述した図示せぬ基板上にこの駆動回路は形成されており、基板上の所定の領域にこの駆動回路を覆うように発光部ELPが形成されている。

【0039】

上述した駆動トランジスタ $T_{r_D}$ や書込みトランジスタ $T_{r_W}$ と同様に、走査回路101を構成する第1トランジスタ $T_{r_1}$ 、第2トランジスタ $T_{r_2}$ 、及び、第3トランジスタ $T_{r_3}$ も、ソース/ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた、 $n$ チャネル型の薄膜トランジスタ(TFT)から成る。これらのトランジスタも、上述した図示せぬ基板上に形成されている。他の実施例において説明する第4トランジスタ等においても同様である。

10

【0040】

駆動トランジスタ $T_{r_D}$ においては、一方のソース/ドレイン領域は電源部100(電圧 $V_{CC}$ 、例えば20ボルト)に接続されており、他方のソース/ドレイン領域は発光部ELPに備えられたアノード電極に接続され、且つ、保持容量 $C_H$ の一端に接続されている。また、ゲート電極は、書込みトランジスタ $T_{r_W}$ の他方のソース/ドレイン領域に接続され、且つ、保持容量 $C_H$ の他端に接続されている。書込みトランジスタ $T_{r_W}$ においては、一方のソース/ドレイン領域は、データ線DTLに接続されており、ゲート電極は、走査線SCLに接続されている。発光部ELPに備えられたカソード電極には、電圧 $V_{Cat}$ (例えば0ボルト)が印加される。そして、以下説明するように有機EL素子10はアクティブマトリクス駆動される。

20

【0041】

例えば、図2の(A)の上段の走査線SCLが走査回路101の動作によりハイレベルになると、上段の走査線SCLに接続された有機EL素子10の書込みトランジスタ $T_{r_W}$ はオン状態となり、信号出力回路102から映像信号がデータ線DTLを介して保持容量 $C_H$ の一端に印加される。その後走査線SCLがローレベルになると、書込みトランジスタ $T_{r_W}$ はオフ状態となる。しかし、駆動トランジスタ $T_{r_D}$ のゲート電極とソース領域との間の電位差は、保持容量 $C_H$ により映像信号に応じた値に保持されている。従って、駆動トランジスタ $T_{r_D}$ を介して電源部100から発光部ELPに映像信号の値に応じた電流が流れ、発光部ELPが発光する。

30

【0042】

次いで、実施例1の説明の便宜のため、従来のブートストラップ回路において寄生容量を考慮したときの動作を説明する。図3の(A)は、従来のブートストラップ回路において寄生容量を考慮したときの回路図である。図3の(B)は、従来のブートストラップ回路において寄生容量を考慮したときの模式的なタイミングチャートである。尚、理解を助けるため、図26の(B)とは異なり2相クロック $CK_1$ 、 $CK_2$ が共にローレベルになる期間を明示してタイミングチャートを表した。

【0043】

図3の(A)において、第1トランジスタ $T_{r_1}$ のゲート電極と他方のソース/ドレイン領域との間の寄生容量を符号 $C_1$ で表し、第2トランジスタ $T_{r_2}$ のゲート電極と一方のソース/ドレイン領域との間の寄生容量を符号 $C_2$ で表し、第3トランジスタ $T_{r_3}$ のゲート電極と一方のソース/ドレイン領域との間の寄生容量を符号 $C_3$ で表す。

40

【0044】

図3の(A)に示すブートストラップ回路において、ノード部 $P_1$ は第3トランジスタ $T_{r_3}$ がオフ状態となると浮遊状態となる。ここで、ノード部 $P_1$ を構成する第1トランジスタ $T_{r_1}$ のゲート電極と、クロック $CK_1$ が印加される第1トランジスタ $T_{r_1}$ の他方のソース/ドレイン領域とは寄生容量 $C_1$ により静電的に結合している。また、ノード部 $P_1$ を構成する第3トランジスタ $T_{r_3}$ の一方のソース/ドレイン領域と、クロック $CK_2$ が印加される第3トランジスタ $T_{r_3}$ のゲート電極とは寄生容量 $C_3$ により静電的に結合している。

50

## 【 0 0 4 5 】

また、出力部  $OUT_1$  は第 1 トランジスタ  $Tr_1$  と第 2 トランジスタ  $Tr_2$  が共にオフ状態である場合には浮遊状態となる。出力部  $OUT_1$  を構成する第 2 トランジスタ  $Tr_2$  の一方のソース/ドレイン領域と、第 2 トランジスタ  $Tr_2$  のゲート電極とは寄生容量  $C_2$  により静電的に結合している。また、出力部  $OUT_1$  を構成する第 1 トランジスタ  $Tr_1$  の一方のソース/ドレイン領域と、第 1 トランジスタ  $Tr_1$  のゲート電極とは容量部  $C_a$  により静電的に結合している。尚、実際には、第 1 トランジスタ  $Tr_1$  のゲート電極と一方のソース/ドレイン領域との間にも寄生容量が存在する。しかしながら、通常は容量部  $C_a$  による静電的な結合が支配的であるので、便宜のため、第 1 トランジスタ  $Tr_1$  のゲート電極と一方のソース/ドレイン領域との間の寄生容量は考慮していない。

10

## 【 0 0 4 6 】

図 3 の ( B ) に示す [ 期間 -  $T_1$  ] 乃至 [ 期間 -  $T_6$  ] の動作は、基本的には、背景技術において図 2 6 の ( B ) を参照して説明した [ 期間 -  $T_1$  ] 乃至 [ 期間 -  $T_6$  ] の動作と同様であるので、基本的な動作の説明は省略する。

## 【 0 0 4 7 】

上述したように、ノード部  $P_1$  は、寄生容量  $C_1$  により、クロック  $CK_1$  が印加される第 1 トランジスタ  $Tr_1$  の他方のソース/ドレイン領域と静電的に結合していると共に、寄生容量  $C_3$  により、クロック  $CK_2$  が印加される第 3 トランジスタ  $Tr_3$  のゲート電極とも静電的に結合している。従って、第 3 トランジスタ  $Tr_3$  がオフ状態であるときには、ノード部  $P_1$  の電位はクロック  $CK_1$ 、 $CK_2$  の立ち上がり及び立ち上がりに応じて変動する。例えば、図 3 の ( B ) に示す [ 期間 -  $T_2$  ] や [ 期間 -  $T_6$  ] にあつては、クロック  $CK_1$  の立ち上がりに応じてノード部  $P_1$  の電位は上昇する。クロック  $CK_1$  は、第 1 トランジスタ  $Tr_1$  の他方のソース/ドレイン領域に印加されているので、ノード部  $P_1$  の電位の上昇が、第 1 トランジスタ  $Tr_1$  にリークを起こさせる程度まで達してしまうと、出力部  $OUT_1$  の電位は上昇する。従って、図 3 の ( B ) に示すように、[ 期間 -  $T_2$  ] や [ 期間 -  $T_6$  ] において、出力部  $OUT_1$  がローレベルを維持することができないといった問題が生ずる。

20

## 【 0 0 4 8 】

図 4 の ( A ) は、走査回路 1 0 1 の 1 段目を構成する実施例 1 のブートストラップ回路の回路図である。図 4 の ( B ) は、実施例 1 のブートストラップ回路において寄生容量を考慮したときの模式的なタイミングチャートである。

30

## 【 0 0 4 9 】

上述したように、実施例 1 のブートストラップ回路にあつては、ノード部  $P_1$  と電圧供給線  $PS_1$  との間に、容量部  $C_{11}$  が接続されている。従って、第 3 トランジスタ  $Tr_3$  がオフ状態にあるときのノード部  $P_1$  の変動が抑制されるので、図 4 の ( B ) に示す [ 期間 -  $T_2$  ] や [ 期間 -  $T_6$  ] において、クロック  $CK_1$  の立ち上がりに応じたノード部  $P_1$  の電位の上昇が抑制される。これにより、ノード部  $P_1$  の電位の上昇が、第 1 トランジスタ  $Tr_1$  にリークを起こさせる程度まで達してしまい、[ 期間 -  $T_2$  ] や [ 期間 -  $T_6$  ] において出力部  $OUT_1$  ローレベルを維持することができないといった問題が発生することを抑制することができる。

40

## 【 0 0 5 0 】

尚、容量部  $C_{11}$  が接続されることにより、ブートストラップゲインは低下する。実施例 1 のブートストラップ回路におけるブートストラップゲイン  $g_b$  は、第 1 トランジスタ  $Tr_1$  のゲート容量を  $C_{Tr1}$  と表すとき、以下の式 ( 1 ) で表すことができる。

## 【 0 0 5 1 】

$$g_b = (C_{Tr1} + C_a + C_1) / (C_{11} + C_3 + C_{Tr1} + C_a + C_1) \quad (1)$$

## 【 0 0 5 2 】

第 1 トランジスタ  $Tr_1$  の閾値電圧を  $V_{th1}$  と表すとき、図 4 の ( B ) に示す [ 期間 -  $T_4$  ] の始期において第 1 トランジスタ  $Tr_1$  のゲート - ソース間電圧が  $V_{th1}$  を越えるようにする必要がある。容量部  $C_{11}$  の値はこの条件を満たすように設定されている。尚、保持

50

容量として容量部  $C_a$  の値に対して充分大きい値であることが好ましい。

【 0 0 5 3 】

ところで、図 1 に示すシフトレジスタ回路にあっては、前段の出力（例えば出力部  $OUT_1$  の出力）が後段の入力（例えば入力信号  $IN_2$ ）となる。図 5 の（A）は、図 1 に示すシフトレジスタ回路において、後段の回路の入力の位相が進んだ場合の動作を説明するための模式的なタイミングチャートである。図 5 の（B）は、図 1 に示すシフトレジスタ回路において、後段の回路の入力の位相が遅れた場合の動作を説明するための模式的なタイミングチャートである。図 5 の（A）に示すように、位相が進んだ場合には、[ 期間 -  $T_3$  ] ~ [ 期間 -  $T_4$  ] においてブートストラップ動作が正常に行われない。一方、位相が遅れた場合においては、[ 期間 -  $T_3$  ] ~ [ 期間 -  $T_4$  ] において支障なくブートストラップ動作が行われる。そこで、後段の動作を確実なものとするために、図 6 の（A）あるいは（B）に示すように、遅延要素を介して後段に信号を伝える構成としてもよい。遅延要素としては、バッファ回路、容量、抵抗等を設計に応じて適宜選択すればよい。後述する他の実施例においても同様である。

10

【 実施例 2 】

【 0 0 5 4 】

実施例 2 は実施例 1 の変形である。実施例 1 と同様に、実施例 2 に係るブートストラップ回路から構成した走査回路の 1 段目の回路の構成及び動作について説明する。走査回路を構成するブートストラップ回路の構成が相違する点を除く他、有機 EL 表示装置の構造や動作は実施例 1 において説明したと同様であるので説明を省略する。後述する他の実施例においても同様である。

20

【 0 0 5 5 】

図 7 の（A）は、走査回路の 1 段目を構成する実施例 2 のブートストラップ回路の回路図である。図 7 の（B）は、実施例 2 のブートストラップ回路において寄生容量を考慮したときの模式的なタイミングチャートである。

【 0 0 5 6 】

実施例 2 は実施例 1 に対して、ブートストラップ回路は同一導電型（実施例 2 においては  $n$  チャンネル型）の第 4 トランジスタ  $Tr_{24}$  を更に備えている。より具体的には、第 4 トランジスタ  $Tr_{24}$  においては、

（D - 1）一方のソース/ドレイン領域は、第 1 トランジスタ  $Tr_1$  のゲート電極に接続されており、

30

（D - 2）他方のソース/ドレイン領域は、第 3 トランジスタ  $Tr_3$  の一方のソース/ドレイン領域に接続されており、

（D - 3）ゲート電極は、所定の第 2 の電圧（ここでは電圧  $V_{dd}$ ）が印加される第 2 電圧供給線  $PS_2$  に接続されており、

容量部は、第 3 トランジスタ  $Tr_3$  の一方のソース/ドレイン領域と第 4 トランジスタ  $Tr_{24}$  の他方のソース/ドレイン領域とが接続された部分と、電圧供給線  $PS_1$  との間に接続されている。以上の点を除く他、ブートストラップ回路の構成は実施例 1 において説明したと同様である。

40

【 0 0 5 7 】

実施例 2 のブートストラップ回路においては、実施例 1 において説明した図 4 の（A）に示すノード部  $P_1$  が、第 4 トランジスタ  $Tr_{24}$  によって分割されている。図 7 においては、第 1 トランジスタ  $Tr_1$  のゲート電極側のノード部を符号  $P_{1A}$  で示し、第 3 トランジスタ  $Tr_3$  の一方のソース/ドレイン領域側のノード部を符号  $P_{1B}$  で表した。尚、第 4 トランジスタ  $Tr_{24}$  のゲート電極と一方のソース/ドレイン領域との間の寄生容量を符号  $C_{24}$  で表す。

【 0 0 5 8 】

実施例 2 の回路においては、ノード部  $P_{1A}$  とノード部  $P_{1B}$  の電位が  $V_{ss}$  のときは第 4 トランジスタ  $Tr_{24}$  はオン状態であり、容量部  $C_{11}$  がノード部  $P_{1A}$  に接続された状態となる。この状態においては、実施例 1 と同様に、第 3 トランジスタ  $Tr_3$  がオフ状態にあると

50

きのノード部  $P_1$  の変動が抑制されるので、図 7 の ( B ) に示す [ 期間 -  $T_2$  ] や [ 期間 -  $T_6$  ] において、クロック  $CK_1$  の立ち上がりに応じたノード部  $P_1$  の電位の上昇が抑制される。

【 0 0 5 9 】

一方、図 7 の ( B ) に示す [ 期間 -  $T_4$  ] においては、第 4 トランジスタ  $Tr_{24}$  はオフ状態となる。即ち、ブートストラップ動作において、容量部  $C_{11}$  はノード部  $P_{1A}$  から切り離された状態にある。従って、実施例 1 とは異なり、容量部  $C_{11}$  によってブートストラップゲインが低下するといった現象は生じない。従って、実施例 1 よりも高いブートストラップゲインを得ることができる。実施例 2 のブートストラップ回路におけるブートストラップゲイン  $g_b$  は、第 1 トランジスタ  $Tr_1$  のゲート容量を  $C_{Tr1}$  と表すとき、以下の式 ( 2 ) で表すことができる。

【 0 0 6 0 】

$$g_b = ( C_{Tr1} + C_a + C_1 ) / ( C_{24} + C_{Tr1} + C_a + C_1 ) \quad ( 2 )$$

【 実施例 3 】

【 0 0 6 1 】

実施例 3 は、本発明の第 2 の態様に係るブートストラップ回路に関する。上述したように、実施例 3 に係るブートストラップ回路から構成した走査回路の 1 段目の回路の構成及び動作について説明する。

【 0 0 6 2 】

図 8 の ( A ) は、走査回路の 1 段目を構成する実施例 3 のブートストラップ回路の回路図である。図 8 の ( B ) は、実施例 3 のブートストラップ回路における模式的なタイミングチャートである。尚、2 相クロック  $CK_1$ 、 $CK_2$  は同期してローレベル/ハイレベルが切り替わるとしてタイミングチャートを表した。

【 0 0 6 3 】

実施例 3 のブートストラップ回路は、上述した実施例 1 と同様に、同一導電型 (  $n$  チャネル型 ) の第 1 トランジスタ  $Tr_1$ 、第 2 トランジスタ  $Tr_2$ 、及び、第 3 トランジスタ  $Tr_3$  から構成されている。

【 0 0 6 4 】

実施例 3 のブートストラップ回路は、実施例 1 において説明したと同様に、第 1 トランジスタ  $Tr_1$  においては、

( A - 1 ) 一方のソース/ドレイン領域は、第 2 トランジスタ  $Tr_2$  の一方のソース/ドレイン領域に接続され、出力部  $OUT_1$  を構成し、

( A - 2 ) 他方のソース/ドレイン領域には、2 相のクロック  $CK_1$ 、 $CK_2$  のうち一方のクロック ( ここでは  $CK_1$  ) が印加され、

( A - 3 ) ゲート電極は、第 3 トランジスタ  $Tr_3$  の一方のソース/ドレイン領域に接続されており、

第 2 トランジスタ  $Tr_2$  においては、

( B - 1 ) 他方のソース/ドレイン領域は、所定の電圧  $V_{ss}$  ( 例えば 0 ボルト ) が印加される電圧供給線  $PS_1$  に接続されており、

第 3 トランジスタ  $Tr_3$  においては、

( C - 1 ) 他方のソース/ドレイン領域には、入力信号  $IN_1$  が印加され、

( C - 2 ) ゲート電極には、2 相のクロック  $CK_1$ 、 $CK_2$  のうち他方のクロック ( ここでは  $CK_2$  ) が印加され、

第 1 トランジスタ  $Tr_1$  のゲート電極と第 3 トランジスタ  $Tr_3$  の一方のソース/ドレイン領域とは、第 3 トランジスタ  $Tr_3$  がオフ状態になると浮遊状態となるノード部  $P_1$  を構成するブートストラップ回路である。

【 0 0 6 5 】

そして、第 2 トランジスタ  $Tr_2$  のゲート電極には、2 相のクロック  $CK_1$ 、 $CK_2$  のうち他方のクロック ( ここでは  $CK_2$  ) が印加され、ノード部  $P_1$  と第 2 トランジスタ  $Tr_2$  のゲート電極との間に、容量部  $C_{31}$  が接続されている。

## 【0066】

容量部  $C_{31}$  の値は、ノード部  $P_1$  に対するクロック  $CK_1$  の飛び込みとクロック  $CK_2$  の飛び込みとが相殺するような値に設定されている。これにより、図7の(B)に示すように、[期間 -  $T_2$ ] や [期間 -  $T_6$ ] におけるノード部  $P_1$  の電位変動が軽減する。

## 【0067】

以下具体的に説明する。クロック  $CK_1$  は、寄生容量  $C_1$  を経由してノード  $P_1$  に飛び込む。また、クロック  $CK_2$  は、寄生容量  $C_3$  を経由する他、寄生容量  $C_2$  とブートストラップ動作のための容量部  $C_a$  を経由してノード  $P_1$  に飛び込む。

## 【0068】

出力部  $OUT_1$  には、走査線  $SC_L$  等の大きな負荷容量が接続される。従って、一般的に第1トランジスタ  $Tr_1$  は大きなサイズ(例えば  $W/L = 100/10$ )とされる。これに対して、第3トランジスタ  $Tr_3$  はブートストラップ動作を良好に行うためにリークを抑える必要があり、小さなサイズ(例えば  $W/L = 5/10$ )とされる。また第2トランジスタ  $Tr_2$  は、ローレベル ( $V_{ss}$ ) を維持するための補完的な性格のトランジスタであり大きなサイズは必要とせず、例えば  $W/L = 10/10$  程度に設定される。

10

## 【0069】

出力部  $OUT_1$  に接続された負荷容量を  $C_{SEL}$  と表すとき、負荷容量  $C_{SEL}$  の値は寄生容量  $C_2$  に比べて非常に大きい。従って、クロック  $CK_2$  の飛び込みのうち、寄生容量  $C_2$  とブートストラップ動作のための容量部  $C_a$  を経由して伝搬するものは、ノード部  $P_1$  の電位には殆ど影響を与えない。従って、クロック  $CK_2$  の飛び込みを考慮するにあたり、寄生容量  $C_2$  とブートストラップ動作のための容量部  $C_a$  を経由して伝搬するものは無視することができる。

20

## 【0070】

以上説明したように、クロック  $CK_1$  は、寄生容量  $C_1$  を経由してノード  $P_1$  に飛び込む。また、クロック  $CK_2$  は、寄生容量  $C_3$  を経由してノード  $P_1$  に飛び込む。2相のクロック  $CK_1$ 、 $CK_2$  は逆相のクロックであるから、ノード  $P_1$  に伝搬するこれらのクロックの飛び込みは、ノード  $P_1$  の電位を相反する方向に変動させる。従って、寄生容量  $C_1$  の値と寄生容量  $C_3$  の値とが等しければ、クロック  $CK_1$  の飛び込みとクロック  $CK_2$  の飛び込みとは、相互に打ち消される。

## 【0071】

しかしながら、上述した第1トランジスタ  $Tr_1$  と第3トランジスタ  $Tr_3$  のサイズの相違により、通常、寄生容量  $C_1$  の値は寄生容量  $C_3$  の値よりも大きい。従って、クロック  $CK_1$  の飛び込みと、 $CK_2$  の飛び込みに差が生じ、ノード  $P_1$  の電位が変動する。

30

## 【0072】

そこで、実施例3のブートストラップ回路にあっては、寄生容量  $C_3$  と並列に容量部  $C_{31}$  を接続し、ノード  $P_1$  に対するクロック  $CK_1$  の飛び込みと、 $CK_2$  の飛び込みとの差によるノード  $P_1$  の電位の変動を軽減した。容量部  $C_{31}$  の値は、ノード部  $P_1$  の電位の変動量を測定するなどして、設計に応じて適宜設定すればよい。

## 【実施例4】

## 【0073】

実施例4は、本発明の第3の態様に係るブートストラップ回路に関する。上述したように、実施例4に係るブートストラップ回路から構成した走査回路の1段目の回路の構成及び動作について説明する。

40

## 【0074】

図9は、走査回路の1段目を構成する実施例4のブートストラップ回路の回路図である。実施例4のブートストラップ回路は、上述した実施例1と同様に、同一導電型 ( $n$ チャネル型) の第1トランジスタ  $Tr_1$ 、第2トランジスタ  $Tr_2$ 、及び、第3トランジスタ  $Tr_3$  を備えている。

## 【0075】

実施例4のブートストラップ回路は、実施例1において説明したと同様に、第1トラン

50

ジスタ  $T r_1$  においては、

(A-1) 一方のソース/ドレイン領域は、第2トランジスタ  $T r_2$  の一方のソース/ドレイン領域に接続され、出力部  $O U T_1$  を構成し、

(A-2) 他方のソース/ドレイン領域には、2相のクロック  $C K_1$ 、 $C K_2$  のうち一方のクロック (ここでは  $C K_1$ ) が印加され、

(A-3) ゲート電極は、第3トランジスタ  $T r_3$  の一方のソース/ドレイン領域に接続されており、

第2トランジスタ  $T r_2$  においては、

(B-1) 他方のソース/ドレイン領域は、所定の電圧  $V_{ss}$  (例えば0ボルト) が印加される電圧供給線  $P S_1$  に接続されており、

第3トランジスタ  $T r_3$  においては、

(C-1) 他方のソース/ドレイン領域には、入力信号  $I N_1$  が印加され、

(C-2) ゲート電極には、2相のクロック  $C K_1$ 、 $C K_2$  のうち他方のクロック (ここでは  $C K_2$ ) が印加され、

第1トランジスタ  $T r_1$  のゲート電極と第3トランジスタ  $T r_3$  の一方のソース/ドレイン領域とは、第3トランジスタ  $T r_3$  がオフ状態になると浮遊状態となるノード部  $P_1$  を構成するブートストラップ回路である。

【0076】

そして、実施例4のブートストラップ回路は、同一導電型 (nチャネル型) の第4トランジスタ  $T r_{44}$  を更に備えており、

第4トランジスタ  $T r_{44}$  においては、

(C-1) 一方のソース/ドレイン領域は、反転回路  $B_{41}$  の入力側に接続されると共に、該反転回路  $B_{41}$  の出力側と第2トランジスタ  $T r_2$  のゲート電極とが接続されており、

(C-2) 他方のソース/ドレイン領域は、入力信号が印加され、

(C-3) ゲート電極には、2相のクロック  $C K_1$ 、 $C K_2$  のうち他方のクロック (ここでは  $C K_2$ ) が印加される。

【0077】

図9に示すように、第4トランジスタ  $T r_{44}$  の一方のソース/ドレイン領域と反転回路  $B_{41}$  の入力側とが接続されてなるノード部を符号  $Q_1$  で表し、反転回路  $B_{41}$  の出力側と第2トランジスタ  $T r_2$  のゲート電極とが接続されてなるノード部を符号  $R_1$  と表す。

【0078】

図10の(A)は、反転回路  $B_{41}$  の回路図である。図10の(B)は、反転回路  $B_{41}$  の動作を説明するための模式的なタイミングチャートである。先ず、反転回路  $B_{41}$  の構成及び動作について説明する。

【0079】

この反転回路  $B_{41}$  の構成は、特開2005-143068号公報の図5に開示された構成と同様である。尚、図10の(A)にあっては、参照番号や符号は一部変更して記載した。

【0080】

図10の(A)に示すように、反転回路  $B_{41}$  は、4つのnチャネル型トランジスタ  $T r_{40}$ 、 $T r_{41}$ 、 $T r_{42}$ 、 $T r_{43}$ 、及び、容量部  $C_{ap}$  から構成されている。トランジスタ  $T r_{40}$ 、 $T r_{41}$ 、 $T r_{42}$ 、 $T r_{43}$  も、ソース/ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた、nチャネル型の薄膜トランジスタ (TFET) から成り、上述した図示せぬ基板上に形成されている。容量部  $C_{ap}$  は、実施例1において説明した容量部  $C_{11}$ 、 $C_a$  等と同様に、絶縁層を挟んだ導電層から構成されている。

【0081】

トランジスタ  $T r_{40}$  においては、一方のソース/ドレイン領域は、トランジスタ  $T r_{41}$  の一方のソース/ドレイン領域に接続されており、他方のソース/ドレイン領域に電圧  $V_{ss}$  が印加され、ゲート電極にノード部  $Q_1$  側から入力信号が印加される。トランジスタ  $T r_{40}$  の一方のソース/ドレイン領域と、トランジスタ  $T r_{41}$  の一方のソース/ドレイン領

10

20

30

40

50



域との接続部から、ノード部  $R_1$  側に反転した出力が印加される。トランジスタ  $T_{r41}$  は、他方のソース/ドレイン領域に電圧  $V_{dd}$  が印加され、負荷抵抗として作用する。

【0082】

容量部  $C_{ap}$  は、トランジスタ  $T_{r41}$  のゲート電極と一方のソース/ドレイン領域との間に接続されており、トランジスタ  $T_{r41}$  と共にブートストラップ回路を構成する。トランジスタ  $T_{r42}$  は、一方のソース/ドレイン領域がトランジスタ  $T_{r41}$  のゲート電極に接続されており、他方のソース/ドレイン領域に電圧  $V_{dd}$  が印加され、ゲート電極にリファレンス信号  $REF_1$  が与えられる。このトランジスタ  $T_{r42}$  の一方のソース/ドレイン領域とトランジスタ  $T_{r41}$  のゲート電極の接続点をノード部  $N$  と表す。トランジスタ  $T_{r43}$  は、一方のソース/ドレイン領域がノード部  $N$  に接続されており、他方のソース/ドレイン領域に電圧  $V_{ss}$  が印加され、ゲート電極にリファレンス信号  $REF_2$  が印加される。

10

【0083】

図10の(B)は、ノード部  $Q_1$  側からの入力(以下、入力信号  $IN_{Q1}$  と表記する場合がある)、リファレンス信号  $REF_1$ 、 $REF_2$ 、ノード部  $N$  の電位及びノード部  $R_1$  側への出力(以下、出力信号  $OUT_{R1}$  と表記する場合がある)の各レベル及びタイミング関係を示す。リファレンス信号  $REF_1$  は、入力信号  $IN_{Q1}$  のレベルがハイレベル( $V_{dd}$ )からローレベル( $V_{ss}$ )に変化する前、換言すれば入力信号  $IN_{Q1}$  のレベルがハイレベルの終わり近くで一定期間だけハイレベルとなる。リファレンス信号  $REF_2$  は、入力信号  $IN_{Q1}$  のレベルがローレベルからハイレベルに変化したときに、一定期間だけハイレベルとなる。

20

【0084】

反転回路  $B_{41}$  において、トランジスタ  $T_{r41}$  のゲート電極の電位(ノード部  $N$  の電位)を、入力信号  $IN_{Q1}$  のレベルがローレベルからハイレベルに変化したときにローレベルにリセットするトランジスタ  $T_{r43}$  を設けたことにより、入力信号  $IN_{Q1}$  がハイレベルの状態では、トランジスタ  $T_{r41}$  が完全にオフ状態になり、トランジスタ  $T_{r41}$  に貫通電流は流れない。従って、出力信号  $OUT_{R1}$  の電位が貫通電流によって変動することがなく、出力信号  $OUT_{R1}$  のレベルとして  $V_{ss}$  を取り出すことができる。

【0085】

また、入力信号  $IN_{Q1}$  のレベルがハイレベルからローレベルに変化する前に、トランジスタ  $T_{r41}$  のゲート電極の電位(ノード部  $N$  の電位)を、ハイレベルにプリチャージするトランジスタ  $T_{r42}$  を設けたことにより、このトランジスタ  $T_{r42}$  によるプリチャージ状態から、入力信号  $IN_{Q1}$  のレベルがローレベルに変化した際に、容量部  $C_{ap}$  による容量結合によってトランジスタ  $T_{r41}$  のゲート電極の電位がハイレベルよりもさらにプラス側の電位まで上げられる。その結果、出力信号  $OUT_{R1}$  のレベルとして  $V_{dd}$  を取り出すことができる。

30

【0086】

図11は、図9のブートストラップ回路における模式的なタイミングチャートである。実施例4にあっては、反転回路  $B_{41}$  の動作により、[期間 -  $T_1$ ] の始期から [期間 -  $T_3$ ] において入力  $IN_1$  が立ち上がるまでの間、及び、[期間 -  $T_5$ ] においてクロック  $CK_2$  が立ち上がった後から [期間 -  $T_6$ ] の終期までの間、ノード部  $R_1$  の電位がハイレベルに保たれる。これらの期間にあっては、出力部  $OUT_1$  にはオン状態の第2トランジスタ  $T_{r2}$  を介して電圧  $V_{ss}$  が印加される。そして、[期間 -  $T_3$ ] においてクロック  $CK_2$  と入力信号  $IN_1$  がハイレベルの間は、出力部  $OUT_1$  にはローレベルのクロック  $CK_1$  が印加される。また、[期間 -  $T_4$ ] においてクロック  $CK_1$  が立ち下がった後から、[期間 -  $T_5$ ] においてクロック  $CK_2$  が立ち上がるまでの間も、出力部  $OUT_1$  にはローレベルのクロック  $CK_1$  が印加される。

40

【0087】

従って、実施例4のブートストラップ回路にあっては、出力部  $OUT_1$  がローレベルであるときは、電圧  $V_{ss}$  あるいはローレベルのクロック  $CK_1$  が印加された状態にあり浮遊状態とならない。従って、容量部  $C_a$  や寄生容量  $C_2$  を介した飛び込みによって出力部  $OUT$

50

$T_1$ の電位が変動せず、飛び込みによる影響を軽減することができる。

【0088】

尚、反転回路として、発明者が特願2008-26742号、特願2008-26742号において提案した種々のインバータ回路（反転回路）を用いた構成とすることもできる。図12の（A）は、特願2008-26742号の実施例1に係るインバータ回路（反転回路）110の回路図である。図12の（B）及び（C）は、図12の（A）に示すインバータ回路110の動作を説明するための模式的なタイミングチャートである。

【0089】

図12の（A）を参照して、インバータ回路110の構成を説明する。インバータ回路110は、同一導電型（例えばnチャンネル型）のトランジスタ $Q_{n-1}$ 、トランジスタ $Q_{n-2}$ 、及び、トランジスタ $Q_{n-3}$ から構成され、

トランジスタ $Q_{n-1}$ においては、

（A-1）一方のソース/ドレイン領域は、トランジスタ $Q_{n-2}$ の一方のソース/ドレイン領域に接続され、出力部OUTを構成し、

トランジスタ $Q_{n-2}$ においては、

（B-1）他方のソース/ドレイン領域は第2電圧供給線 $PS_2$ に接続されており、

（B-2）ゲート電極は、トランジスタ $Q_{n-3}$ の一方のソース/ドレイン領域に接続されており、

トランジスタ $Q_{n-3}$ においては、

（C-1）ゲート電極は他方のソース/ドレイン領域に接続されている、  
インバータ回路である。

【0090】

インバータ回路110は、更に、同一導電型のトランジスタ $Q_{n-14}$ を備えている。トランジスタ $Q_{n-3}$ の他方のソース/ドレイン領域は第2電圧供給線 $PS_2$ に接続されている。トランジスタ $Q_{n-2}$ のゲート電極とトランジスタ $Q_{n-3}$ の一方のソース/ドレイン領域とが接続されたノード部Aには、トランジスタ $Q_{n-14}$ の一方のソース/ドレイン領域が接続されている。トランジスタ $Q_{n-1}$ の他方のソース/ドレイン領域及びトランジスタ $Q_{n-14}$ の他方のソース/ドレイン領域は、電圧供給線 $PS_1$ に接続されている。トランジスタ $Q_{n-1}$ のゲート電極及びトランジスタ $Q_{n-14}$ のゲート電極には入力信号INが印加される。

【0091】

インバータ回路110を構成するトランジスタ $Q_{n-1}$ 、トランジスタ $Q_{n-2}$ 、トランジスタ $Q_{n-3}$ 、及び、トランジスタ $Q_{n-14}$ は、ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えた、nチャンネル型の薄膜トランジスタ（TFET）から成る。これらのトランジスタは、図示せぬ基板上に形成されている。

【0092】

尚、トランジスタ $Q_{n-2}$ のゲート電極と一方のソース/ドレイン領域との間にブートストラップ容量としての容量部 $C_{ap}$ が接続されている。例えば絶縁層を挟んだ導電層から構成された容量部 $C_{ap}$ も、上述した図示せぬ基板上に形成されている。

【0093】

第2電圧供給線 $PS_2$ からは所定の電圧 $V_{dd}$ が供給され、電圧供給線 $PS_1$ からは所定の電圧 $V_{ss}$ が供給される。トランジスタ $Q_{n-1}$ のゲート電極には入力信号INが印加される。入力信号INのローレベルは電圧 $V_{ss}$ 、ハイレベルは電圧 $V_{dd}$ であるとして、インバータ回路110の動作を説明する。

【0094】

インバータ回路110にあっては、トランジスタ $Q_{n-1}$ をオン状態とする入力信号INが印加された状態にあっては、トランジスタ $Q_{n-14}$ もオン状態となる。従って、図12の（B）に示すように、期間 $T_2$ において、上記ノード部Aの電位 $V_{A2}$ は、 $(V_{dd} - V_{th-3})$ から電圧供給線 $PS_1$ の電位 $V_{ss}$ 側に近づく。ローレベルの出力の値はトランジスタ $Q_{n-1}$ のオン抵抗の値と、ゲート電極により低い値の電圧が印加された状態のトランジスタ $Q_{n-2}$ の抵抗値との分圧比によって定まる。従って、期間 $T_2$ における出力 $V_{OUT2}$ は、よりV

10

20

30

40

50

$s_s$  に近づく。一方、期間  $T_3$  においては背景技術において説明したと同様のブートストラップ動作が起こり、ノード部 A の電位  $V_{A3}$  はハイレベルである  $V_{dd}$  を越える。そして  $(V_{A3} - V_{dd})$  の値がトランジスタ  $Q_{n-2}$  の閾値電圧  $V_{th-2}$  の値を超えるように設定されていれば、期間  $T_3$  においてインバータ回路 110 の出力  $V_{OUT3}$  は完全なハイレベル ( $V_{dd}$ ) に達する。

【0095】

尚、インバータ回路 110 においては、入力信号 IN はトランジスタ  $Q_{n-1}$  のゲート - ソース間電圧 ( $V_{gs}$ ) となる。入力信号 IN のハイレベルが電圧  $V_{dd}$  に至らない場合であっても、インバータ回路 110 は動作する。具体的には、図 12 の (C) に示すように、期間  $T_2$  において入力信号 IN の値がトランジスタ  $Q_{n-1}$  の閾値電圧  $V_{th-1}$  を超えれば、インバータ回路 110 の出力はハイレベルからローレベルへと向かう。従って、インバータ回路 110 はレベルシフタとしても動作する。

10

【実施例 5】

【0096】

実施例 5 は実施例 4 の変形である。上述したように、実施例 5 に係るブートストラップ回路から構成した走査回路の 1 段目の回路の構成及び動作について説明する。

【0097】

図 13 は、走査回路の 1 段目を構成する実施例 5 のブートストラップ回路の回路図である。実施例 5 のブートストラップ回路は、第 4 トランジスタ  $Tr_{44}$  の一方のソース/ドレイン領域と反転回路  $B_{41}$  の入力側とが接続された部分と電圧供給線  $PS_1$  との間に、容量部  $C_{51}$  が接続されている点を除く他、実施例 4 のブートストラップ回路と同様の構成である。

20

【0098】

実施例 5 のブートストラップ回路の動作は、実施例 4 において図 11 を参照して説明したと同様であるので説明を省略する。容量部  $C_{51}$  は、ノード部  $Q_1$  の電位を保持する保持容量として作用する。これにより、反転回路  $B_{41}$  の動作がより安定したものとなり、ひいては、ブートストラップ回路の動作をより安定したものとすることができる。

【実施例 6】

【0099】

実施例 6 も実施例 4 の変形である。上述したように、実施例 6 に係るブートストラップ回路から構成した走査回路の 1 段目の回路の構成及び動作について説明する。

30

【0100】

図 14 は、走査回路の 1 段目を構成する実施例 6 のブートストラップ回路の回路図である。実施例 6 のブートストラップ回路は、第 4 トランジスタ  $Tr_{44}$  の一方のソース/ドレイン領域と反転回路  $B_{41}$  の入力側とが接続された部分と第 1 トランジスタ  $Tr_1$  の他方のソース/ドレイン領域との間に、容量部  $C_{61}$  が接続されている点を除く他、実施例 4 のブートストラップ回路と同様の構成である。尚、第 4 トランジスタ  $Tr_{44}$  のゲート電極と一方のソース/ドレイン領域との間の寄生容量を符号  $C_{44}$  で表す。

【0101】

実施例 6 のブートストラップ回路の動作は、実施例 4 において図 11 を参照して説明したと同様であるので説明を省略する。容量部  $C_{61}$  は、ノード  $P_1$  に対するクロック  $CK_1$  の飛び込みと、 $CK_2$  の飛び込みとの差を少なくするように作用する。より具体的には、寄生容量  $C_{44}$  を介したクロック  $CK_2$  の飛び込みと、容量部  $C_{61}$  を介したクロック  $CK_1$  の飛び込みとが相殺される。これにより、ブートストラップ回路の動作をより安定したものとすることができる。

40

【実施例 7】

【0102】

実施例 7 は、本発明の第 4 の態様に係るブートストラップ回路に関する。上述したように、実施例 7 に係るブートストラップ回路から構成した走査回路の 1 段目の回路の構成及び動作について説明する。

50

## 【0103】

図15は、走査回路の1段目を構成する実施例7のブートストラップ回路の回路図である。実施例7のブートストラップ回路は、上述した実施例1と同様に、同一導電型（ $n$ チャンネル型）の第1トランジスタ $T r_1$ 、第2トランジスタ $T r_2$ 、及び、第3トランジスタ $T r_3$ から構成されている。図16は、図15に示すブートストラップ回路の模式的なタイミングチャートである。

## 【0104】

実施例7のブートストラップ回路は、実施例1において説明したと同様に、第1トランジスタ $T r_1$ においては、

(A-1) 一方のソース/ドレイン領域は、第2トランジスタ $T r_2$ の一方のソース/ドレイン領域に接続され、出力部 $O U T_1$ を構成し、

(A-2) 他方のソース/ドレイン領域には、2相のクロック $C K_1$ 、 $C K_2$ のうち一方のクロック（ここでは $C K_1$ ）が印加され、

(A-3) ゲート電極は、第3トランジスタ $T r_3$ の一方のソース/ドレイン領域に接続されており、

第2トランジスタ $T r_2$ においては、

(B-1) 他方のソース/ドレイン領域は、所定の電圧 $V_{ss}$ （例えば0ボルト）が印加される電圧供給線 $P S_1$ に接続されており、

第3トランジスタ $T r_3$ においては、

(C-1) 他方のソース/ドレイン領域には、入力信号 $I N_1$ が印加され、

(C-2) ゲート電極には、2相のクロック $C K_1$ 、 $C K_2$ のうち他方のクロック（ここでは $C K_2$ ）が印加され、

第1トランジスタ $T r_1$ のゲート電極と第3トランジスタ $T r_3$ の一方のソース/ドレイン領域とは、第3トランジスタ $T r_3$ がオフ状態になると浮遊状態となるノード部 $P_1$ を構成するブートストラップ回路である。

## 【0105】

そして、第2トランジスタ $T r_2$ のゲート電極には、2相のクロック $C K_1$ 、 $C K_2$ のうち他方のクロック（ここでは $C K_2$ ）が印加される。実施例7のブートストラップ回路は、更に、同一導電型（ $n$ チャンネル型）の第4トランジスタ $T r_{74}$ 及び第5トランジスタ $T r_{75}$ から成る回路部を少なくとも1つ備えており、

各回路部においては、

(D-1) 第4トランジスタ $T r_{74}$ のゲート電極は、第5トランジスタ $T r_{75}$ の一方のソース/ドレイン領域に接続されており、

(D-2) 第5トランジスタ $T r_{75}$ の他方のソース/ドレイン領域には、入力信号 $I N_1$ が印加され、

2相のクロック $C K_1$ 、 $C K_2$ のうち一方のクロック（ここでは $C K_1$ ）は、直列に接続された各第4トランジスタ $T r_{74}$ を介して、第1トランジスタ $T r_1$ の他方のソース/ドレイン領域に印加される。また、出力部 $O U T_1$ と、第4トランジスタのゲート電極と第5トランジスタの一方のソース/ドレイン領域とが接続された部分との間に、ブートストラップ補完容量として容量部 $C_b$ が接続されている。

## 【0106】

図15から明らかなように、この構成によれば、第4トランジスタ $T r_{74}$ 及び第5トランジスタ $T r_{75}$ から成る回路部においてもブートストラップ動作が起こる。第4トランジスタ $T r_{74}$ のゲート電極と第5トランジスタ $T r_{75}$ の一方のソース/ドレイン領域とは、第5トランジスタ $T r_{75}$ がオフ状態になると浮遊状態となるノード部 $Q_1$ を構成する。第4トランジスタ $T r_{74}$ の片側のソース/ドレイン領域と第1トランジスタ $T r_1$ の他方のソース/ドレイン領域は接続され、ノード部 $R_1$ を構成する。第4トランジスタ $T r_{74}$ の残りのソース/ドレイン領域にはクロック $C K_1$ が印加される。ノード部 $R_1$ は、クロック $C K_1$ の影響を受けて変動しやすい。このため、容量部 $C_b$ がブートストラップ動作以外の影響を受け難くするために、容量部 $C_b$ をノード部 $R_1$ ではなく出力部 $O U T_1$ に接続した

。このように、実施例 7 のブートストラップ回路は、ブートストラップ動作が起こる回路部分が複数並列に接続された構成を備えている。符号  $C_{74}$  は、第 4 トランジスタ  $T_{r_{74}}$  のゲート電極とクロック  $CK_1$  が印加されるソース/ドレイン領域との間の寄生容量である。符号  $C_{75}$  は、第 5 トランジスタ  $T_{r_{75}}$  のゲート電極と一方のソース/ドレイン領域との間の寄生容量である。

【0107】

実施例 1 の説明において、寄生容量を考慮したときの従来のブートストラップ回路の動作に言及した。そして、図 3 の (A) に示す回路にあっては、ノード部  $P_1$  を構成する第 1 トランジスタ  $T_{r_1}$  のゲート電極と、クロック  $CK_1$  が印加される第 1 トランジスタ  $T_{r_1}$  の他方のソース/ドレイン領域とは寄生容量  $C_1$  により静電的に結合し、例えば、図 3 の (B) に示す [期間 -  $T_2$ ] や [期間 -  $T_6$ ] にあっては、クロック  $CK_1$  の立ち上がりに応じてノード部  $P_1$  の電位は上昇することを説明した。また、クロック  $CK_1$  は、第 1 トランジスタ  $T_{r_1}$  の他方のソース/ドレイン領域に印加されているので、ノード部  $P_1$  の電位の上昇が、第 1 トランジスタ  $T_{r_1}$  にリークを起こさせる程度まで達してしまうと、出力部  $OUT_1$  の電位は上昇し、ローレベルを維持することができないといった問題が生ずることを説明した。

10

【0108】

図 15 に示す回路においては、ノード部  $Q_1$  に対して、図 3 の (A) を参照して説明したと同様の現象が起こる。即ち、ノード部  $Q_1$  を構成する第 4 トランジスタ  $T_{r_{74}}$  のゲート電極と、クロック  $CK_1$  が印加される第 4 トランジスタ  $T_{r_{74}}$  のソース/ドレイン領域とは寄生容量  $C_1$  により静電的に結合し、図 16 に示す [期間 -  $T_2$ ] や [期間 -  $T_6$ ] にあっては、クロック  $CK_1$  の立ち上がりに応じてノード部  $Q_1$  の電位は上昇する。

20

【0109】

しかしながら、クロック  $CK_1$  の揺れと比べて、ノード部  $R_1$  の電位は、ブートストラップ動作を除いては相対的に揺れは小さい。これにより、ノード部  $R_1$  の電位変化によるノード部  $P_1$  への飛び込みも小さくなり、図 3 の (A) に示す回路よりもノード部  $P_1$  の電位の変動を抑えることができる。

【0110】

尚、同一導電型 ( $n$  チャネル型) の第 4 トランジスタ及び第 5 トランジスタから成る回路部を 2 つ以上備える構成とすることもできる。この構成によれば、よりノード部  $P_1$  の変動を抑制することができる。

30

【0111】

図 17 に示す回路は、図 15 に示すブートストラップ回路に更に第 4 トランジスタ  $T_{r_{74A}}$  及び第 5 トランジスタ  $T_{r_{75A}}$  から成る回路部を加えた構成である。2 相のクロック  $CK_1$ 、 $CK_2$  のうち一方のクロック (ここでは  $CK_1$ ) は、直列に接続された各第 4 トランジスタ  $T_{r_{74}}$ 、 $T_{r_{74A}}$  を介して、第 1 トランジスタ  $T_{r_1}$  の他方のソース/ドレイン領域に印加される。尚、図 17 以降の図面については、便宜のため、寄生容量の表示を省略した。

【0112】

尚、実施例 1 において説明した容量部  $C_{11}$  に相当する容量部を備えた構成とすることもできる。図 18 の (A) は、図 15 に示すブートストラップ回路において、実施例 1 において説明した容量部に相当する容量部を備えた構成の回路図を示す。あるいは又、実施例 2 において説明した容量部  $C_{31}$  に相当する容量部を備えた構成とすることもできる。図 18 の (B) は、図 15 に示すブートストラップ回路において、実施例 2 において説明した容量部に相当する容量部を備えた構成の回路図を示す。

40

【0113】

以上、本発明を好ましい実施例に基づき説明したが、本発明はこれらの実施例に限定されるものではない。実施例にて説明したブートストラップ回路の構成、構造は例示であり、適宜変更することができる。図 19 は、実施例 1 乃至実施例 7 において説明した構成を適宜組み合わせさせた構成の一例であるブートストラップ回路である。

50

## 【0114】

尚、実施例1乃至実施例7においては、各トランジスタはnチャンネル型トランジスタとして説明したが、これに限るものではない。pチャンネル型トランジスタから成る構成とすることもできる。この場合には、基本的には上述した実施例においてトランジスタをpチャンネル型トランジスタに置き換えると共に、電圧 $V_{ss}$ と電圧 $V_{dd}$ とを入れ替えた構成とすればよい。

## 【0115】

図20の(A)は、pチャンネル型トランジスタを用いて構成した実施例1のブートストラップ回路の回路図であり、図1に示す回路の1段目に相当する。図20の(B)は、pチャンネル型トランジスタを用いて構成した実施例2のブートストラップ回路の回路図であり、図7の(A)に示す回路に相当する。図20の(C)は、pチャンネル型トランジスタを用いて構成した実施例3のブートストラップ回路の回路図であり、図8の(A)に示す回路に相当する。

10

## 【0116】

図21の(A)は、pチャンネル型トランジスタを用いて構成した実施例4のブートストラップ回路の回路図であり、図9に示す回路に相当する。図21の(B)は、pチャンネル型トランジスタを用いて構成した実施例5のブートストラップ回路の回路図であり、図13に示す回路に相当する。図21の(C)は、pチャンネル型トランジスタを用いて構成した実施例6のブートストラップ回路の回路図であり、図14に示す回路に相当する。

## 【0117】

図22の(A)は、pチャンネル型トランジスタを用いて構成した実施例7のブートストラップ回路の回路図であり、図15に示す回路に相当する。同様に、図22の(B)も、pチャンネル型トランジスタを用いて構成した実施例7のブートストラップ回路の回路図であり、図17に示す回路に相当する。

20

## 【0118】

図23の(A)は、pチャンネル型トランジスタを用いて構成したブートストラップ回路の回路図であり、図18の(A)に示す回路に相当する。図23の(B)は、pチャンネル型トランジスタを用いて構成したブートストラップ回路の回路図であり、図18の(B)に示す回路に相当する。図24は、pチャンネル型トランジスタを用いて構成したブートストラップ回路の回路図であり、図19に示す回路に相当する。

30

## 【図面の簡単な説明】

## 【0119】

【図1】図1は、実施例1に係るブートストラップ回路から構成した走査回路の回路図である。

【図2】図2の(A)は、走査回路を備え、有機エレクトロルミネッセンス素子を発光素子として用いた有機エレクトロルミネッセンス表示装置の概念図である。図2の(B)は、有機EL素子の模式的な回路図を示す。

【図3】図3の(A)は、従来のブートストラップ回路において寄生容量を考慮したときの回路図である。図3の(B)は、従来のブートストラップ回路において寄生容量を考慮したときの模式的なタイミングチャートである。

40

【図4】図4の(A)は、走査回路の1段目を構成する実施例1のブートストラップ回路の回路図である。図4の(B)は、実施例1のブートストラップ回路において寄生容量を考慮したときの模式的なタイミングチャートである。

【図5】図5の(A)は、図1に示すシフトレジスタ回路において、後段の回路の入力の位相が進んだ場合の動作を説明するための模式的なタイミングチャートである。図5の(B)は、図1に示すシフトレジスタ回路において、後段の回路の入力の位相が遅れた場合の動作を説明するための模式的なタイミングチャートである。

【図6】図6の(A)及び(B)は、遅延要素を介して後段に信号を伝える構成としたブートストラップ回路の回路図である。

【図7】図7の(A)は、走査回路の1段目を構成する実施例2のブートストラップ回路

50

の回路図である。図 7 の ( B ) は、実施例 2 のブートストラップ回路において寄生容量を考慮したときの模式的なタイミングチャートである。

【図 8】図 8 の ( A ) は、走査回路の 1 段目を構成する実施例 3 のブートストラップ回路の回路図である。図 8 の ( B ) は、実施例 3 のブートストラップ回路における模式的なタイミングチャートである。

【図 9】図 9 は、走査回路の 1 段目を構成する実施例 4 のブートストラップ回路の回路図である。

【図 10】図 10 の ( A ) は、反転回路の回路図である。図 10 の ( B ) は、反転回路の動作を説明するための模式的なタイミングチャートである。

【図 11】図 11 は、図 9 のブートストラップ回路における模式的なタイミングチャートである。

【図 12】図 12 の ( A ) は、インバータ回路 ( 反転回路 ) 10 の回路図である。図 12 の ( B ) 及び ( C ) は、図 12 の ( A ) に示すインバータ回路 10 の動作を説明するための模式的なタイミングチャートである。

【図 13】図 13 は、走査回路の 1 段目を構成する実施例 5 のブートストラップ回路の回路図である。

【図 14】図 14 は、走査回路の 1 段目を構成する実施例 5 のブートストラップ回路の回路図である。

【図 15】図 15 は、走査回路の 1 段目を構成する実施例 7 のブートストラップ回路の回路図である。

【図 16】図 16 は、実施例 7 のブートストラップ回路の模式的なタイミングチャートである。

【図 17】図 17 は、第 4 トランジスタ  $T_{r_{74}}$  及び第 5 トランジスタ  $T_{r_{75}}$  から成る回路部と、第 4 トランジスタ  $T_{r_{74A}}$  及び第 5 トランジスタ  $T_{r_{75A}}$  から成る回路部とを備えたブートストラップ回路の回路図である。

【図 18】図 18 の ( A ) は、図 15 に示すブートストラップ回路において、実施例 1 において説明した容量部に相当する容量部を備えた構成の回路図を示す。図 18 の ( B ) は、図 15 に示すブートストラップ回路において、実施例 2 において説明した容量部に相当する容量部を備えた構成の回路図を示す。

【図 19】図 19 は、実施例 1 乃至実施例 7 において説明した構成を適宜組み合わせた構成の一例であるブートストラップ回路である。

【図 20】図 20 の ( A ) は、p チャネル型トランジスタを用いて構成した実施例 1 のブートストラップ回路の回路図であり、図 1 に示す回路の 1 段目に相当する。図 20 の ( B ) は、p チャネル型トランジスタを用いて構成した実施例 2 のブートストラップ回路の回路図であり、図 7 の ( A ) に示す回路に相当する。図 20 の ( C ) は、p チャネル型トランジスタを用いて構成した実施例 3 のブートストラップ回路の回路図であり、図 8 の ( A ) に示す回路に相当する。

【図 21】図 21 の ( A ) は、p チャネル型トランジスタを用いて構成した実施例 4 のブートストラップ回路の回路図であり、図 9 に示す回路に相当する。図 21 の ( B ) は、p チャネル型トランジスタを用いて構成した実施例 5 のブートストラップ回路の回路図であり、図 13 に示す回路に相当する。図 21 の ( C ) は、p チャネル型トランジスタを用いて構成した実施例 6 のブートストラップ回路の回路図であり、図 14 に示す回路に相当する。

【図 22】図 22 の ( A ) は、p チャネル型トランジスタを用いて構成した実施例 7 のブートストラップ回路の回路図であり、図 15 に示す回路に相当する。同様に、図 22 の ( B ) も、p チャネル型トランジスタを用いて構成した実施例 7 のブートストラップ回路の回路図であり、図 17 に示す回路に相当する。

【図 23】図 23 の ( A ) は、p チャネル型トランジスタを用いて構成したブートストラップ回路の回路図であり、図 18 の ( A ) に示す回路に相当する。図 23 の ( B ) は、p チャネル型トランジスタを用いて構成したブートストラップ回路の回路図であり、図 18

10

20

30

40

50

の ( B ) に示す回路に相当する。

【図 2 4】図 2 4 は、p チャネル型トランジスタを用いて構成したブートストラップ回路の回路図であり、図 1 9 に示す回路に相当する。

【図 2 5】図 2 5 は、1 段を基本的に 3 つのトランジスタから構成したブートストラップ動作を利用したシフトレジスタ回路の回路図である。

【図 2 6】図 2 6 の ( A ) はシフトレジスタ回路の 1 段目の回路の回路図である。図 2 6 の ( B ) はシフトレジスタ回路の 1 段目のタイミングチャートである。

【符号の説明】

【 0 1 2 0 】

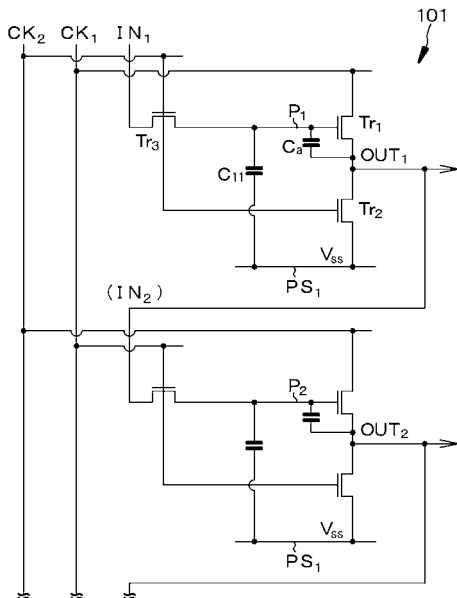
1 0 . . . 有機 E L 素子、1 0 0 . . . 電源部、1 0 1 . . . 走査回路、1 0 2 . . . 信号出力回路、1 1 0 . . . インバータ回路、S C L . . . 走査線、D T L . . . データ線、 $T r_D$  . . . 駆動トランジスタ、 $T r_W$  . . . 書込みトランジスタ、 $C_H$  . . . 保持容量、 $C_H$ 、E L P . . . 発光部、 $C_{E L}$  . . . 発光部の容量、 $T r_1$  . . . 第 1 トランジスタ、 $T r_2$  . . . 第 2 トランジスタ、 $T r_3$  . . . 第 3 トランジスタ、 $T r_{24}$ 、 $T r_{24A}$ 、 $T r_{44}$ 、 $T r_{74}$ 、 $T r_{74A}$  . . . 第 4 トランジスタ、 $T r_{75}$ 、 $T r_{75A}$  . . . 第 5 トランジスタ、 $B_{41}$  . . . 反転回路、 $T r_{40}$ 、 $T r_{41}$ 、 $T r_{42}$ 、 $T r_{43}$  . . . トランジスタ、 $Q_{n-1}$ 、 $Q_{n-2}$ 、 $Q_{n-3}$ 、 $Q_{n-4}$  . . . トランジスタ、 $P_1$ 、 $P_2$ 、 $P_{1A}$ 、 $P_{1B}$  . . . ノード部、 $Q_1$ 、 $R_1$  . . . ノード部、 $N$ 、 $A$  . . . ノード部、 $C_1$ 、 $C_2$ 、 $C_3$ 、 $C_{24}$ 、 $C_{44}$ 、 $C_{74}$ 、 $C_{75}$  . . . 寄生容量、 $C_a$ 、 $C_b$ 、 $C_c$ 、 $C_{ap}$  . . . ブートストラップ容量としての容量部、 $C_{11}$ 、 $C_{11A}$ 、 $C_{31}$ 、 $C_{31A}$ 、 $C_{51}$ 、 $C_{61}$  . . . 容量部、 $O U T_1$ 、 $O U T_2$  . . . 出力部、 $P S_1$  . . . 電圧供給線、 $P S_2$  . . . 第 2 電圧供給線

10

20

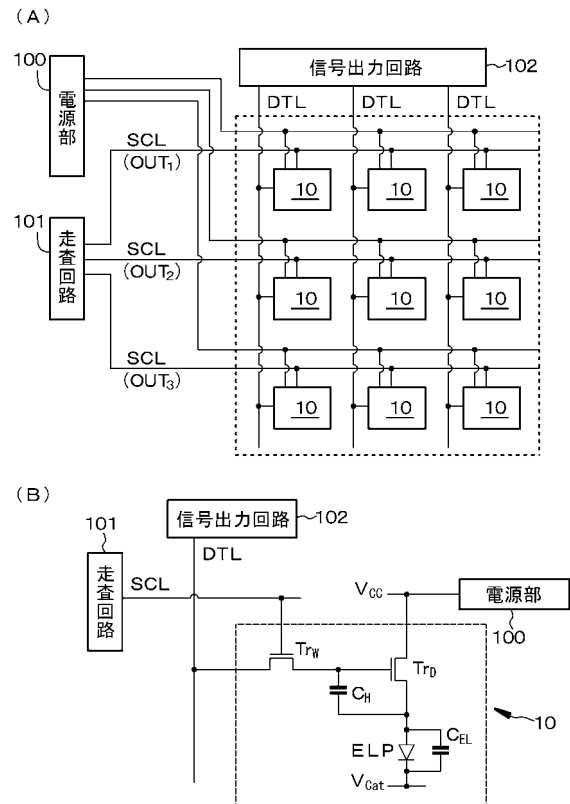
【 図 1 】

【 図 1 】 [ 実施例 1 ]



【 図 2 】

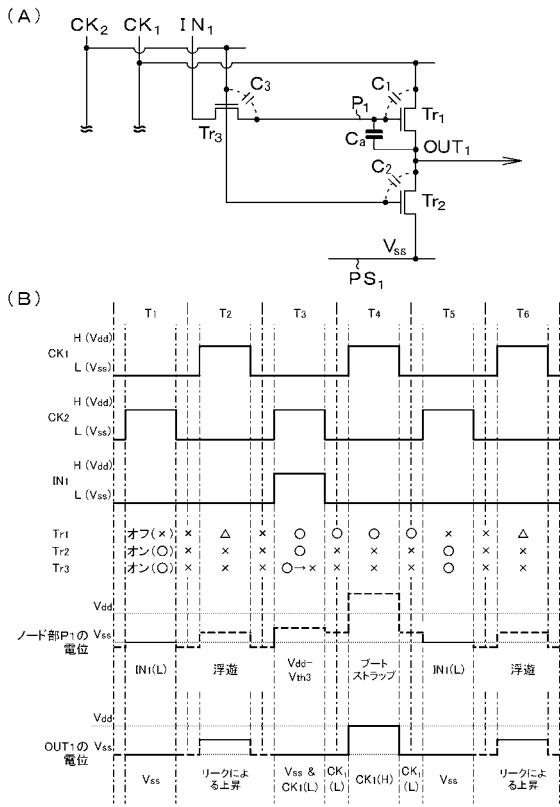
【 図 2 】 [ 実施例 1 ]





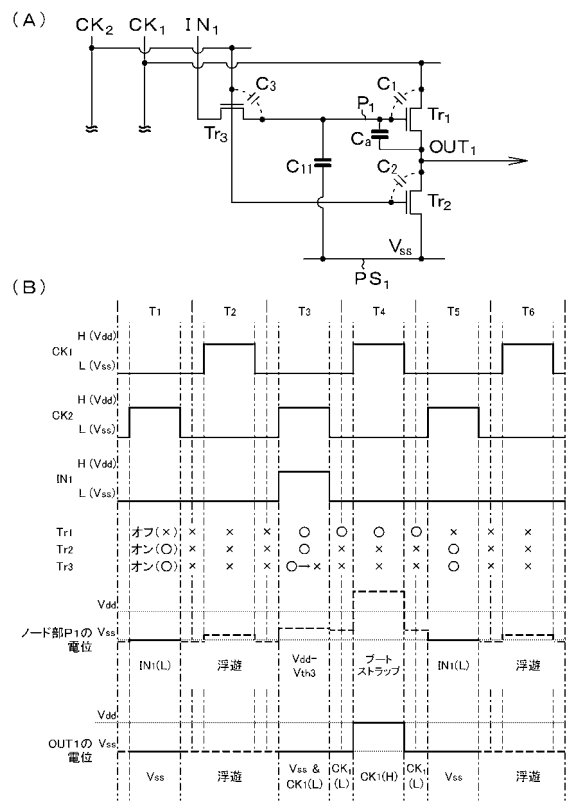
【図3】

【図3】[実際例1 (比較例)]



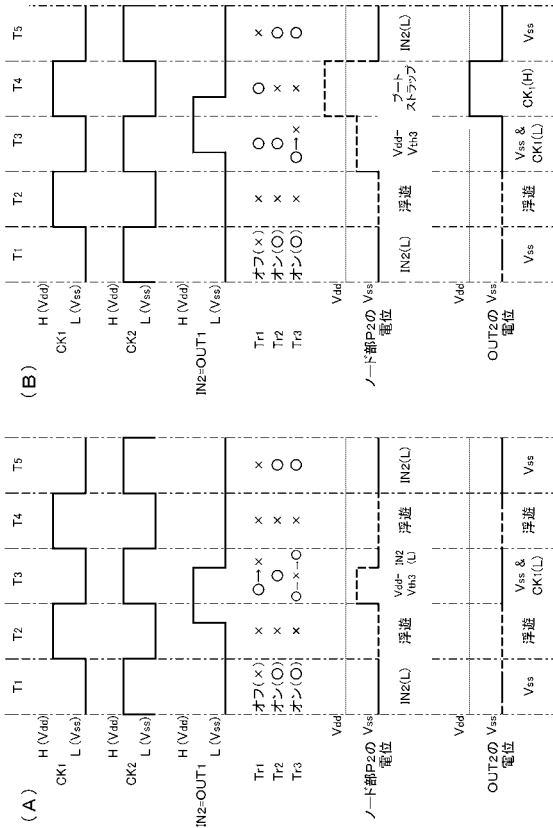
【図4】

【図4】[実施例1]



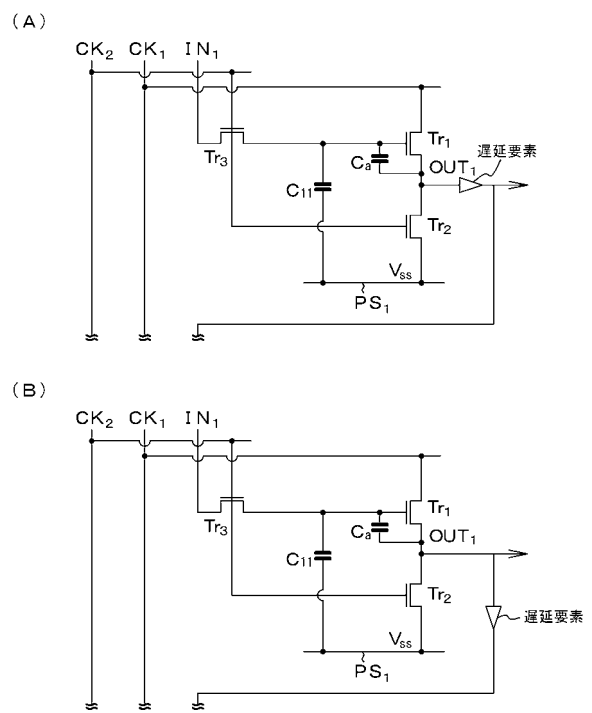
【図5】

【図5】



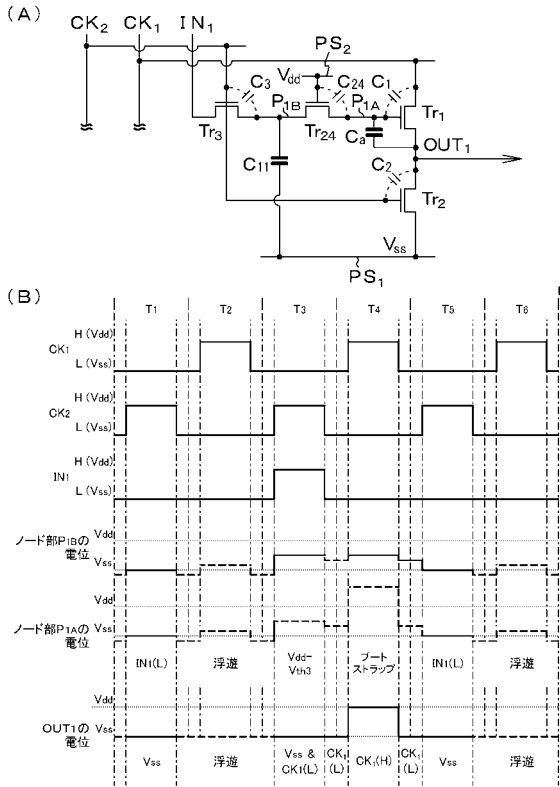
【図6】

【図6】[実施例1]



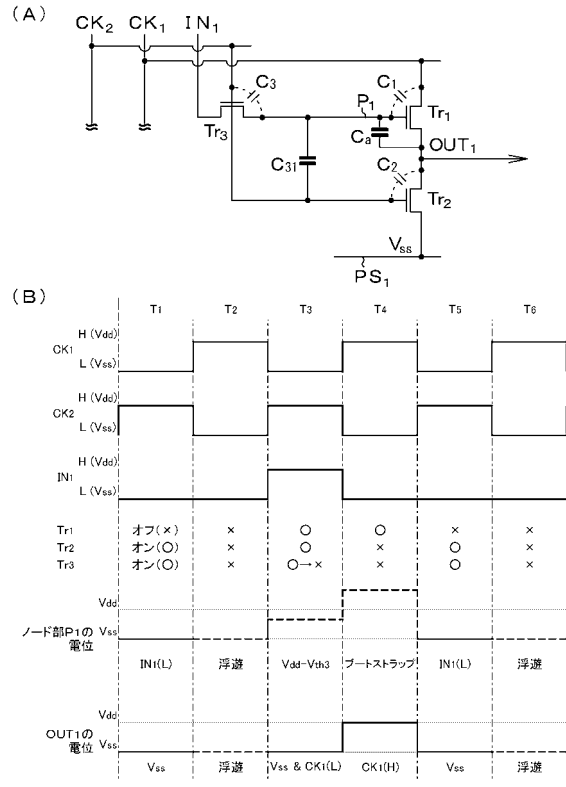
【図7】

【図7】 [実施例2]



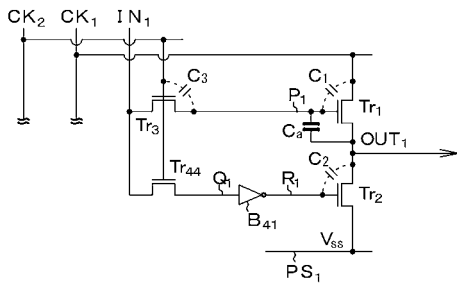
【図8】

【図8】 [実施例3]



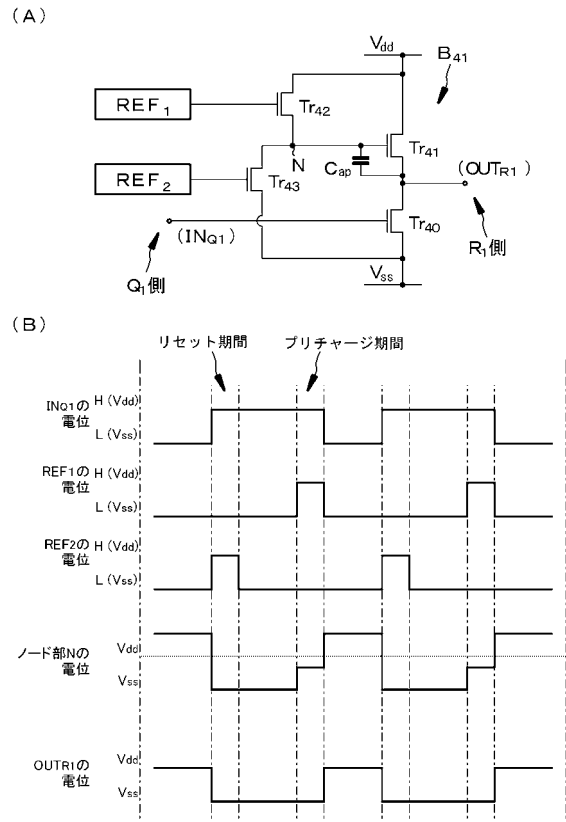
【図9】

【図9】 [実施例4]



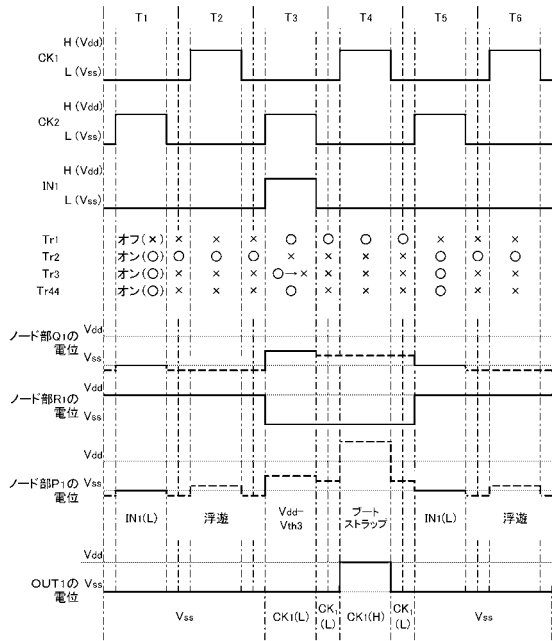
【図10】

【図10】 [実施例4]



【 図 1 1 】

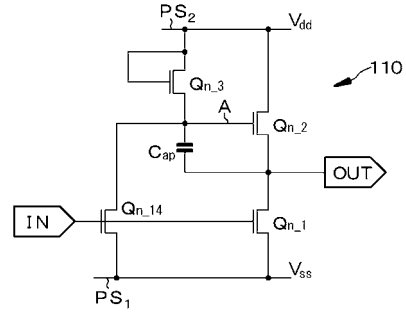
【 図 1 1 】 [ 実施例 4 ]



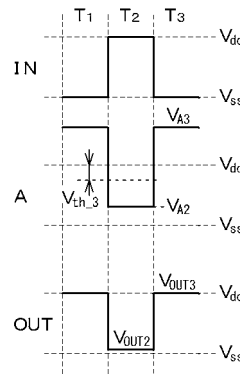
【 図 1 2 】

【 図 1 2 】

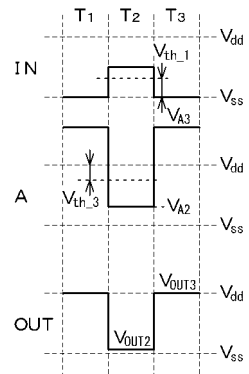
(A)



(B)

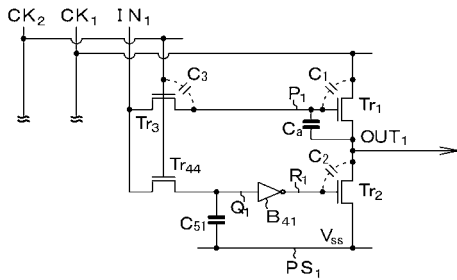


(C)



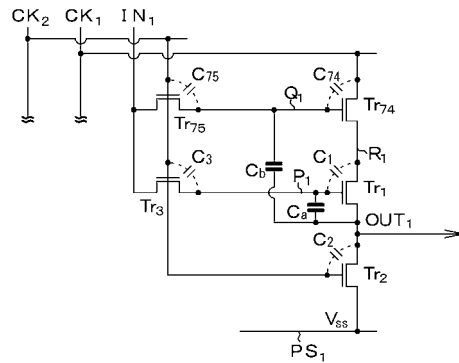
【 図 1 3 】

【 図 1 3 】 [ 実施例 5 ]



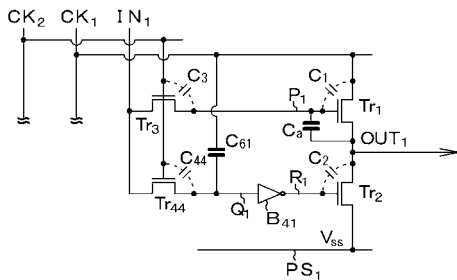
【 図 1 5 】

【 図 1 5 】 [ 実施例 7 ]



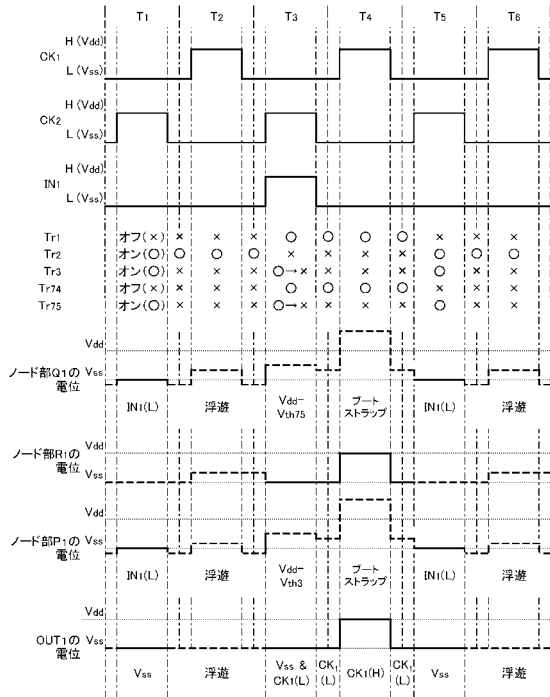
【 図 1 4 】

【 図 1 4 】 [ 実施例 6 ]



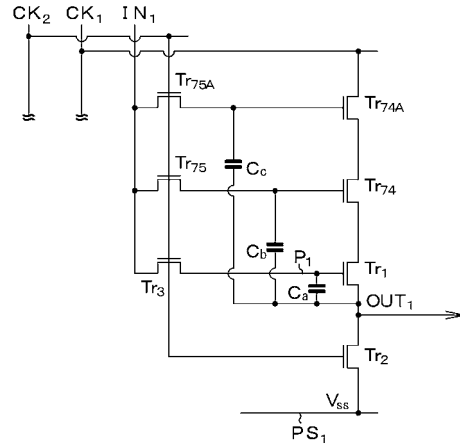
【図16】

【図16】 [実施例7]



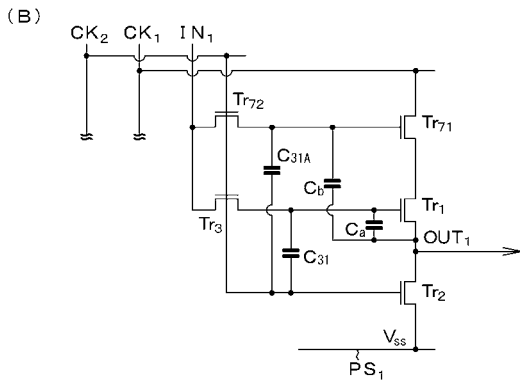
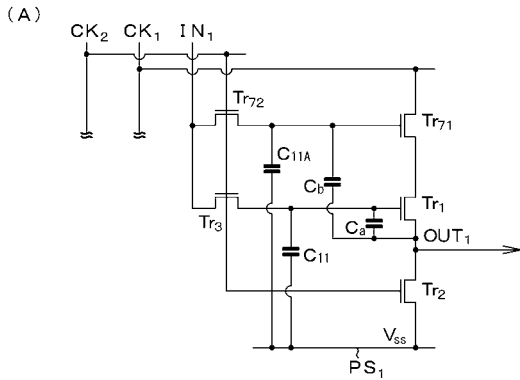
【図17】

【図17】 [実施例7]



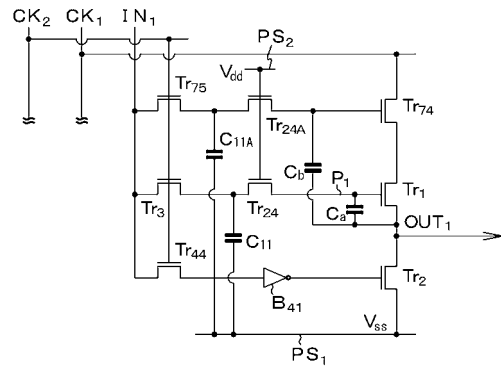
【図18】

【図18】 [実施例7]



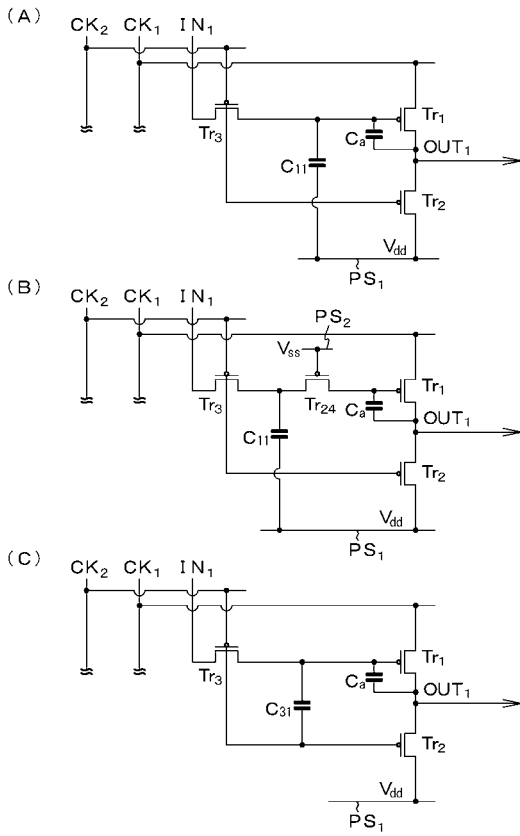
【図19】

【図19】



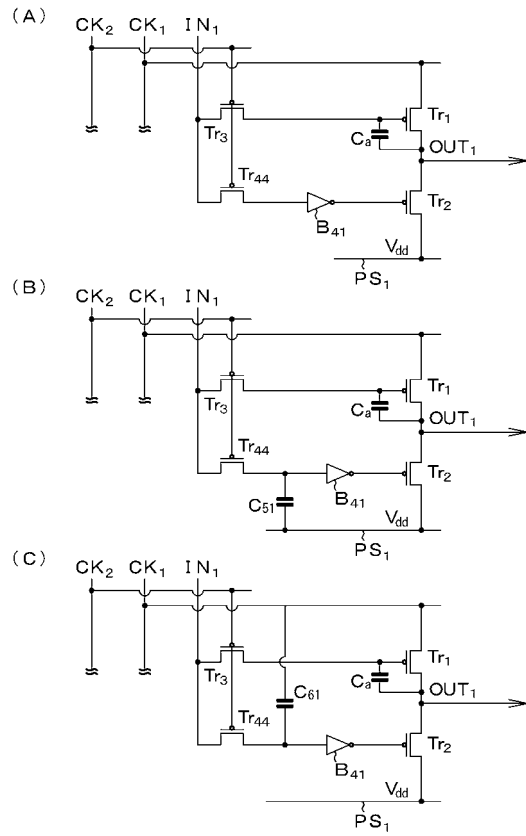
【 図 2 0 】

【 図 2 0 】



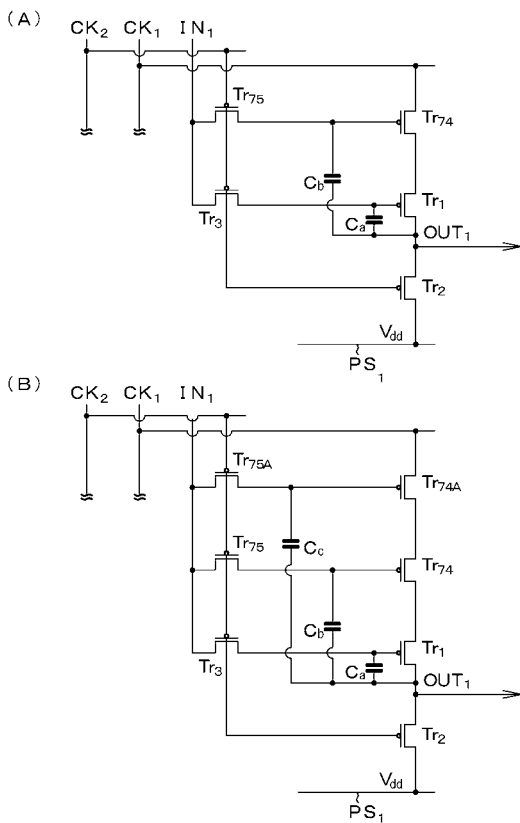
【 図 2 1 】

【 図 2 1 】



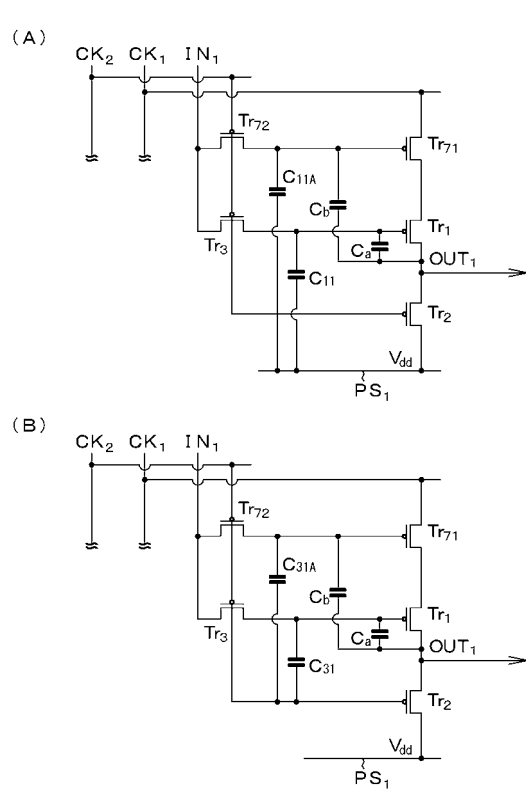
【 図 2 2 】

【 図 2 2 】



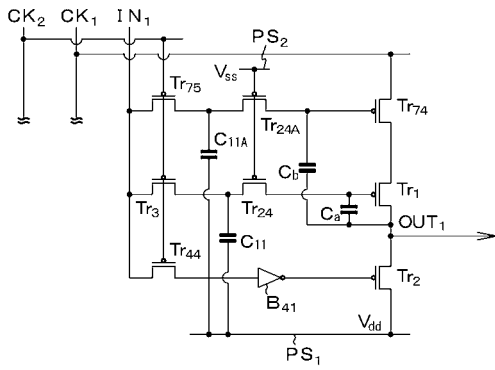
【 図 2 3 】

【 図 2 3 】



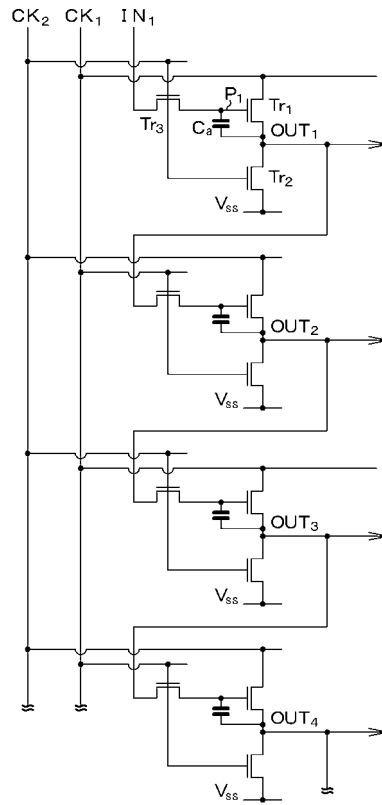
【図24】

【図24】



【図25】

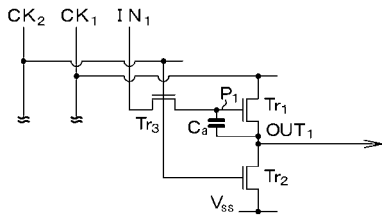
【図25】



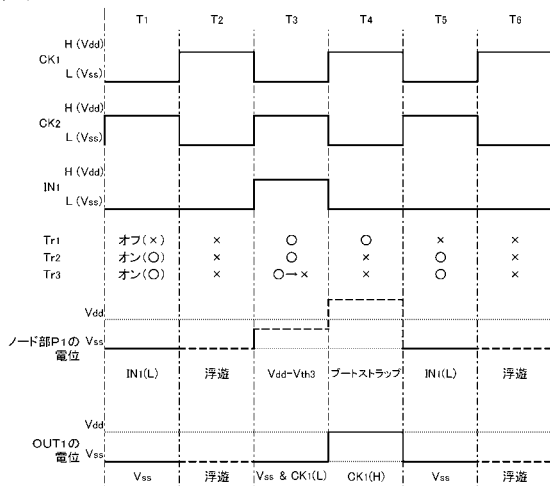
【図26】

【図26】

(A)



(B)



フロントページの続き

Fターム(参考) 5J056 AA37 BB32 CC29 DD12 DD28 DD51 EE06 FF02 FF08 GG07  
GG09 KK01