

특허청구의 범위

청구항 1.

소자분리막에 의해 한정됨과 아울러 길이 방향으로 중앙부에 홈이 형성된 액티브영역을 갖는 반도체기판;
상기 홈의 양측벽 각각 및 이들에 인접하는 기판 표면 부분 및 저면 부분 아래에 형성된 언더 단차 게이트;
상기 언더 단차 게이트 상에 형성된 게이트절연막;
상기 언더 단차 게이트 상부의 게이트절연막 부분 상에 형성되며, 실리콘 에피층으로 이루어진 채널층;
상기 언더 단차 게이트 양측의 기판 표면 내에 형성된 소오스/드레인 영역;
상기 채널층을 포함한 기판 전면 상에 형성된 층간절연막; 및
상기 층간절연막 내에 소오스영역 및 드레인영역과 각각 콘택하도록 형성된 랜딩플러그;를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 2.

제 1 항에 있어서,
상기 언더 단차 게이트는 각각 "L" 및 "J" 형상을 갖는 것을 특징으로 하는 반도체 소자.

청구항 3.

삭제

청구항 4.

소자분리막에 의해 액티브영역이 한정된 반도체기판을 마련하는 단계;
상기 액티브영역의 게이트 형성 부분을 식각하여 제1홈을 형성하는 단계;
상기 제1홈 내에 도전막을 매립시키는 단계;
상기 액티브영역의 드레인영역 형성 부분과 그 양측의 제1홈들 내에 매립된 폴리실리콘막의 일부 폭을 식각하여 제2홈을 형성함과 아울러 상기 제2홈의 양측벽 각각 및 이들에 인접하는 기판 표면 부분 및 저면 부분 아래에 언더 단차 게이트를 형성하는 단계;
상기 언더 단차 게이트를 포함한 기판 표면 상에 게이트절연막을 형성하는 단계;
상기 언더 단차 게이트 상부의 게이트절연막 부분 상에 채널층을 형성하는 단계;
상기 언더 단차 게이트 양측의 기판 표면 내에 소오스/드레인 영역을 형성하는 단계;
상기 채널층을 포함한 기판 전면 상에 층간절연막을 형성하는 단계; 및

상기 층간절연막 내에 소오스영역 및 드레인영역과 각각 콘택하는 랜딩플러그를 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5.

제 4 항에 있어서,

상기 도전막은 폴리실리콘막인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6.

제 4 항에 있어서,

상기 언더 단차 게이트는 각각 "L" 및 "J" 형상을 갖도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 7.

제 4 항에 있어서,

상기 채널층을 형성하는 단계는, 상기 게이트절연막 상에 선택적 에피택셜 성장 공정을 통해 실리콘 에피층을 성장시키는 단계; 및 상기 실리콘 에피층을 식각하는 단계;로 구성되는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 8.

제 7 항에 있어서,

상기 실리콘 에피층을 식각하는 단계는 소오스/드레인 영역 상의 게이트절연막 부분이 잔류되도록 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 9.

제 8 항에 있어서,

상기 소오스/드레인 영역 상의 잔류된 게이트절연막 부분은 상기 소오스/드레인 영역을 형성하기 위한 이온주입시 버퍼막으로 이용하는 것을 특징으로 하는 반도체 소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자에 관한 것으로, 보다 상세하게는, 게이트의 기울어짐 및 그로인한 랜딩플러그콘택의 낮 오픈 페일(not open fail)의 발생을 방지할 수 있는 언더 단차 게이트(under stepped gate)를 갖는 반도체 소자 및 그의 제조방법에 관한 것이다.

디램과 같은 메모리 반도체 소자의 고집적화가 급격히 진행됨에 따라 기존의 평면형 트랜지스터 구조로는 셀 지역의 문턱 전압 마진 및 리프레쉬 시간 감소로 상당한 어려움을 겪고 있다. 이에, 소자의 고집적화에 부합하는 문턱전압을 확보하면서 리프레쉬 특성을 확보하기 위한 다양한 연구들이 진행되고 있다.

이러한 노력의 하나로, 최근 STAR(Step-gated asymmetry recess) 셀 구조가 제안되었다. 상기 STAR 셀은, 도 1에 도시된 바와 같이, 소자분리막(2)에 의해 한정된 기판(1)의 액티브영역 일부, 예컨대, 액티브영역의 길이 방향에 대해서 양측 가장자리부 각각을 리세스시켜 상기 액티브영역이 단차지도록 만든 후, 단차진 액티브영역 부분에 게이트(6)를 형성하여 모스펫 소자의 유효 채널 길이를 증가시켜 준 구조이다.

이러한 STAR 셀에 따르면, 단채널효과를 감소시킴으로써 낮은 문턱전압 도우즈(Vt dose)로도 원하는 정도의 문턱전압을 얻을 수 있고, 또한, 모스펫 소자에 걸리는 전계를 낮춤으로써 리프레쉬 시간을 기존의 평면형 셀 구조에 비해 3배 이상 개선시킬 수 있다.

특히, 이와 같은 STAR 셀은 기존 공정에 간단한 공정을 추가하거나 변경하여 구현할 수 있으므로 그 적용이 매우 용이하며, 그래서, 현재 메모리 반도체 소자의 고집적화에 따른 문턱전압 마진 및 리프레쉬 시간의 감소 문제를 해결할 수 있는 매우 유효한 방법으로 대두되고 있다.

그러나, 전술한 STAR 셀을 형성함에 있어서는, 도 1에 도시된 바와 같이, 게이트(6)가 단차진 액티브영역 상에 형성되는 것으로 인해 기울어짐(leaning) 현상이 발생하는 문제점이 있다.

또한, 이렇게 게이트(6)의 기울어짐이 발생됨에 따라 후속하는 랜딩플러그콘택(Landing Plug Contact; 이하, LPC) 공정에서 콘택 부분이 노출되지 않는 불량, 즉, LPC 낮 오픈 페일(LPC not open fail)이 발생하는 심각한 문제점이 있다.

도 1에서, 미설명된 도면부호 1은 반도체기판, 2는 소자분리막, 3은 게이트절연막, 4는 게이트도전막, 그리고, 5는 하드마스크막을 각각 나타낸다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 바와 같은 종래의 제반 문제점들을 해결하기 위해 안출된 것으로서, 게이트의 기울어짐 발생을 방지할 수 있는 반도체 소자 및 그의 제조방법을 제공함에 그 목적이 있다.

또한, 본 발명은 게이트의 기울어짐을 방지함으로써 LPC 낮 오픈 페일의 발생을 방지할 수 있는 반도체 소자 및 그의 제조방법을 제공함에 그 다른 목적이 있다.

발명의 구성

상기와 같은 목적을 달성하기 위하여, 본 발명은, 소자분리막에 의해 한정됨과 아울러 길이 방향으로 중앙부에 홈이 형성된 액티브영역을 갖는 반도체기판; 상기 홈의 양측벽 각각 및 이들에 인접하는 기판 표면 부분 및 저면 부분 아래에 형성된 언더 단차 게이트; 상기 언더 단차 게이트 상에 형성된 게이트절연막; 상기 언더 단차 게이트 상부의 게이트절연막 부분에 상에 형성되며, 실리콘 에피층으로 이루어진 채널층; 상기 언더 단차 게이트 양측의 기판 표면 내에 형성된 소오스/드레인 영역; 상기 채널층을 포함한 기판 전면 상에 형성된 층간절연막; 및 상기 층간절연막 내에 소오스영역 및 드레인영역과 각각 콘택하도록 형성된 랜딩플러그;를 포함하는 반도체 소자를 제공한다.

여기서, 상기 언더 단차 게이트는 각각 "L" 및 "J" 형상을 가지며, 상기 채널층은 실리콘 에피층으로 이루어진다.

또한, 상기와 같은 목적을 달성하기 위하여, 본 발명은, 소자분리막에 의해 액티브영역이 한정된 반도체기판을 마련하는 단계; 상기 액티브영역의 게이트 형성 부분을 식각하여 제1홈을 형성하는 단계; 상기 제1홈 내에 도전막을 매립시키는 단계; 상기 액티브영역의 드레인영역 형성 부분과 그 양측의 제1홈들 내에 매립된 폴리실리콘막의 일부 폭을 식각하여 제2홈을 형성함과 아울러 상기 제2홈의 양측벽 각각 및 이들에 인접하는 기판 표면 부분 및 저면 부분 아래에 언더 단차 게이트를 형성하는 단계; 상기 언더 단차 게이트를 포함한 기판 표면 상에 게이트절연막을 형성하는 단계; 상기 언더 단차 게이트 상부의 게이트절연막 부분에 채널층을 형성하는 단계; 상기 언더 단차 게이트 양측의 기판 표면 내에 소오스/드레인 영역을 형성하는 단계; 상기 채널층을 포함한 기판 전면 상에 층간절연막을 형성하는 단계; 및 상기 층간절연막 내에 소오스영역 및 드레인영역과 각각 콘택하는 랜딩플러그를 형성하는 단계;를 포함하는 반도체 소자의 제조방법을 제공한다.

여기서, 상기 도전막은 폴리실리콘막을 사용한다.

상기 언더 단차 게이트는 각각 "L" 및 "J" 형상을 갖도록 형성한다.

상기 채널층을 형성하는 단계는, 상기 게이트절연막 상에 선택적 에피택셜 성장 공정을 통해 실리콘 에피층을 성장시키는 단계; 및 상기 실리콘 에피층을 식각하는 단계;로 구성된다. 이때, 상기 실리콘 에피층을 식각하는 단계는 소오스/드레인 영역 상의 게이트절연막 부분이 잔류되도록 수행하며, 상기 소오스/드레인 영역 상의 잔류된 게이트절연막 부분은 상기 소오스/드레인 영역을 형성하기 위한 이온주입시 버퍼막으로 이용한다.

(실시예)

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

도 2a 내지 도 2f는 본 발명에 따른 반도체 소자의 제조방법을 설명하기 위한 공정별 단면도로서, 이를 설명하면 다음과 같다.

도 2a를 참조하면, 공지의 STI(Shallow Trench Isolation) 공정에 따라 액티브영역을 한정하는 트렌치형의 소자분리막(22)이 형성된 반도체기판(21)을 마련한다. 그런다음, 상기 기판(21) 상에 액티브영역의 게이트 형성 부분들을 노출시키는 리세스 마스크(도시안됨)를 형성한 후, 상기 노출된 액티브영역의 게이트 형성 부분들을 소정 깊이만큼 식각하여 각각 제1홈(23)을 형성한다.

여기서, 상기 리세스 마스크는 버퍼산화막과 폴리실리콘막의 적층막으로 구성함이 바람직하며, 경우에 따라서 감광막으로 형성할 수 있으며, 그 밖에 실리콘에 대해 큰 식각선택비를 갖는 물질로도 형성 가능하다.

도 2b를 참조하면, 상기 리세스 마스크를 제거한 후, 제1홈(23)을 매립하도록 소자분리막(22)을 포함한 기판(21)의 전면 상에 게이트용 도전막, 바람직하게, 폴리실리콘막(24)을 증착한다. 그런다음, 기판(21) 표면이 노출될 때까지 상기 폴리실리콘막(24)을 에치백 또는 CMP(Chemical Mechanical Polishing)한다.

도 2c를 참조하면, 드레인영역이 형성될 기판 액티브영역 부분과 그 양측의 제1홈들(23) 내에 각각 매립된 폴리실리콘막(24)의 일부 폭을 소정 깊이만큼 식각하여 제2홈(25)을 형성하고, 이를 통해, 상기 제2홈(25)의 양측벽 각각 및 이들에 인접하는 기판 표면 부분 및 저면 부분 아래에 각각 "L" 및 "J" 형상을 언더 단차 게이트(under stepped gate; 26)들을 형성한다.

여기서, 본 발명은 채널 길이를 증가시키고자 게이트(26)를 단차진 구조로 형성되 기판(21) 내에 배치되는 언더 단차 구조로 형성하기 때문에 상기 게이트(26)의 기울어짐은 발생되지 않으며, 따라서, 본 발명의 경우에는 후속 LPC 공정에서의 낮 오픈 페일 또한 유발되지 않는다.

도 2d를 참조하면, 상기 단계까지의 기판 결과물에 대해 게이트 산화 공정을 진행하여 언더 단차 게이트(26)를 포함한 기판(21)의 표면에 게이트산화막(27)을 형성한다. 여기서, 상기 게이트산화막(27)은 산화 공정을 통해 형성하였지만, 증착 공정으로도 형성 가능하며, 또한, 산화막 물질로서 실리콘산화막은 물론 고유전율 산화막을 적용할 수 있다. 아울러, 본 발명은 게이트절연막으로서 산화막을 적용하였지만, 산화막 대신에 질화막을 적용하는 것은 물론 산화막과 질화막의 적층막을 적용하는 것도 가능하다.

도 2e를 참조하면, 상기 게이트산화막(27) 상에 선택적 에피택셜 성장 공정을 통해 실리콘 에피층을 형성한 후, 상기 실리콘 에피층을 식각하여 언더 단차 게이트(26) 상부의 게이트산화막 부분 상에 채널층(28)을 형성한다. 이때, 상기 채널층(28)을 형성하기 위한 실리콘 에피층의 식각시에는 언더 단차 게이트(26) 양측의 게이트산화막 부분을 제거하지 않고 잔류시킴이 바람직하다.

그 다음, 잔류시킨 게이트산화막 부분을 버퍼막으로 이용해서 기판 결과물에 대해 소오스/드레인 이온주입 공정을 수행하고, 이를 통해, 언더 단차 게이트(26) 양측의 기판 액티브영역의 표면 내에 소오스영역(29a) 및 드레인영역(29b)을 형성한다.

도 2f를 참조하면, 상기 단계까지의 기판 결과물 상에 질화막으로 이루어진 층간절연막(30)을 형성한다. 그런다음, LPC 공정에 따라 상기 층간절연막(30) 및 잔류된 게이트산화막(27)을 식각하여 소오스/드레인 영역(29a, 29b)을 각각 노출시키는 콘택홀들을 형성한 후, 각 콘택홀 내에 도전막, 예컨대, 폴리실리콘막을 매립시켜 랜딩플러그(31)를 형성한다.

여기서, 전술한 바와 같이 본 발명에서는 게이트(26)를 언더 단차 구조로 형성한 것과 관련해서 상기 게이트(26)의 기울어짐이 발생되지 않으므로, 상기 콘택홀의 형성시, 즉, LPC의 형성시 그의 낮 오픈 페일 또한 유발되지 않는다. 따라서, 본 발명은 상기 랜딩플러그(31)의 형성을 안정적으로 행할 수 있다.

이후, 도시하지는 않았으나, 공지된 일련의 후속 공정들을 차례로 수행하여 본 발명에 따른 반도체 소자의 제조를 완성한다.

이상, 여기에서는 본 발명을 특정 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구의 범위는 본 발명의 정신과 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당업계에서 통상의 지식을 가진 자가 용이하게 알 수 있다.

발명의 효과

이상에서와 같이, 본 발명은 게이트를 기판 내에 언더 단차 구조로 형성하기 때문에 상기 게이트의 기울어짐 현상을 근본적으로 제거할 수 있으며, 이에 따라, 후속하는 LPC 공정에서 낮 오픈 페일이 유발되는 것을 방지할 수 있다. 따라서, 본 발명은 공정 신뢰성을 확보할 수 있으며, 그래서, 소망하는 소자 특성을 갖는 고집적 메모리 반도체 소자를 구현할 수 있다.

도면의 간단한 설명

도 1은 종래의 STAR(Step-gated asymmetry recess) 셀을 도시한 단면도.

도 2a 내지 도 2f는 본 발명에 따른 반도체 소자의 제조방법을 설명하기 위한 공정별 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

21 : 반도체기판 22 : 소자분리막

23 : 제1홈 24 : 폴리실리콘막

25 : 제2홈 26 : 단차 게이트

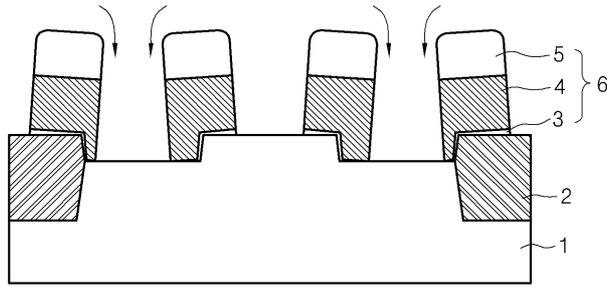
27 : 게이트산화막 28 : 채널층

29a : 소오스영역 29b : 드레인영역

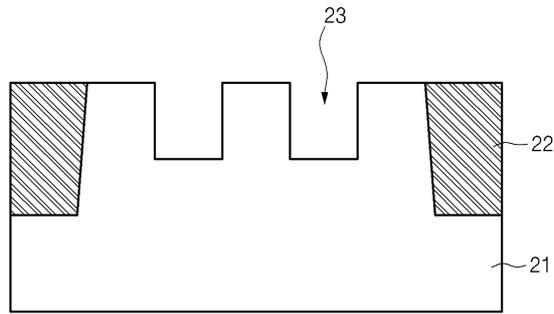
30 : 층간절연막 31 : 랜딩플러그

도면

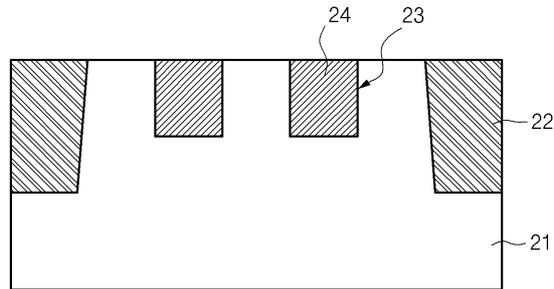
도면1



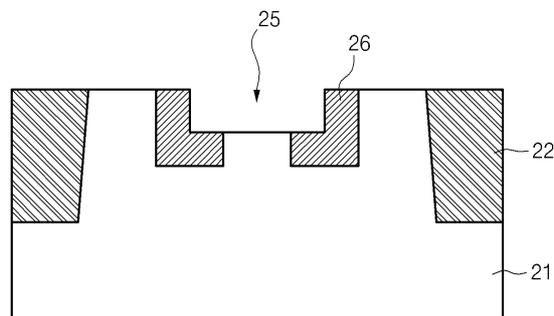
도면2a



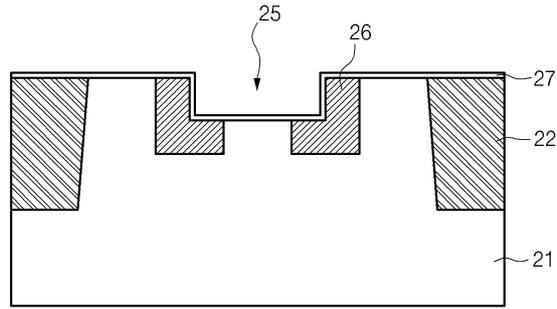
도면2b



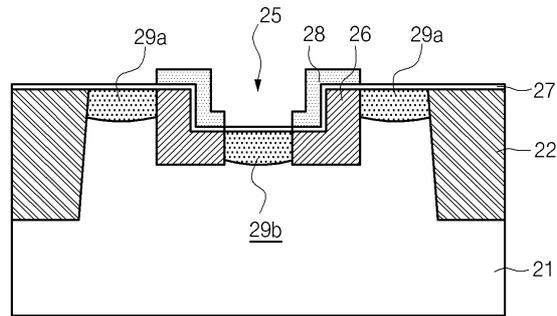
도면2c



도면2d



도면2e



도면2f

