



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년02월03일
 (11) 등록번호 10-1702105
 (24) 등록일자 2017년01월25일

(51) 국제특허분류(Int. Cl.)
 G09G 3/36 (2006.01) G02F 1/133 (2006.01)
 G02F 1/1362 (2006.01)
 (21) 출원번호 10-2010-0056981
 (22) 출원일자 2010년06월16일
 심사청구일자 2015년06월12일
 (65) 공개번호 10-2011-0137015
 (43) 공개일자 2011년12월22일
 (56) 선행기술조사문헌
 JP2006126842 A
 JP평성09015641 A
 JP2001352069 A
 JP2004078187 A

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
 고준철
 경기도 화성시 동탄반석로 42 603동 1804호 (반송동, 나루마을한화우림아파트)
 채중철
 서울특별시 서초구 반포대로 275 116동 2701호 (반포동, 래미안퍼스티지아파트)
 (뒷면에 계속)
 (74) 대리인
 팬코리아특허법인

전체 청구항 수 : 총 20 항

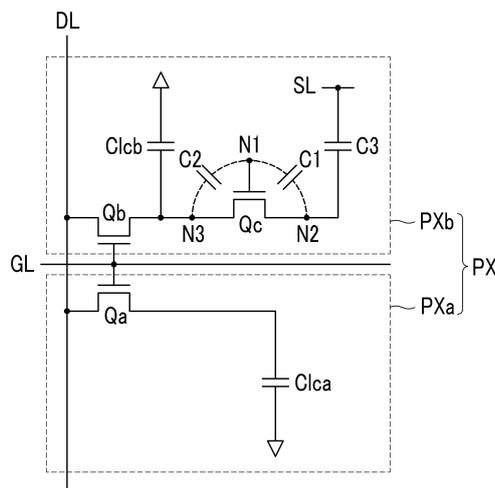
심사관 : 추장희

(54) 발명의 명칭 액정 표시 장치 및 그 구동 방법

(57) 요약

본 발명은 액정 표시 장치에 관한 발명으로서, 본 발명의 한 실시예에 따른 액정 표시 장치는 게이트선, 상기 게이트선과 절연되어 교차하는 데이터선, 상기 게이트선 및 상기 데이터선과 분리되어 있으며 일정 전압을 전달하는 공통 전압선, 상기 게이트선 및 상기 데이터선과 연결되어 있는 제1 스위칭 소자, 상기 게이트선 및 상기 데이터선과 연결되어 있는 제2 스위칭 소자, 상기 제1 스위칭 소자와 연결되어 있는 제1 액정 축전기, 상기 제2 스위칭 소자와 연결되어 있는 제2 액정 축전기, 상기 제2 스위칭 소자와 연결되어 있는 입력 단자, 플로팅되어 있는 제어 단자, 그리고 출력 단자를 포함하는 제3 스위칭 소자, 그리고 상기 제3 스위칭 소자와 상기 공통 전압선에 연결되어 있는 제3 축전기를 포함한다.

대표도 - 도2



(72) 발명자

이성형

경기도 안양시 만안구 안양로468번길 25-19, 2층
(석수동)

정광철

경기도 성남시 수정구 수정로 60, 403호 (수진동,
태평오피스텔)

윤영수

경기도 안양시 동안구 관평로319번길 38, 삼성인덕
원 아파트 112동 1602호 (관양동, 덕원아파트)

명세서

청구범위

청구항 1

게이트선,

상기 게이트선과 절연되어 교차하는 데이터선,

상기 게이트선 및 상기 데이터선과 분리되어 있으며 일정 전압을 전달하는 공통 전압선,

상기 게이트선 및 상기 데이터선과 연결되어 있는 제1 박막 트랜지스터,

상기 게이트선 및 상기 데이터선과 연결되어 있는 제2 박막 트랜지스터,

상기 제1 박막 트랜지스터와 연결되어 있는 제1 액정 축전기,

상기 제2 박막 트랜지스터와 연결되어 있는 제2 액정 축전기,

상기 제2 박막 트랜지스터와 연결되어 있는 입력 단자, 플로팅되어 있는 제어 단자, 그리고 출력 단자를 포함하는 제3 박막 트랜지스터,

상기 출력 단자와 상기 제어 단자 사이의 제1 기생 축전기,

상기 입력 단자와 상기 제어 단자 사이의 제2 기생 축전기, 그리고

상기 제3 박막 트랜지스터와 상기 공통 전압선에 연결되어 있는 제3 축전기

를 포함하는 액정 표시 장치.

청구항 2

제1항에서,

상기 제3 박막 트랜지스터의 상기 출력 단자와 상기 제어 단자는 제1 축전기를 형성하고, 상기 제3 박막 트랜지스터의 상기 입력 단자와 상기 제어 단자는 제2 축전기를 형성하는 액정 표시 장치.

청구항 3

제2항에서,

상기 데이터선을 통해 인가되는 데이터 전압의 공통 전압에 대한 극성이 프레임마다 반전되도록 제어하는 제어 부를 더 포함하는 액정 표시 장치.

청구항 4

제3항에서,

상기 제1 박막 트랜지스터의 제어 단자와 상기 제2 박막 트랜지스터의 제어 단자는 상기 게이트선에 연결되어 있고,

상기 제1 박막 트랜지스터의 입력 단자와 상기 제2 박막 트랜지스터의 입력단자는 상기 데이터선에 연결되어 있고,

상기 제1 박막 트랜지스터의 출력 단자는 상기 제1 액정 축전기와 연결되어 있으며,

상기 제2 박막 트랜지스터의 출력 단자는 상기 제2 액정 축전기 및 상기 제3 박막 트랜지스터의 상기 입력 단자와 연결되어 있는

액정 표시 장치.

청구항 5

제1항에서,

상기 데이터선을 통해 인가되는 데이터 전압의 공통 전압에 대한 극성이 프레임마다 반전되도록 제어하는 제어 부를 더 포함하는 액정 표시 장치.

청구항 6

제1항에서,

상기 제1 박막 트랜지스터의 제어 단자와 상기 제2 박막 트랜지스터의 제어 단자는 상기 게이트선에 연결되어 있고,

상기 제1 박막 트랜지스터의 입력 단자와 상기 제2 박막 트랜지스터의 입력단자는 상기 데이터선에 연결되어 있고,

상기 제1 박막 트랜지스터의 출력 단자는 상기 제1 액정 축전기와 연결되어 있으며,

상기 제2 박막 트랜지스터의 출력 단자는 상기 제2 액정 축전기 및 상기 제3 박막 트랜지스터의 상기 입력 단자와 연결되어 있는

액정 표시 장치.

청구항 7

서로 마주하는 제1 기판 및 제2 기판,

상기 제1 기판 위에 형성되어 있는 게이트선, 데이터선 및 공통 전압선,

상기 게이트선 및 상기 데이터선과 연결되어 있는 제1 박막 트랜지스터,

상기 게이트선 및 상기 데이터선과 연결되어 있는 제2 박막 트랜지스터,

상기 제1 박막 트랜지스터와 연결되어 있는 제1 부화소 전극,

상기 제2 박막 트랜지스터와 연결되어 있는 제2 부화소 전극,

상기 제2 박막 트랜지스터와 연결되어 있는 입력 단자, 플로팅되어 있는 제어 단자, 그리고 출력 단자를 포함하는 제3 박막 트랜지스터,

상기 출력 단자와 상기 제어 단자 사이의 제1 기생 축전기,

상기 입력 단자와 상기 제어 단자 사이의 제2 기생 축전기, 그리고

상기 제3 박막 트랜지스터와 상기 공통 전압선의 일부를 두 단자로서 포함하는 제3 축전기

를 포함하는 액정 표시 장치.

청구항 8

제7항에서,

상기 제3 박막 트랜지스터의 상기 출력 단자와 상기 제어 단자는 제1 축전기를 형성하고, 상기 제3 박막 트랜지스터의 상기 입력 단자와 상기 제어 단자는 제2 축전기를 형성하는 액정 표시 장치.

청구항 9

제8항에서,

상기 데이터선을 통해 인가되는 데이터 전압의 공통 전압에 대한 극성이 프레임마다 반전되도록 제어하는 제어 부를 더 포함하는 액정 표시 장치.

청구항 10

제9항에서,

상기 제1 박막 트랜지스터의 제어 단자와 상기 제2 박막 트랜지스터의 제어 단자는 상기 게이트선에 연결되어

있고,

상기 제1 박막 트랜지스터의 입력 단자와 상기 제2 박막 트랜지스터의 입력단자는 상기 데이터선에 연결되어 있고,

상기 제1 박막 트랜지스터의 출력 단자는 상기 제1 부화소 전극과 연결되어 있으며,

상기 제2 박막 트랜지스터의 출력 단자는 상기 제2 부화소 전극 및 상기 제3 박막 트랜지스터의 상기 입력 단자와 연결되어 있는

액정 표시 장치.

청구항 11

제10항에서,

상기 제2 기판 위에 형성되어 있으며 공통 전압을 인가 받는 대향 전극을 더 포함하는 액정 표시 장치.

청구항 12

제7항에서,

상기 데이터선을 통해 인가되는 데이터 전압의 공통 전압에 대한 극성이 프레임마다 반전되도록 제어하는 제어 부를 더 포함하는 액정 표시 장치.

청구항 13

제7항에서,

상기 제1 박막 트랜지스터의 제어 단자와 상기 제2 박막 트랜지스터의 제어 단자는 상기 게이트선에 연결되어 있고,

상기 제1 박막 트랜지스터의 입력 단자와 상기 제2 박막 트랜지스터의 입력단자는 상기 데이터선에 연결되어 있고,

상기 제1 박막 트랜지스터의 출력 단자는 상기 제1 부화소 전극과 연결되어 있으며,

상기 제2 박막 트랜지스터의 출력 단자는 상기 제2 부화소 전극 및 상기 제3 박막 트랜지스터의 상기 입력 단자와 연결되어 있는

액정 표시 장치.

청구항 14

제7항에서,

상기 제2 기판 위에 형성되어 있으며 공통 전압을 인가 받는 대향 전극을 더 포함하는 액정 표시 장치.

청구항 15

게이트선, 상기 게이트선과 절연되어 교차하는 데이터선, 상기 게이트선 및 상기 데이터선과 분리되어 있으며 일정 전압을 전달하는 공통 전압선, 상기 게이트선 및 상기 데이터선과 연결되어 있는 제1 박막 트랜지스터, 상기 게이트선 및 상기 데이터선과 연결되어 있는 제2 박막 트랜지스터, 상기 제1 박막 트랜지스터와 연결되어 있는 제1 액정 축전기, 상기 제2 박막 트랜지스터와 연결되어 있는 제2 액정 축전기, 상기 제2 박막 트랜지스터와 연결되어 있는 입력 단자, 플로팅되어 있는 제어 단자, 그리고 출력 단자를 포함하는 제3 박막 트랜지스터, 상기 출력 단자와 상기 제어 단자 사이의 제1 기생 축전기, 상기 입력 단자와 상기 제어 단자 사이의 제2 기생 축전기, 그리고 상기 제3 박막 트랜지스터와 상기 공통 전압선에 연결되어 있는 제3 축전기를 포함하는 액정 표시 장치에서,

상기 데이터선에 데이터 전압을 인가하는 단계,

상기 게이트선에 게이트 온 전압을 인가하여 상기 제1 액정 축전기 및 상기 제2 액정 축전기를 제1 전압으로 충전시키는 단계, 그리고

상기 제3 박막 트랜지스터를 통해 상기 제2 액정 축전기의 충전 전압을 변화시키는 단계를 포함하는 액정 표시 장치의 구동 방법.

청구항 16

제15항에서,

상기 제3 박막 트랜지스터에서, 상기 제어 단자의 전압은 상기 입력 단자의 전압과 상기 출력 단자의 전압 사이의 값 또는 상기 입력 단자의 전압 및 상기 출력 단자의 전압과 동일한 값을 가지는 액정 표시 장치의 구동 방법.

청구항 17

제16항에서,

상기 게이트선에 게이트 오프 전압이 인가된 후, 상기 제3 박막 트랜지스터에서, 상기 제어 단자, 상기 입력 단자 및 상기 출력 단자의 전압은 한 프레임의 50% 이상의 시간 동안 서로 동일한 값을 가지는 액정 표시 장치의 구동 방법.

청구항 18

제17항에서,

상기 데이터선을 통해 인가되는 데이터 전압의 공통 전압에 대한 극성을 프레임마다 반전하는 단계를 더 포함하는 액정 표시 장치의 구동 방법.

청구항 19

제15항에서,

상기 게이트선에 게이트 오프 전압이 인가된 후, 상기 제3 박막 트랜지스터에서, 상기 제어 단자, 상기 입력 단자 및 상기 출력 단자의 전압은 한 프레임의 50% 이상의 시간 동안 서로 동일한 값을 가지는 액정 표시 장치의 구동 방법.

청구항 20

제15항에서,

상기 데이터선을 통해 인가되는 데이터 전압의 공통 전압에 대한 극성을 프레임마다 반전하는 단계를 더 포함하는 액정 표시 장치의 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치 및 그 구동 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극(field generating electrode) 및 액정층을 포함한다. 액정 표시 장치는 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 방향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0003] 액정 표시 장치 중에서 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode) 액정 표시 장치는 대비비가 크고 넓은 기준 시야각 구현이 용이하여 각광받고 있다.

[0004] 한편 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어질 수 있는데, 이를 해결하기 위하여 하나의 화소를 두 개의 부화소로 분할하고 두 개의 부화소의 전압을 달리하는 방법이 제시되었다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 개구율을 낮추지 않으면서 측면 시인성을 향상할 수 있고, 트랜지스터의 스트레스를 줄여 문턱 전압 변화를 줄임으로써 잔상 등을 줄여 표시 품질을 높일 수 있는 액정 표시 장치 및 그 구동 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 한 실시예에 따른 액정 표시 장치는 게이트선, 상기 게이트선과 절연되어 교차하는 데이터선, 상기 게이트선 및 상기 데이터선과 분리되어 있으며 일정 전압을 전달하는 공통 전압선, 상기 게이트선 및 상기 데이터선과 연결되어 있는 제1 스위칭 소자, 상기 게이트선 및 상기 데이터선과 연결되어 있는 제2 스위칭 소자, 상기 제1 스위칭 소자와 연결되어 있는 제1 액정 축전기, 상기 제2 스위칭 소자와 연결되어 있는 제2 액정 축전기, 상기 제2 스위칭 소자와 연결되어 있는 입력 단자, 플로팅되어 있는 제어 단자, 그리고 출력 단자를 포함하는 제3 스위칭 소자, 그리고 상기 제3 스위칭 소자와 상기 공통 전압선에 연결되어 있는 제3 축전기를 포함한다.

[0007] 상기 제3 스위칭 소자의 상기 출력 단자와 상기 제어 단자는 제1 축전기를 형성하고, 상기 제3 스위칭 소자의 상기 입력 단자와 상기 제어 단자는 제2 축전기를 형성할 수 있다.

[0008] 상기 데이터선을 통해 인가되는 데이터 전압의 공통 전압에 대한 극성이 프레임마다 반전되도록 제어하는 제어부를 더 포함할 수 있다.

[0009] 상기 제1 스위칭 소자의 제어 단자와 상기 제2 스위칭 소자의 제어 단자는 상기 게이트선에 연결되어 있고, 상기 제1 스위칭 소자의 입력 단자와 상기 제2 스위칭 소자의 입력 단자는 상기 데이터선에 연결되어 있고, 상기 제1 스위칭 소자의 출력 단자는 상기 제1 액정 축전기와 연결되어 있으며, 상기 제2 스위칭 소자의 출력 단자는 상기 제2 액정 축전기 및 상기 제3 스위칭 소자의 상기 입력 단자와 연결되어 있을 수 있다.

[0010] 본 발명의 다른 실시예에 따른 액정 표시 장치는 서로 마주하는 제1 기판 및 제2 기판, 상기 제1 기판 위에 형성되어 있는 게이트선, 데이터선 및 공통 전압선, 상기 게이트선 및 상기 데이터선과 연결되어 있는 제1 스위칭 소자, 상기 게이트선 및 상기 데이터선과 연결되어 있는 제2 스위칭 소자, 상기 제1 스위칭 소자와 연결되어 있는 제1 부화소 전극, 상기 제2 스위칭 소자와 연결되어 있는 제2 부화소 전극, 상기 제2 스위칭 소자와 연결되어 있는 입력 단자, 플로팅되어 있는 제어 단자, 그리고 상기 입력 단자와 마주하는 출력 단자를 포함하는 제3 스위칭 소자, 그리고 상기 제3 스위칭 소자의 상기 출력 단자와 상기 공통 전압선의 일부를 두 단자로서 포함하는 제3 축전기를 포함한다.

[0011] 상기 제3 스위칭 소자의 상기 출력 단자와 상기 제어 단자는 제1 축전기를 형성하고, 상기 제3 스위칭 소자의 상기 입력 단자와 상기 제어 단자는 제2 축전기를 형성할 수 있다.

[0012] 상기 데이터선을 통해 인가되는 데이터 전압의 공통 전압에 대한 극성이 프레임마다 반전되도록 제어하는 제어부를 더 포함할 수 있다.

[0013] 상기 제1 스위칭 소자의 제어 단자와 상기 제2 스위칭 소자의 제어 단자는 상기 게이트선에 연결되어 있고, 상기 제1 스위칭 소자의 입력 단자와 상기 제2 스위칭 소자의 입력 단자는 상기 데이터선에 연결되어 있고, 상기 제1 스위칭 소자의 출력 단자는 상기 제1 부화소 전극과 연결되어 있으며, 상기 제2 스위칭 소자의 출력 단자는 상기 제2 부화소 전극 및 상기 제3 스위칭 소자의 상기 입력 단자와 연결되어 있을 수 있다.

[0014] 상기 제2 기판 위에 형성되어 있으며 공통 전압을 인가 받는 대향 전극을 더 포함할 수 있다.

[0015] 본 발명의 한 실시예에 따른 액정 표시 장치의 구동 방법은 게이트선, 상기 게이트선과 절연되어 교차하는 데이터선, 상기 게이트선 및 상기 데이터선과 분리되어 있으며 일정 전압을 전달하는 공통 전압선, 상기 게이트선 및 상기 데이터선과 연결되어 있는 제1 스위칭 소자, 상기 게이트선 및 상기 데이터선과 연결되어 있는 제2 스위칭 소자, 상기 제1 스위칭 소자와 연결되어 있는 제1 액정 축전기, 상기 제2 스위칭 소자와 연결되어 있는 제2 액정 축전기, 상기 제2 스위칭 소자와 연결되어 있는 입력 단자, 플로팅되어 있는 제어 단자, 그리고 출력 단자를 포함하는 제3 스위칭 소자, 그리고 상기 제3 스위칭 소자와 상기 공통 전압선에 연결되어 있는 제3 축전기를 포함하는 액정 표시 장치에서, 상기 데이터선에 데이터 전압을 인가하는 단계, 상기 게이트선에 게이트 온

전압을 인가하여 상기 제1 액정 축전기 및 상기 제2 액정 축전기를 제1 전압으로 충전시키는 단계, 그리고 상기 제3 스위칭 소자를 통해 상기 제2 액정 축전기의 충전 전압을 변화시키는 단계를 포함한다.

- [0016] 상기 제3 스위칭 소자에서, 상기 제어 단자의 전압은 상기 입력 단자의 전압과 상기 출력 단자의 전압 사이의 값 또는 상기 입력 단자의 전압 및 상기 출력 단자의 전압과 동일한 값을 가질 수 있다.
- [0017] 상기 제3 스위칭 소자에서, 상기 제어 단자, 상기 입력 단자 및 상기 출력 단자의 전압은 한 프레임의 50% 이상의 시간 동안 동일한 값을 가질 수 있다.
- [0018] 상기 데이터선을 통해 인가되는 데이터 전압의 공통 전압에 대한 극성을 프레임마다 반전하는 단계를 더 포함할 수 있다.

발명의 효과

- [0019] 본 발명의 실시예에 따르면 액정 표시 장치의 제1 및 제2 부화소의 휘도를 다르게 하여 액정 표시 장치의 개구율을 낮추지 않으면서 시인성을 향상시킬 수 있다. 또한 한 프레임의 일정 시간 동안 제2 부화소가 포함하는 제3 스위칭 소자가 받는 스트레스를 감소시켜 제3 스위칭 소자의 문턱 전압의 변화를 방지하여 잔상 등의 표시 불량을 감소시킬 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고,
- 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이고,
- 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 배치도이고,
- 도 4는 도 3의 액정 표시 장치를 IV-IV 선을 따라 잘라 도시한 단면도이고,
- 도 5는 본 발명의 다른 실시예에 따른 액정 표시 장치의 한 화소에 대한 배치도이고,
- 도 6은 도 2 내지 도 5에 도시한 액정 표시 장치의 제3 스위칭 소자의 세 단자(N1, N2, N3)의 전압의 프레임에 따른 변화를 나타낸 도면이고,
- 도 7은 도 6의 'P' 부분 및 게이트 신호를 함께 나타낸 도면이고,
- 도 8은 도 6의 'N' 부분 및 게이트 신호를 함께 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0022] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0023] 먼저, 도 1 및 도 2를 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 설명한다.
- [0024] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- [0025] 도 1을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(gate driver)(400) 및 데이터 구동부(data driver)(500)를 포함한다.
- [0026] 도 1 및 도 2를 참고하면, 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(GL, DL, SL)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다.
- [0027] 신호선(GL, DL, SL)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(GL)과 데이터 전압을 전달하는 복수의 데이터선(DL), 그리고 공통 전압 등 일정 전압을 전달하는 공통 전압선(SL)을 포함한다. 게이트

선(GL) 및 공통 전압선(SL)은 각각 대략 행 방향으로 뻗으며 서로가 거의 평행할 수 있고, 데이터선(DL)은 대략 열 방향으로 뻗으며 서로가 거의 평행할 수 있다.

- [0028] 각 화소(PX)는 제1 부화소(PXa) 및 제2 부화소(PXb)를 포함한다. 제1 부화소(PXa)는 제1 액정 축전기(C1ca) 및 제1 스위칭 소자(Qa)를 포함하고, 제2 부화소(PXb)는 제2 액정 축전기(C1cb), 제2 스위칭 소자(Qb), 제3 스위칭 소자(Qc) 및 제3 축전기(C3)를 포함한다.
- [0029] 제1, 제2 및 제3 스위칭 소자(Qa, Qb, Qc)는 각각 박막 트랜지스터 등의 삼단자 소자일 수 있다.
- [0030] 제1 스위칭 소자(Qa)의 제어 단자는 게이트선(GL)과 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 출력 단자는 제1 액정 축전기(C1ca)와 연결되어 있다. 제2 스위칭 소자(Qb)의 제어 단자는 게이트선(GL)과 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 출력 단자는 제2 액정 축전기(C1cb)와 연결되어 있다.
- [0031] 제1 액정 축전기(C1ca) 및 제2 액정 축전기(C1cb)는 각각 두 전극, 예를 들어 부화소 전극과 대향 전극(도시하지 않음)을 두 단자로 하며, 두 전극 사이의 액정층(도시하지 않음)이 유전체로서 기능한다.
- [0032] 제3 스위칭 소자(Qc)의 제어 단자(N1)는 플로팅(floating)되어 있고, 입력 단자(N3)는 제2 스위칭 소자(Qb) 및 제2 액정 축전기(C1cb)와 연결되어 있으며, 출력 단자(N2)는 제3 축전기(C3)와 연결되어 있다. 도 2에 도시한 바와 같이, 제3 스위칭 소자(Qc)의 제어 단자(N1)와 출력 단자(N2)는 함께 제1 축전기(C1)를 형성하고, 제3 스위칭 소자(Qc)의 제어 단자(N1)와 입력 단자(N3)는 함께 제2 축전기(C2)를 형성한다.
- [0033] 제3 축전기(C3)의 두 단자는 제3 스위칭 소자(Qc)의 출력 단자와 공통 전압선(SL)에 각각 연결되어 있다. 제3 축전기(C3)는 제3 스위칭 소자(Qc)의 출력 단자와 공통 전압선(SL)의 일부가 절연체를 사이에 두고 중첩되어 이루어질 수 있다.
- [0034] 이 밖에 제1 및 제2 액정 축전기(C1ca, C1cb)의 보조적인 역할을 하는 유지 축전기(도시하지 않음)를 더 포함할 수 있다.
- [0035] 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 공간 분할의 한 예로서 각 화소(PX)는 기본색 중 하나를 나타내는 색필터(도시하지 않음)를 구비할 수 있다.
- [0036] 액정 표시판 조립체(300)에는 적어도 하나의 편광자(도시하지 않음)가 구비되어 있을 수 있다.
- [0037] 다시 도 1 및 도 2를 참고하면, 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(DL)과 연결되어 있으며 데이터 전압(Vd)을 데이터선(DL)에 인가한다.
- [0038] 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(GL)과 연결되어 있으며 제1 및 제2 스위칭 소자(Qa, Qb)를 턴 온시킬 수 있는 게이트 온 전압(Von)과 턴 오프시킬 수 있는 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호(Vg)를 게이트선(GL)에 인가한다.
- [0039] 그러면 도 1 및 도 2에 도시한 액정 표시 장치의 한 예에 대하여 도 3 및 도 4를 참고하여 상세하게 설명한다.
- [0040] 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 배치도이고, 도 4는 도 3의 액정 표시 장치를 IV-IV 선을 따라 잘라 도시한 단면도이다.
- [0041] 본 발명의 한 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200) 및 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.
- [0042] 먼저, 하부 표시판(100)에 대하여 설명한다.
- [0043] 절연 기판(110) 위에 복수의 게이트선(121), 제3 게이트 전극(124c) 및 복수의 공통 전압선(131)을 포함하는 복수의 게이트 도전체가 형성되어 있다.
- [0044] 게이트선(121)은 주로 가로 방향으로 뻗어 있으며 게이트 신호를 전달한다. 게이트선(121)은 위로 돌출한 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)을 포함한다. 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)은 서로 연결되어 있을 수 있다.
- [0045] 제3 게이트 전극(124c)은 섬형으로서 플로팅(floating)되어 있다.

- [0046] 공통 전압선(131)은 주로 가로 방향으로 뻗어 있으며 공통 전압(Vcom) 등의 일정한 전압을 전달한다. 공통 전압선(131)은 아래로 돌출되어 확장된 유지 전극(137) 및 게이트선(121)과 대략 수직하게 위로 뻗은 한 쌍의 세로부(134)를 포함한다.
- [0047] 게이트 도전체 위에는 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0048] 게이트 절연막(140) 위에는 비정질 규소 또는 결정질 규소 등으로 만들어질 수 있는 복수의 선형 반도체(도시하지 않음)가 형성되어 있다. 선형 반도체는 주로 세로 방향으로 뻗어 있으며 제1 및 제2 게이트 전극(124a, 124b)을 향하여 뻗으며 서로 연결되어 있는 제1 및 제2 반도체(154a, 154b), 그리고 제2 반도체(154b)로부터 뻗어 나와 제3 게이트 전극(124c) 위에 위치하는 제3 반도체(154c)를 포함한다.
- [0049] 제1 반도체(154a) 위에는 한 쌍의 저항성 접촉 부재(ohmic contact)(163a, 165a)가 위치하고, 제2 반도체(154b) 위에는 한 쌍의 저항성 접촉 부재(163b, 165b)가 위치한다. 또한 제3 반도체(154c) 위에는 한 쌍의 저항성 접촉 부재(163c, 165c)가 위치한다. 저항성 접촉 부재(163a)는 선형 반도체 위에 위치하는 선형 저항성 접촉 부재(도시하지 않음)와 연결되어 있을 수 있고, 저항성 접촉 부재(165a, 163b)는 서로 연결되어 있을 수 있으며, 저항성 접촉 부재(165b, 163c)도 서로 연결되어 있을 수 있다. 저항성 접촉 부재(163a, 165a, 163b, 165b, 163c, 165c)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다.
- [0050] 저항성 접촉 부재(163a, 165a, 163b, 165b, 163c, 165c) 및 게이트 절연막(140) 위에는 복수의 데이터선(171)과 복수의 제1 드레인 전극(175a), 복수의 제2 드레인 전극(175b), 그리고 복수의 제3 드레인 전극(175c)을 포함하는 데이터 도전체가 형성되어 있다.
- [0051] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121) 및 공통 전압선(131)과 교차할 수 있다. 각 데이터선(171)은 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)을 향하여 뻗으며 서로 연결되어 있을 수 있는 제1 소스 전극(source electrode)(173a) 및 제2 소스 전극(173b)을 포함한다.
- [0052] 제1 드레인 전극(175a), 제2 드레인 전극(175b) 및 제3 드레인 전극(175c)은 막대형 한 쪽 끝 부분과 면적이 상대적으로 넓은 다른 쪽 끝 부분을 포함한다. 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)의 막대형 끝 부분은 각각 제1 소스 전극(173a) 및 제2 소스 전극(173b)으로 일부 둘러싸여 있다. 제2 드레인 전극(175b)의 넓은 한 쪽 끝 부분은 다시 연장되어 막대형인 제3 소스 전극(173c)을 이루며, 제3 소스 전극(173c)은 제3 드레인 전극(175c)과 마주한다. 제3 드레인 전극(175c)의 넓은 끝 부분(177c)은 공통 전압선(131)의 유지 전극(137)과 중첩하여 제3 축전기(C3)를 이룬다.
- [0053] 제1/제2/제3 게이트 전극(124a/124b/124c), 제1/제2/제3 소스 전극(173a/173b/173c) 및 제1/제2/제3 드레인 전극(175a/175b/175c)은 제1/제2/제3 반도체(154a/154b/154c)와 함께 제1/제2/제3 박막 트랜지스터(thin film transistor, TFT)(Qa/Qb/Qc)를 이루며, 박막 트랜지스터의 채널(channel)은 각 소스 전극(173a/173b/173c)과 각 드레인 전극(175a/175b/175c) 사이의 각 반도체(154a/154b/154c)에 형성된다.
- [0054] 제1, 제2 및 제3 반도체(154a, 154b, 154c)를 포함하는 선형 반도체는 제1, 제2 및 제3 소스 전극(173a, 173b, 173c)과 제1, 제2 및 제3 드레인 전극(175a, 175b, 175c) 사이의 채널 영역을 제외하고는 데이터 도전체 및 그 하부의 저항성 접촉 부재(163a, 165a, 163b, 165b, 163c, 165c)와 실질적으로 동일한 평면 모양을 가질 수 있다.
- [0055] 데이터 도전체 및 노출된 제1, 제2 및 제3 반도체(154a, 154b, 154c) 부분 위에는 질화규소 또는 산화규소 따위의 무기 절연물 또는 유기 절연물 따위로 만들어질 수 있는 보호막(180)이 형성되어 있다. 그러나 보호막(180)은 유기 절연물 및 무기 절연물로 이루어진 이중층 구조를 가질 수도 있다. 보호막(180)에는 제1 드레인 전극(175a)의 넓은 끝 부분을 드러내는 제1 접촉 구멍(contact hole)(185a), 그리고 제2 드레인 전극(175b)의 넓은 끝 부분을 드러내는 제2 접촉 구멍(185b)이 형성되어 있다.
- [0056] 보호막(180) 위에는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있는 복수의 화소 전극(pixel electrode)(191)이 형성되어 있다. 하나의 화소 전극(191)은 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)을 포함하며, 화소 전극(191)의 전체적인 모양은 사각형일 수 있다. 제1 부화소 전극(191a)은 간극(91)을 사이에 두고 제2 부화소 전극(191b)으로 둘러싸여 있다.
- [0057] 제1 부화소 전극(191a)은 게이트선(121)에 대해 비스듬하게 뻗은 하부 및 상부의 두 사선부를 포함한다.

- [0058] 제2 부화소 전극(191b)은 제1 부화소 전극(191a)의 두 사선부 사이에 끼어 있으며 깔때기 모양의 절개부(92)를 포함하는 삼각형 부분, 그리고 제1 부화소 전극(191a)의 두 사선부의 위쪽 및 아래쪽에 위치하며 절개부(93a, 93b)를 포함하는 상부 및 하부를 포함한다. 절개부(92)는 마주하는 간극(91)의 빗변에 평행하게 뺀 두 빗변 및 두 빗변과 연결되어 있으며 가로 방향으로 뺀 두 가로변을 포함하고, 절개부(93a, 93b)도 마주하는 간극(91)의 빗변에 평행하게 형성되어 있다.
- [0059] 간극(91)의 두 빗변, 절개부(92)의 두 빗변 및 절개부(93a, 93b)는 게이트선(121)과 대략 45도 또는 135도의 각을 이룰 수 있다.
- [0060] 제2 부화소 전극(191b)의 면적은 제1 부화소 전극(191a)의 면적보다 클 수 있다.
- [0061] 제1 부화소 전극(191a)은 제1 접촉 구멍(185a)을 통해 제1 드레인 전극(175a)으로부터 데이터 전압을 인가 받고, 제2 부화소 전극(191b)은 제2 접촉 구멍(185b)을 통해 제2 드레인 전극(175b)으로부터 데이터 전압을 인가 받는다. 이 때 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)이 제1 및 제2 스위칭 소자(Qa, Qb)로부터 인가 받는 데이터 전압은 서로 같다.
- [0062] 화소 전극(191) 위에는 배향막(도시하지 않음)이 형성되어 있을 수 있다.
- [0063] 다음 상부 표시판(200)에 대하여 설명한다.
- [0064] 절연 기판(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 화소 전극(191) 사이의 빗샘을 막고 화소 전극(191)과 마주하는 개구 영역을 정의하는 개구부(도시하지 않음)를 포함한다.
- [0065] 기판(210) 및 차광 부재(220) 위에는 복수의 색필터(도시하지 않음)가 형성되어 있다. 색필터는 차광 부재(220)로 둘러싸인 영역 내에 대부분 존재할 수 있으며, 화소 전극(191) 열을 따라서 길게 뺀을 수 있다. 각 색필터는 적색, 녹색 및 청색의 삼원색 등 기본색 중 하나를 표시할 수 있다.
- [0066] 차광 부재(220) 및 색필터 중 적어도 하나는 하부 표시판(100)에 위치할 수도 있다.
- [0067] 색필터 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 그러나 덮개막(250)은 생략될 수 있다.
- [0068] 덮개막(250) 위에는 화소 전극(191)과 마주하며 공통 전압(Vcom)을 인가 받는 대향 전극(270)이 형성되어 있다. 대향 전극(270)은 복수의 화소 전극(191), 예를 들어 모든 화소 전극(191)과 마주할 수 있도록 통관으로 형성되어 있을 수 있다. 대향 전극(270)은 화소 전극(191)의 간극(91)의 빗변, 절개부(92)의 빗변 및 절개부(93a, 93b)에 실질적으로 평행한 사선부를 가지는 복수 쌍의 절개부(71, 72, 73a, 73b, 74a, 74b)를 포함한다. 각 절개부(71, 72, 73a, 73b, 74a, 74b)는 각 사선부의 끝에서 세로 방향 또는 가로 방향으로 뺀을 중단부를 더 포함하고, 절개부(71)는 두 사선부가 만나는 곳에서 가로 방향으로 뺀을 가로부를 더 포함한다.
- [0069] 대향 전극(270) 위에는 배향막(도시하지 않음)이 도포되어 있을 수 있다.
- [0070] 하부 표시판(100) 및 상부 표시판(200)의 두 배향막은 수직 배향막일 수 있다.
- [0071] 하부 표시판(100)과 상부 표시판(200) 사이에 들어 있는 액정층(3)은 유전율 이방성을 가지는 액정 분자를 포함한다. 액정 분자는 전기장이 없는 상태에서 대체로 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.
- [0072] 하부 표시판(100)의 제1 부화소 전극(191a)은 상부 표시판(200)의 대향 전극(270) 및 그 사이의 액정층(3)과 함께 제1 액정 축전기(C1ca)를 이루고, 제2 부화소 전극(191b)은 대향 전극(270) 및 그 사이의 액정층(3)과 함께 제2 액정 축전기(C1cb)를 이룬다.
- [0073] 데이터 전압이 인가된 제1 및 제2 부화소 전극(191a, 191b)은 상부 표시판(200)의 대향 전극(270)과 함께 액정층(3)에 전기장을 생성함으로써 두 전극(191, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다. 액정 분자들이 기울어지는 방향은 일차적으로 화소 전극(191)의 간극(91) 및 절개부(92, 93a, 93b)와 대향 전극(270)의 절개부(71, 72, 73a, 73b, 74a, 74b)의 변이 표시판(100, 200)의 표면에 거의 수직인 주 전기장을 왜곡하여 만들어내는 수평 성분에 의하여 결정된다. 이러한 주 전기장의 수평 성분은 간극(91) 및 절개부(92, 93a, 93b, 71, 72, 73a, 73b, 74a, 74b)의 변에 거의 수직이며, 액정 분자들은 이들 변에 대략 수직인 방향으로 기울어진다. 본 실시예에서 액정 분자들의 기울어지는 방향은 대략 네 방향이며, 이와 같이 액정 분자가 기울어지는 방

향을 다양하게 하면 액정 표시 장치의 기준 시야각이 커질 수 있다.

- [0074] 또한 제1 및 제2 부화소 전극(191a, 191b)의 전압과 대향 전극(270)의 전압의 차이는 제1 및 제2 액정 축전기(C1ca, C1cb)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 이 화소 전압의 크기에 따라 그 배열 또는 기울어진 정도가 달라지며 이에 따라 액정층(3)에 입사된 빛의 편광의 변화 정도가 달라진다. 이러한 편광의 변화는 편광자에 의하여 빛의 투과율 변화로 나타나며 이를 통하여 액정 표시 장치는 영상을 표시한다.
- [0075] 본 발명의 실시예에서는 제2 부화소 전극(191b)이 제2 스위칭 소자(Qb)를 통해 인가 받은 데이터 전압이 제3 스위칭 소자(Qc) 및 제3 축전기(C3)에 의해 변화하여 제2 액정 축전기(C1cb) 및 제1 액정 축전기(C1ca)의 충전 전압, 즉 액정 분자의 기울어진 정도가 달라지게 된다.
- [0076] 이러한 액정 표시 장치의 동작에 대해 앞에서 설명한 도 1 내지 도 4와 함께 도 6, 도 7 및 도 8을 참고하여 설명한다.
- [0077] 도 6은 도 2 내지 도 5에 도시한 액정 표시 장치의 제3 스위칭 소자(Qc)의 세 단자(N1, N2, N3)의 전압의 프레임에 따른 변화를 나타낸 도면이고, 도 7은 도 6의 'P' 부분 및 게이트 신호를 함께 나타낸 도면이고, 도 8은 도 6의 'N' 부분 및 게이트 신호를 함께 나타낸 도면이다.
- [0078] 데이터 구동부(500)는 외부로부터 디지털 영상 신호를 수신하고, 각 디지털 영상 신호에 대응하는 계조 전압을 선택함으로써 디지털 영상 신호를 아날로그 데이터 전압(Vd)으로 변환한 다음, 이를 해당 데이터선(DL, 171)에 인가한다.
- [0079] 게이트 구동부(400)는 게이트 온 전압(Von)을 게이트선(GL, 121)에 인가하여 게이트선(GL, 121)에 연결된 제1 및 제2 스위칭 소자(Qa, Qb)를 턴 온시킨다. 그러면, 데이터선(DL, 171)에 인가된 데이터 전압(Vd)이 턴 온된 제1 및 제2 스위칭 소자(Qa, Qb)를 통하여 해당 화소(PX)의 제1 및 제2 부화소 전극(191a, 191b)에 인가된다.
- [0080] 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선(GL, 121)에 대하여 차례로 게이트 온 전압(Von)을 인가하고 모든 화소(PX)에 데이터 전압(Vd)을 인가하여 한 프레임(frame)의 영상을 표시한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 전압(Vd)의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 데이터 구동부(500) 내부 또는 외부에는 반전 신호(RVS)의 상태를 제어하는 제어부가 형성되어 있을 수 있다.
- [0081] 이후 설명에서 데이터 전압(Vd)이 대향 전극(270)이 전압을 기준으로 같거나 클 경우를 정극성, 같거나 작을 경우는 부극성이라 하기로 한다.
- [0082] 도 2를 참고하면, 제3 스위칭 소자(Qc)의 출력 단자(N2)와 제어 단자(N1)의 커플링에 의한 제1 축전기(C1)의 용량을 C1이라 하고, 입력 단자(N3)와 제어 단자(N1)의 커플링에 의한 제2 축전기(C2)의 용량을 C2라 하며, 제3 스위칭 소자(Qc) 자체의 용량을 Ctft라 할 때, 제3 스위칭 소자(Qc)의 제어 단자(N1)의 전압(V1)은 다음의 [수학식 1]로 표현될 수 있다.

수학식 1

[0083]
$$V1 = \{(C1 + Ctft/2) * V2 + (C2 + Ctft/2) * V3\} / (C1 + C2 + Ctft)$$

[0084] [수학식 1]에 의하면, 제1 축전기(C1)의 용량(C1)과 제2 축전기(C2)의 용량(C2)이 동일할 경우, 제3 스위칭 소자(Qc)의 제어 단자(N1)의 전압(V1)은 다음 [수학식 2]와 같다.

수학식 2

[0085]
$$V1 = (V2 + V3) / 2, (C1 = C2)$$

[0086] 이후 설명은 C1과 C2가 동일한 경우를 가정하여 설명하기로 한다.

[0087] 먼저 도 2, 도 6 및 도 7을 참고하여 데이터선(DL, 171)에 정극성의 데이터 전압(Vd)이 인가되는 경우에 대해 살펴보면, 제3 스위칭 소자(Qc)의 입력 단자(N3)에 정극성의 데이터 전압(Vd)이 충전되는 동안 제어 단자(N1)의 전압(V1)은 V2와 V3의 평균값이므로 높아지게 된다. 그러면 정극성의 프레임에서 제3 스위칭 소자(Qc)의 Vgs에 해당하는 V1-V2는 양의 값인 (V3-V2)/2가 되어 입력 단자(N3)로부터 출력 단자(N2)로 전류가 흐르고 출력 단자(N2)의 전압(V2)도 높아진다. 이를 정리하면 [수학식 3]과 같다.

수학식 3

$$V3 \geq V2, Vgs = V1 - V2 = (V3 - V2) / 2 > 0$$

[0088]

[0089] 도 6 및 도 7을 참고하면, 게이트 신호(Vg)가 게이트 오프 전압(Voff)이 된 이후에는, 출력 단자(N2)의 전압(V2)과 입력 단자(N3)의 전압(V3), 그리고 제어 단자(N1)의 전압(V1)이 서로 같아질 때까지 입력 단자(N3)로부터 출력 단자(N2)로 전류는 계속 흐르게 되고, 결과적으로 입력 단자(N3)의 전압(V3)은 하강하고 출력 단자(N2)의 전압(V2)은 상승한다. 결국 제3 스위칭 소자(Qc)의 입력 단자(N3)와 연결되어 있는 제2 부화소 전극(191b)의 전압도 애초에 인가 받았던 정극성의 데이터 전압(Vd)보다 낮아지게 되어 제1 부화소 전극(191a)의 전압보다 작아지고 이는 나머지 프레임 동안 유지된다. 또한 제3 스위칭 소자(Qc)의 출력 단자(N2)의 전압(V2)도 제3 축전기(C3)에 의해 나머지 프레임 동안 유지된다.

[0090] 이로써 도 6에 도시한 바와 같이 하나의 프레임의 대부분의 시간 동안 제1 액정 축전기(C1ca)의 충전 전압보다 제2 액정 축전기(C1cb)의 충전 전압이 낮으므로 제1 부화소(PXa)와 제2 부화소(PXb)에서 액정 분자들의 기울어진 각도가 다르게 되고 이에 따라 두 부화소(PXa, PXb)의 휘도가 달라진다. 따라서 제1 액정 축전기(C1ca)의 충전 전압과 제2 액정 축전기(C1cb)의 충전 전압을 적절하게 조절하면 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 되도록 할 수 있으며 이렇게 함으로써 측면 시인성을 향상할 수 있다.

[0091] 다음, 도 2, 도 6 및 도 8을 참고하여 데이터선(DL, 171)에 부극성의 데이터 전압(Vd)이 인가되는 경우에 대해 살펴보면, 제3 스위칭 소자(Qc)의 입력 단자(N3)에 부극성의 데이터 전압(Vd)이 충전되는 동안 제어 단자(N1)의 전압(V1)은 V2와 V3의 평균값으로 낮아지게 된다. 그러면 부극성의 프레임에서 제3 스위칭 소자(Qc)의 Vgs에 해당하는 V1-V3은 양의 값인 (V2-V3)/2가 되어 정극성의 프레임에서와 반대로 제3 스위칭 소자(Qc)의 출력 단자(N2)로부터 입력 단자(N3)로 전류가 흐르고 출력 단자(N2)의 전압(V2)은 낮아진다. 이를 정리하면 다음 [수학식 4]와 같다.

수학식 4

$$V2 \geq V3, Vgs = V1 - V3 = (V2 - V3) / 2 > 0$$

[0092]

[0093] 도 6 및 도 8을 참고하면, 게이트 신호(Vg)가 게이트 오프 전압(Voff)이 된 이후에는, 출력 단자(N2)의 전압(V2)과 입력 단자(N3)의 전압(V3), 그리고 제어 단자(N1)의 전압(V1)이 서로 같아질 때까지 출력 단자(N2)로부터 입력 단자(N3)로 전류는 계속 흐르게 되고, 결과적으로 입력 단자(N3)의 전압(V3)은 상승하고 출력 단자(N2)의 전압(V2)은 하강한다. 결국 제3 스위칭 소자(Qc)의 입력 단자(N3)와 연결되어 있는 제2 부화소 전극(191b)의 전압도 애초에 인가 받았던 부극성의 데이터 전압(Vd)보다 높아지게 되어 제1 부화소 전극(191a)의 전압보다 커지고 이는 나머지 프레임 동안 유지된다. 또한 제3 스위칭 소자(Qc)의 출력 단자(N2)의 전압(V2)도 제3 축전기(C3)에 의해 나머지 프레임 동안 유지된다. 부극성의 프레임에서는 제1 부화소 전극(191a)과 대향 전극(270)의 전압차보다 제2 부화소 전극(191b)과 대향 전극(270)의 전압차가 더 작으므로 제2 액정 축전기(C1cb)의 충전 전압이 제1 액정 축전기(C1ca)의 충전 전압보다 작다.

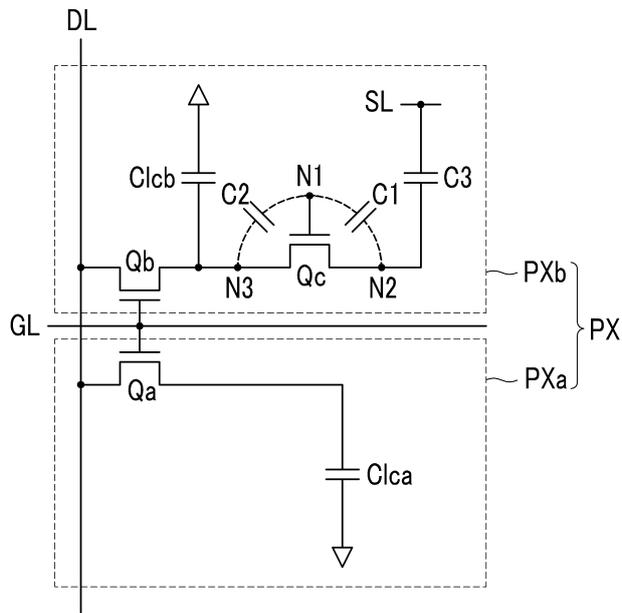
[0094] 이로써 도 6에 도시한 바와 같이 하나의 프레임의 대부분의 시간 동안 제1 액정 축전기(C1ca)의 충전 전압보다 제2 액정 축전기(C1cb)의 충전 전압이 낮으므로 제1 부화소(PXa)와 제2 부화소(PXb)에서 액정 분자들의 기울어진 각도가 다르게 되고 이에 따라 두 부화소(PXa, PXb)의 휘도가 달라진다.

[0095] 본 실시예에서 데이터 전압(Vd)의 인가 후 제3 스위칭 소자(Qc)의 세 단자(N1, N2, N3)의 전압(V1, V2, V3)가

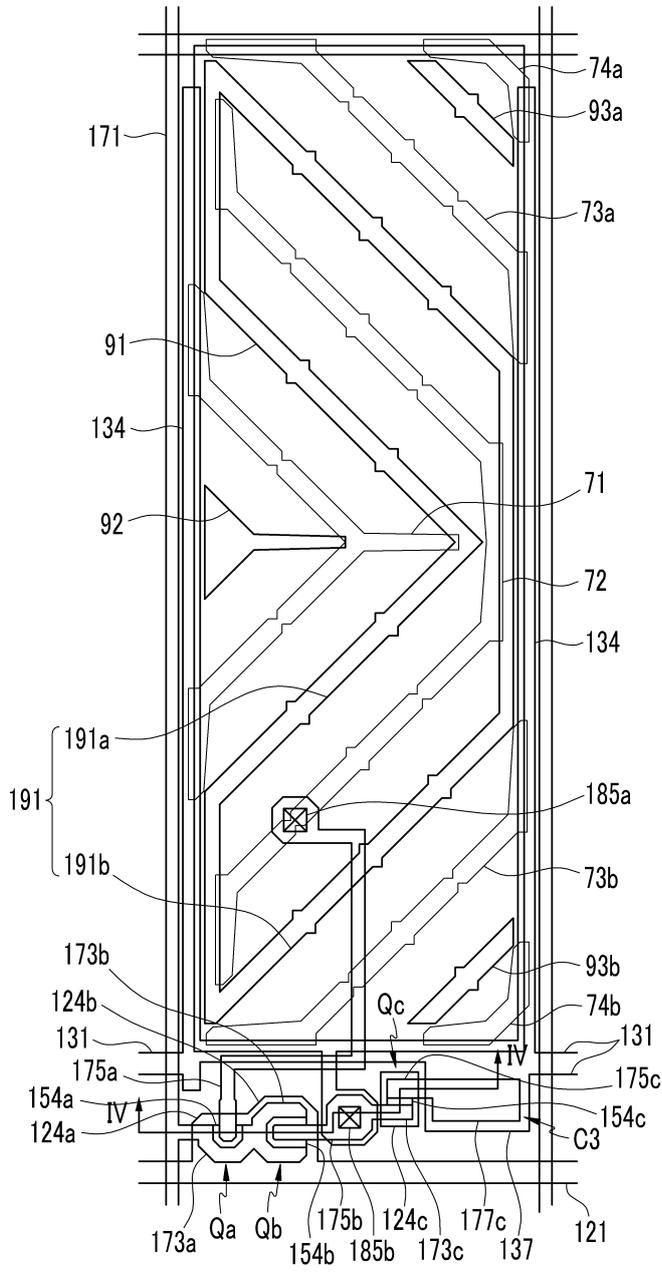
갈아질 때까지의 시간은 수십 msec, 더 구체적으로는 2msec 이하일 수 있다. 이 때 본 발명의 한 실시예에 따른 액정 표시 장치는 120Hz의 주파수로 구동될 수 있으며, 이 경우 한 프레임의 50% 이상, 더 구체적으로는 한 프레임의 70% 이상의 시간 동안 제3 스위칭 소자(Qc)의 세 단자(N1, N2, N3)의 전압(V1, V2, V3)이 동일한 값을 가질 수 있다.

- [0096] 또한 데이터 전압(Vd)의 인가 후, 제3 스위칭 소자(Qc)의 세 단자(N1, N2, N3)의 전압(V1, V2, V3)이 같아지는 최종값 및 같아지는 속도는 제1 축전기(C1) 및 제2 축전기(C2)의 용량 및 용량비에 따라 달라질 수 있다. 예를 들어 제2 축전기(C2)의 용량이 제1 축전기(C1)의 용량보다 큰 경우, 세 전압(V1, V2, V3)이 같아지는 최종값, 즉 제어 단자(N1)의 전압(V1)의 최종 값은 상기 [수학식 1]에 따라 출력 단자(N2)의 전압(V2)보다 입력 단자(N3)의 전압(V3)에 더 가까운 값일 수 있다.
- [0097] 또한 제3 축전기(C3)의 용량에 따라 액정 표시 장치의 투과율 및 측면 왜곡 현상이 달라질 수 있다. 예를 들어 제3 축전기(C3)의 용량이 커질수록 투과율은 떨어질 수 있으나 측면 왜곡 현상은 감소된다.
- [0098] 또한 부극성의 프레임 및 정극성 프레임에서 세 단자(N1, N2, N3)의 전압(V1, V2, V3)이 같아지는 시간도 달라질 수 있다.
- [0099] 이와 같이 본 발명의 한 실시예에 따른 액정 표시 장치의 제1 및 제2 부화소(PXa, PXb)의 휘도를 다르게 하여 개구율의 감소 없이 시인성을 향상시킬 수 있다. 또한 도 6에 도시한 바와 같이 한 프레임의 대부분의 시간, 예를 들어 한 프레임의 50% 이상, 더 구체적으로는 한 프레임의 70% 이상의 시간 동안 제3 스위칭 소자(Qc)의 제어 단자(N1), 출력 단자(N2), 그리고 입력 단자(N3) 중 적어도 두 단자 사이의 전압 차이는 실질적으로 0을 유지하므로 제3 스위칭 소자(Qc)가 받는 스트레스는 실질적으로 매우 감소된다. 결과적으로 제3 스위칭 소자(Qc)의 문턱전압의 변화를 방지하여 잔상 등의 표시 불량을 감소시켜 표시 품질을 향상시킬 수 있다.
- [0100] 그러면, 도 1 및 도 2에 도시한 액정 표시 장치의 다른 예에 대하여 도 5를 참고하여 설명한다. 앞에서 설명한 실시예와 동일한 구성 요소에 대해서는 동일한 도면 부호를 부여하고, 동일한 설명은 생략한다.
- [0101] 도 5는 본 발명의 다른 실시예에 따른 액정 표시 장치의 한 화소에 대한 배치도이다. 본 실시예에 따른 액정 표시 장치는 앞에서 설명한 도 3 및 도 4의 액정 표시 장치와 거의 동일한 단면 구조를 가지고 있으므로 해당 도면 부호를 그대로 사용하기로 한다.
- [0102] 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 이들 두 표시판 사이에 들어 있는 액정층(3)을 포함한다.
- [0103] 먼저 상부 표시판(200)에 대하여 설명하면, 절연 기판(210) 위에 대향 전극(270)이 형성되어 있고, 대향 전극(270) 위에는 상부 배향막(도시하지 않음)이 형성되어 있다. 상부 배향막은 수직 배향막일 수 있다.
- [0104] 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있다.
- [0105] 다음, 하부 표시판(100)에 대하여 설명하면, 절연 기판(110) 위에 복수의 게이트선(121), 제3 게이트 전극(124c) 및 복수의 공통 전압선(131)을 포함하는 복수의 게이트 도전체가 형성되어 있다. 공통 전압선(131)은 아래로 확장된 유지 전극(137) 및 위로 형성되어 있으며 페루프 형상을 하고 있는 고리부(133)를 포함한다.
- [0106] 게이트 도전체 그 위에는 게이트 절연막(140)이 형성되어 있고, 게이트 절연막 위에는 복수의 제1, 제2 및 제3 반도체(154a, 154b, 154c)를 포함하는 복수의 선형 반도체(도시하지 않음)가 형성되어 있다. 제1, 제2 및 제3 반도체(154a, 154b, 154c) 위에는 각각 한 쌍의 저항성 접촉 부재가 형성되어 있다.
- [0107] 저항성 접촉 부재 위에는 복수의 데이터선(171)과 복수의 제1 드레인 전극(175a), 복수의 제2 드레인 전극(175b), 그리고 복수의 제3 드레인 전극(175c)을 포함하는 데이터 도전체가 형성되어 있다. 데이터선(171)은 제1 소스 전극(173a) 및 제2 소스 전극(173b)을 포함하고, 제3 드레인 전극(175c)의 넓은 끝 부분(177c)은 공통 전압선(131)의 유지 전극(137)과 중첩하여 제3 축전기(C3)를 이룬다.
- [0108] 제1/제2/제3 게이트 전극(124a/124b/124c), 제1/제2/제3 소스 전극(173a/173b/173c) 및 제1/제2/제3 드레인 전극(175a/175b/175c)은 제1/제2/제3 반도체(154a/154b/154c)와 함께 제1/제2/제3 박막 트랜지스터(Qa/Qb/Qc)를 이룬다.
- [0109] 데이터 도전체 및 노출된 제1, 제2 및 제3 반도체(154a, 154b, 154c) 부분 위에는 보호막(180)이 형성되어 있으며, 보호막(180)은 제1 드레인 전극(175a)의 넓은 끝 부분을 드러내는 제1 접촉 구멍(185a), 그리고 제2 드레인

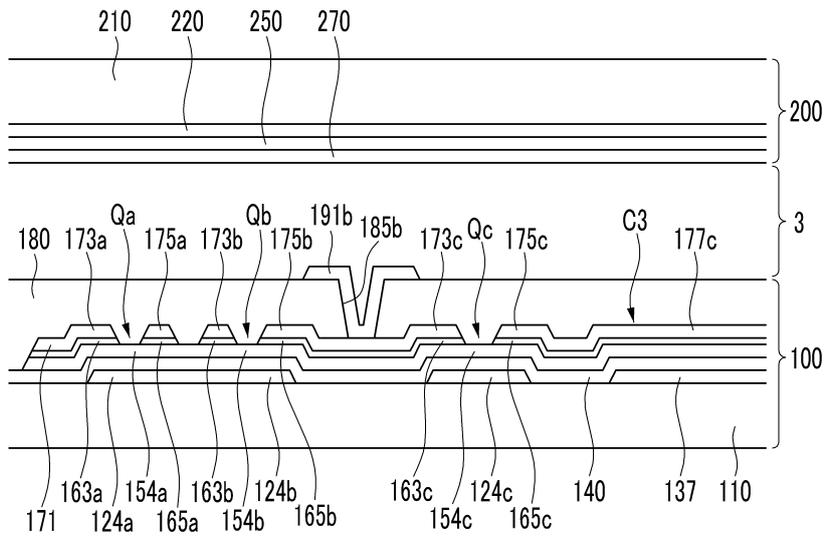
도면2



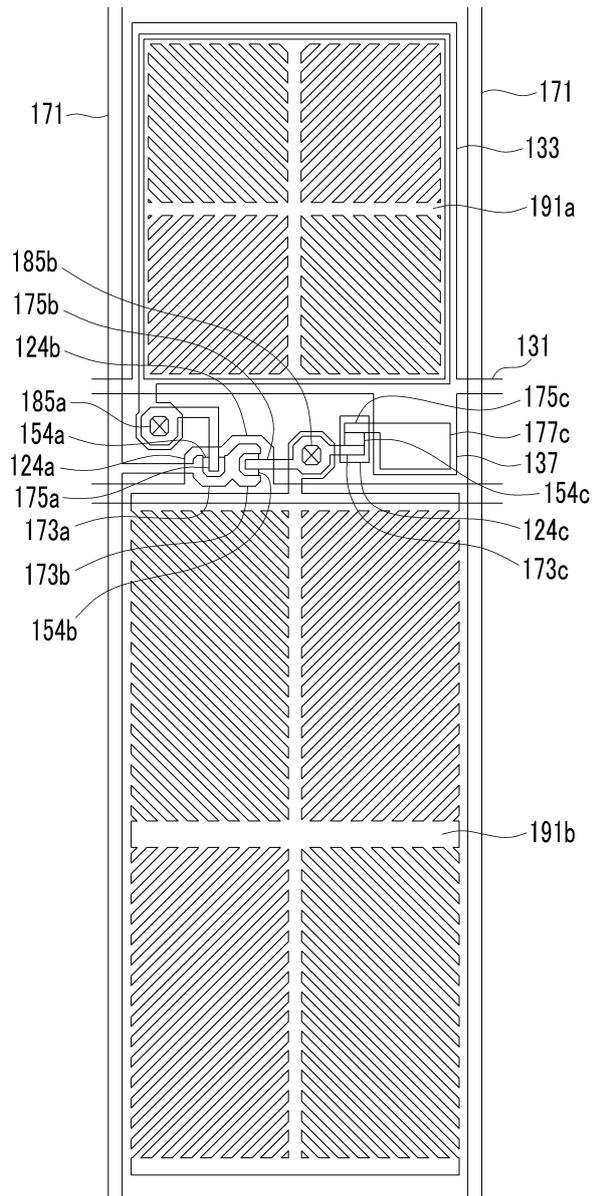
도면3



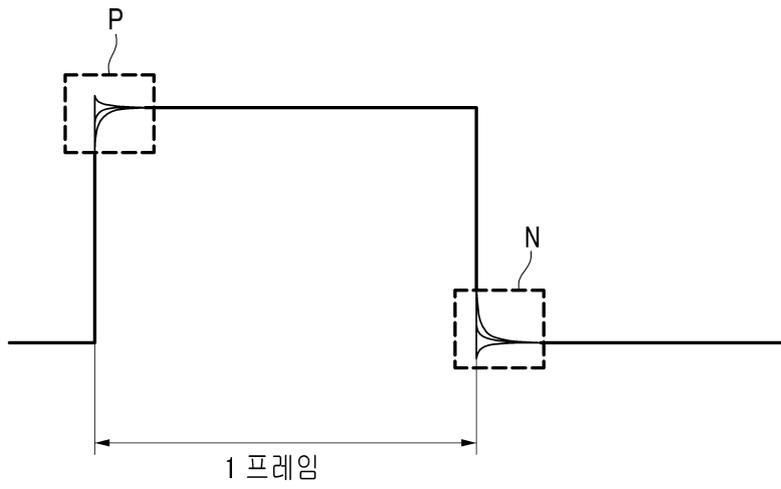
도면4



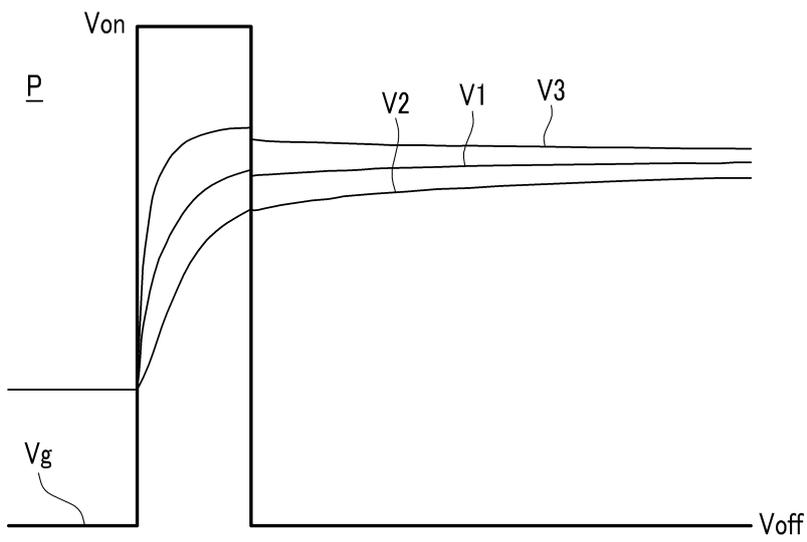
도면5



도면6



도면7



도면8

