

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5030406号
(P5030406)

(45) 発行日 平成24年9月19日(2012.9.19)

(24) 登録日 平成24年7月6日(2012.7.6)

(51) Int.Cl.		F I		
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	6 2 7 G	
HO 1 L 29/786	(2006.01)	HO 1 L 29/78	6 1 6 K	
		HO 1 L 29/78	6 1 6 L	

請求項の数 2 (全 72 頁)

(21) 出願番号	特願2005-246250 (P2005-246250)	(73) 特許権者	000153878
(22) 出願日	平成17年8月26日 (2005.8.26)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2006-100807 (P2006-100807A)		神奈川県厚木市長谷398番地
(43) 公開日	平成18年4月13日 (2006.4.13)	(72) 発明者	小路 博信
審査請求日	平成20年6月25日 (2008.6.25)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2004-251036 (P2004-251036)		半導体エネルギー研究所内
(32) 優先日	平成16年8月30日 (2004.8.30)	(72) 発明者	前川 慎志
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	吉住 健輔
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	本田 達也
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 表示装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁表面上に非晶質半導体層を形成し、
 前記非晶質半導体層に金属元素を添加して加熱し、前記非晶質半導体層を結晶化することによって結晶性半導体層を形成し、
 前記結晶性半導体層に接して一導電型を有する半導体層を形成し、
 前記結晶性半導体層及び前記一導電型を有する半導体層を加熱することによって、前記金属元素を前記結晶性半導体層から前記一導電型を有する半導体層に移動させ、
 前記一導電型を有する半導体層を加工し、ソース領域及びドレイン領域を形成し、
 前記ソース領域及び前記ドレイン領域に接して、ソース電極層及びドレイン電極層を形成し、
 前記結晶性半導体層、前記ソース電極層及び前記ドレイン電極層上にゲート絶縁層を形成し、
 前記ゲート絶縁層上にゲート電極層を形成することを特徴とする表示装置の作製方法。

【請求項2】

絶縁表面上に非晶質半導体層を形成し、
 前記非晶質半導体層に金属元素を添加して加熱し、前記非晶質半導体層を結晶化することによって結晶性半導体層を形成し、
 前記結晶性半導体層のチャンネル形成領域となる領域上にチャンネル保護層を形成し、
 前記結晶性半導体層及び前記チャンネル保護層上に、一導電型を有する半導体層を形成し

前記結晶性半導体層及び前記一導電型を有する半導体層を加熱することによって、前記金属元素を前記結晶性半導体層から前記一導電型を有する半導体層に移動させ、

前記一導電型を有する半導体層を加工し、ソース領域及びドレイン領域を形成し、

前記ソース領域及び前記ドレイン領域に接して、ソース電極層及びドレイン電極層を形成し、

前記結晶性半導体層、前記チャネル保護層、前記ソース電極層及び前記ドレイン電極層上にゲート絶縁層を形成し、

前記ゲート絶縁層上にゲート電極層を形成することを特徴とする表示装置の作製方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、表示装置の作製方法に関する。

【背景技術】

【0002】

近年、液晶ディスプレイ(LCD)やエレクトロルミネセンス(EL)ディスプレイに代表されるフラットパネルディスプレイ(FPD)は、これまでのCRTに替わる表示装置として注目を集めている。特にアクティブマトリクス駆動の大型液晶パネルを搭載した大画面液晶テレビジョン装置の開発は、液晶パネルメーカーにとって注力すべき重要な課題になっている。また、近年液晶テレビジョン装置に追随し、大画面ELテレビジョン装置の

20

【0003】

従来の液晶表示装置、又はEL表示装置(以下、発光表示装置とも記す。)において、各画素を駆動する半導体素子としてはアモルファスシリコンを用いた薄膜トランジスタ(以下、TFTとも記す。)が用いられている。

【0004】

一方、従来の液晶テレビジョン装置においては、視野角特性の限界、液晶材料等が原因の高速動作の限界による画像のぼやけが欠点であったが、近年それを解消する新たな表示モードとして、OCB(optically compensated bend)モードが提案されている(非特許文献1)。

30

【0005】

【非特許文献1】長広恭明他編、「日経マイクロデバイス別冊 フラットパネル・ディスプレイ2002」、日系BP社、2001年10月、P102-109

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、非晶質半導体膜を用いたTFTを直流駆動した場合は、しきい値がずれやすく、それに伴いTFTの特性バラツキが生じやすい。このため、非晶質半導体膜を用いたTFTを画素のスイッチングに用いた発光表示装置は、輝度ムラが発生する。このような現象は、対角30インチ以上(典型的には40インチ以上)の大画面テレビジョン装置であるほど顕著であり、画質の低下が深刻な問題である。

40

【0007】

また、OCBモードなどを適用した液晶表示装置において、LCDの画質を向上させるために高速動作が可能なスイッチング素子が必要とされている。しかしながら、非晶質半導体膜を用いたTFTでは、高速動作に限界がある。よって、高性能な液晶表示装置を実現することが困難となる。

【0008】

本発明は、このような状況に鑑みなされたものであり、少ないフォトマスク数で、しきい値のずれが生じにくく、高速動作が可能なTFTを有する表示装置の作製方法を提供する。また、スイッチング特性が高く、コントラストがすぐれた表示が可能な表示装置の

50

作製方法を提供する。

【課題を解決するための手段】

【0009】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じる。

【0010】

本発明は、非晶質半導体膜に触媒元素を添加し加熱して結晶性半導体膜を形成し、該結晶性半導体膜から触媒元素を除いた後、トップゲートのプラナー型薄膜トランジスタを作製する。また本発明は、表示装置の構成物を選択的に形成する液滴吐出法を用いることで、工程の簡略化と、材料のロス軽減を達成する。また、本発明の表示装置には、ELと呼ばれる発光を発現する有機物、若しくは有機物と無機物の混合物を含む層を、電極間に介在させた発光素子とTFTとが接続された発光表示装置や、液晶材料を有する液晶素子を表示素子として用いる液晶表示装置などがある。

10

【0011】

非晶質半導体膜に、結晶化を促進又は助長させる元素（以下、主に金属元素を指すことから金属元素、触媒元素とも記す）を添加し加熱して結晶性半導体膜を形成し、該結晶性半導体膜に周期律15族元素を有する半導体膜または希ガス元素を有する半導体膜を形成し加熱して、金属元素を結晶性半導体膜から除去した後、逆スタガ型薄膜トランジスタを形成することを要旨とする。なお、該結晶性半導体膜に周期律15族元素を有する半導体膜を形成した場合、周期律15族元素を有する半導体膜をソース領域及びドレイン領域として用いて、nチャンネル型薄膜トランジスタを形成する。また、n型を付与する不純物元素として周期律15族元素を有する半導体膜にp型を付与する不純物元素として周期律13族元素を添加して、pチャンネル型薄膜トランジスタを形成する。さらには、希ガス元素を有する半導体膜を形成した場合、加熱の後に希ガス元素を有する半導体膜を除去し、ソース領域及びドレイン領域を形成して、nチャンネル型薄膜トランジスタ又はpチャンネル型薄膜トランジスタを形成する。

20

【0012】

本発明の表示装置の作製方法の一は、絶縁表面上に非晶質半導体層を形成し、非晶質半導体層に金属元素を添加して加熱し、非晶質半導体層を結晶化し、結晶性半導体層を形成し、結晶性半導体層に接して一導電型を有する半導体層を形成し、結晶性半導体層及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層を加工し、ソース領域及びドレイン領域を形成し、ソース領域及びドレイン領域に接して、導電性材料を含む組成物を吐出してソース電極層及びドレイン電極層を形成し、結晶性半導体層、ソース電極層及びドレイン電極層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極層を形成する。

30

【0013】

本発明の表示装置の作製方法の一は、絶縁表面上に非晶質半導体層を形成し、非晶質半導体層に金属元素を添加して加熱し、非晶質半導体層を結晶化し、結晶性半導体層を形成し、結晶性半導体層上にチャンネル保護層を形成し、結晶性半導体層及びチャンネル保護層上に、一導電型を有する半導体層を形成し、結晶性半導体層及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層を加工し、ソース領域及びドレイン領域を形成し、ソース領域及びドレイン領域に接して、導電性材料を含む組成物を吐出して選択的にソース電極層及びドレイン電極層を形成し、結晶性半導体層、チャンネル保護層、ソース電極層及びドレイン電極層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極層を形成する。

40

【0014】

本発明の表示装置の作製方法の一は、絶縁表面上に第1の半導体層を形成し、第1の半導体層に金属元素を添加して加熱し、第1の半導体層に接して第1の不純物元素を有する第2の半導体層を形成し、第1の半導体層及び第1の不純物元素を有する第2の半導体層を加熱し、第1の不純物元素を有する第2の半導体層を除去し、第1の半導体層に第2の不純物元素を添加してソース領域及びドレイン領域を形成し、ソース領域及びドレイン

50

領域に接して、導電性材料を含む組成物を吐出してソース電極層及びドレイン電極層を形成し、結晶性半導体層、ソース電極層及びドレイン電極層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極層を形成する。

【0015】

本発明の表示装置の作製方法の一は、絶縁表面上に第1の半導体層を形成し、第1の半導体層に金属元素を添加して加熱し、第1の半導体層に接して第1の不純物元素を有する第2の半導体層を形成し、第1の半導体層及び第1の不純物元素を有する第2の半導体層を加熱し、第1の不純物元素を有する第2の半導体層を除去し、第1の半導体層のチャネル形成領域上にチャネル保護層を形成し、第1の半導体層に第2の不純物元素を添加してソース領域及びドレイン領域を形成し、ソース領域及びドレイン領域に接して、導電性材料を含む組成物を吐出して選択的にソース電極層及びドレイン電極層を形成し、結晶性半導体層、チャネル保護層、ソース電極層及びドレイン電極層上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極層を形成する。

10

【発明の効果】

【0016】

本発明により、結晶性半導体膜を有するトップゲート型プラナー構造の薄膜トランジスタを形成することができる。本発明で形成されるTFETは、結晶性半導体膜で形成されるため非晶質半導体膜で形成されるTFETと比較して移動度が高い。また、ソース領域及びドレイン領域には、p型を付与する不純物元素（アクセプター型元素）又はn型を付与する不純物元素（ドナー型元素）に加え、結晶化を促進する元素である金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な表示装置を作製することが可能である。

20

【0017】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、TFET特性のパラツキを低減することが可能である。このため、表示ムラを低減することが可能であり、信頼性の高い表示装置を作製することが可能である。

【0018】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をゲッタリングするため、オフ電流を低減することが可能である。このため、このようなTFETを表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

30

【0019】

また本発明によると、材料のロスも少なく、コストダウンも達成できる。よって高性能、高信頼性の表示装置を歩留まりよく作製することができる。

【発明を実施するための最良の形態】

【0020】

（実施の形態1）

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

40

【0021】

図33(A)は本発明に係る表示パネルの構成を示す上面図であり、絶縁表面を有する基板2700上に画素2702をマトリクス上に配列させた画素部2701、走査線側入力端子2703、信号線側入力端子2704が形成されている。画素数は種々の規格に従って設ければ良く、XGAであってRGBを用いたフルカラー表示であれば1024×768×3(RGB)、UXGAであってRGBを用いたフルカラー表示であれば1600×1200×3(RGB)、フルスペックハイビジョンに対応させ、RGBを用いたフル

50

カラー表示であれば1920×1080×3(RGB)とすれば良い。

【0022】

画素2702は、走査線側入力端子2703から延在する走査線と、信号線側入力端子2704から延在する信号線とが交差することで、マトリクス状に配設される。画素2702のそれぞれには、スイッチング素子とそれに接続する画素電極が備えられている。スイッチング素子の代表的な一例はTFTであり、TFTのゲート電極側が走査線と、ソース若しくはドレイン側が信号線と接続されることにより、個々の画素を外部から入力する信号によって独立して制御可能としている。

【0023】

図33(A)は、走査線及び信号線へ入力する信号を、外付けの駆動回路により制御する表示パネルの構成を示しているが、図34(A)に示すように、COG(Chip on Glass)方式によりドライバIC2751を基板2700上に実装しても良い。また他の実装形態として、図34(B)に示すようなTAB(Tape Automated Bonding)方式を用いてもよい。ドライバICは単結晶半導体基板に形成されたものでも良いし、ガラス基板上にTFTで回路を形成したものであっても良い。図34において、ドライバIC2751は、FPC2750と接続している。

【0024】

また、画素に設けるTFTを、結晶性が高い多結晶(微結晶)半導体で形成する場合には、図33(B)に示すように走査線側駆動回路3702を基板3700上に形成し一体化することもできる。図34(B)において、3701は画素部であり、信号線側駆動回路は、図33(A)と同様に外付けの駆動回路により制御する。本発明で形成するTFTのように、画素に設けるTFTを移動度の高い、多結晶(微結晶)半導体、単結晶半導体などで形成する場合は、図33(C)は、走査線駆動回路4702と、信号線駆動回路4704をガラス基板4700上に一体形成することもできる。

【0025】

本発明は、配線層若しくは電極を形成する導電層や、所定のパターンに形成するためのマスク層など表示パネルを作製するために必要な物体(その目的や機能に応じて膜や層などあらゆる形態で存在する)のうち、少なくとも一つ若しくはそれ以上を、選択的に所望な形状に形成可能な方法により形成して、表示装置を作製することを特徴とするものである。本発明は、薄膜トランジスタや表示装置を構成する、ゲート電極層、ソース電極層、ドレイン電極層などの導電層、半導体層、マスク層、絶縁層など、所定の形状を有して形成される全ての構成要素に対して適用できる。選択的に所望な形状に形成可能な方法として、導電層や絶縁層など形成し、特定の目的に調合された組成物の液滴を選択的に吐出(噴出)して所定のパターンに形成することが可能な、液滴吐出(噴出)法(その方式によっては、インクジェット法とも呼ばれる。)を用いる。また、物体が所望のパターンに転写、または描写できる方法、例えば各種印刷法(スクリーン(孔版)印刷、オフセット(平版)印刷、凸版印刷やグラビア(凹版)印刷など所望なパターンで形成される方法)なども用いることができる。

【0026】

本実施の形態は、流動性を有する形成する材料を含む組成物を、液滴として吐出(噴出)し、所望なパターンに形成する方法を用いている。形成物の被形成領域に、形成する材料を含む液滴を吐出し、焼成、乾燥等を行って固定化し所望なパターンで物体を形成する。

【0027】

液滴吐出法に用いる液滴吐出装置の一態様を図31に示す。液滴吐出手段1403の個々のヘッド1405、ヘッド1412は制御手段1407に接続され、それがコンピュータ1410で制御することにより予めプログラミングされたパターンに描画することができる。描画するタイミングは、例えば、基板1400上に形成されたマーカー1411を基準に行えば良い。或いは、基板1400の縁を基準にして基準点を確定させても良い。これを撮像手段1404で検出し、画像処理手段1409にてデジタル信号に変換した

10

20

30

40

50

ものをコンピュータ1410で認識して制御信号を発生させて制御手段1407に送る。撮像手段1404としては、電荷結合素子(CCD)や相補型金属酸化物半導体を利用したイメージセンサなどを用いることができる。勿論、基板1400上に形成されるべきパターンの情報は記憶媒体1408に格納されたものであり、この情報を基にして制御手段1407に制御信号を送り、液滴吐出手段1403の個々のヘッド1405、ヘッド1412を個別に制御することができる。吐出する材料は、材料供給源1413、材料供給源1414より配管を通してヘッド1405、ヘッド1412にそれぞれ供給される。

【0028】

ヘッド1405内部は、点線1406が示すように液状の材料を充填する空間と、吐出口であるノズルを有する構造となっている。図示しないが、ヘッド1412もヘッド1405と同様な内部構造を有する。ヘッド1405内部は、点線1406が示すように液状の材料を充填する空間と、吐出口であるノズルを有する構造となっている。図示しないが、ヘッド1412もヘッド1405と同様な内部構造を有する。ヘッド1405とヘッド1412のノズルを異なるサイズで設けると、異なる材料を異なる幅で同時に描画することができる。一つのヘッドで、導電性材料や有機、無機材料などをそれぞれ吐出し、描画することができる。層間膜のような広領域に描画する場合は、スループットを向上させるため複数のノズルより同材料を同時に吐出し、描画することができる。大型基板を用いる場合、ヘッド1405、ヘッド1412は基板上を、矢印の方向に自在に走査し、描画する領域を自由に設定することができ、同じパターンを一枚の基板に複数描画することができる。

【0029】

本発明では、形成物の加工工程において感光性のレジストや感光性物質を含む材料に光を照射し、露光する工程を行う。露光に用いる光は、特に限定されず、赤外光、可視光、または紫外光のいずれか一またはそれらの組み合わせを用いることが可能である。例えば、紫外線ランプ、ブラックライト、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光を用いてもよい。その場合、ランプ光源は、必要な時間点灯させて照射してもよいし、複数回照射してもよい。

【0030】

レーザ光を用いてもよく、レーザ光を用いるとより精密なパターンで被形成領域を露光処理できるので、そこに形成される物体も高繊細化することができる。本発明で用いることのできるレーザ光(レーザビームとも記す)を処理領域に描画する、レーザ光描画装置について、図28を用いて説明する。本実施の形態では、レーザ光を照射する領域をマスク等を介して選択するのではなく、処理領域を選択して直接照射して処理するため、レーザ光直接描画装置を用いる。図28に示すようにレーザ光直接描画装置1001は、レーザ光を照射する際の各種制御を実行するパーソナルコンピュータ(以下、PCと示す。)1002と、レーザ光を出力するレーザ発振器1003と、レーザ発振器1003の電源1004と、レーザ光を減衰させるための光学系(NDフィルタ)1005と、レーザ光の強度を変調するための音響光学変調器(AOM)1006と、レーザ光の断面の拡大又は縮小をするためのレンズ、光路の変更するためのミラー等で構成される光学系1007、Xステージ及びYステージを有する基板移動機構1009と、PC1002から出力される制御データをデジタル-アナログ変換するD/A変換部1010と、D/A変換部から出力されるアナログ電圧に応じて音響光学変調器1006を制御するドライバ1011と、基板移動機構1009を駆動するための駆動信号を出力するドライバ1012とを備えている。

【0031】

レーザ発振器1003としては、紫外光、可視光、又は赤外光を発振することが可能なレーザ発振器を用いることができる。レーザ発振器としては、KrF、ArF、KrF、XeCl、Xe等のエキシマレーザ発振器、He、He-Cd、Ar、He-Ne、HF等の気体レーザ発振器、YAG、GdVO₄、YVO₄、YLF、YAlO₃などの結晶

10

20

30

40

50

にCr、Nd、Er、Ho、Ce、Co、Ti又はTmをドープした結晶を使った固体レーザー発振器、GaN、GaAs、GaAlAs、InGaAsP等の半導体レーザー発振器を用いることができる。なお、固体レーザー発振器においては、基本波の第2高調波～第5高調波を適用するのが好ましい。

【0032】

次に、レーザー光直接描画装置を用いた物質（表面）の露光処理について述べる。基板1008が基板移動機構1009に装着されると、PC1002は図外のカメラによって、基板に付されているマーカの位置を検出する。次いで、PC1002は、検出したマーカの位置データと、予め入力されている描画パターンデータとに基づいて、基板移動機構1009を移動させるための移動データを生成する。この後、PC1002が、ドライバ1011を介して音響光学変調器1006の出力光量を制御することにより、レーザー発振器1003から出力されたレーザー光は、光学系1005によって減衰された後、音響光学変調器1006によって所定の光量になるように光量が制御される。一方、音響光学変調器1006から出力されたレーザー光は、光学系1007で光路及びレーザー光（ビームスポット）の形状を変化させ、レンズで集光した後、基板上に形成された被処理物に該レーザー光を照射して、被処理物を改質処理する。このとき、PC1002が生成した移動データに従い、基板移動機構1009をX方向及びY方向に移動制御する。この結果、所定の場所にレーザー光が照射され、被処理物の露光処理が行われる。

【0033】

この結果、レーザー光が照射された領域で、被処理物は露光され、感光される。感光性物質には大きくわけてネガ型とポジ型がある。ネガ型の場合は、露光された部分で化学反応が生じ、現像液によって化学反応が生じた部分のみが残されてパターンが形成される。また、ポジ型の場合は、露光された部分で化学反応が生じ、現像液によって化学反応が生じた部分が溶解され、露光されなかった部分のみが残されてパターンが形成される。レーザー光のエネルギーの一部は被処理物材料で熱に変換され、被処理物の一部を反応させるため、処理された被処理物の領域の幅が、処理するレーザー光の幅より若干大きくなることもある。また、短波長のレーザー光ほど、レーザー光の径を短く集光することが可能であるため、微細な幅に処理領域を形成するためには、短波長のレーザー光を照射することが好ましい。

【0034】

また、レーザー光の膜表面でのスポット形状は、点状、円形、楕円形、矩形、または線状（厳密には細長い長形状）となるように光学系で加工されている。

【0035】

また、図28に示した装置は、基板の表面側からレーザー光を照射して露光する例を示したが、光学系や基板移動機構を適宜変更し、基板の裏面側からレーザー光を照射して露光するレーザービーム描画装置としてもよい。

【0036】

なお、ここでは、基板を移動して選択的にレーザー光を照射しているが、これに限定されず、レーザー光をXY軸方向に走査してレーザー光を照射することができる。この場合、光学系1007にポリゴンミラーやガルバノミラー、音響光学偏向器（Acoust-Optic Deflector；AOD）を用いることが好ましい。また、レーザービームをX軸又はY軸の一方方向に走査し、基板をX軸又はY軸の他方向に移動して、基板の所定の場所にレーザービームを照射してもよい。

【0037】

また、光は、ランプ光源による光とレーザー光とを組み合わせることもでき、比較的広範囲な加工を行う領域は、マスクを用いてランプによる照射処理を行い、高繊細な加工を行う領域のみレーザー光で照射処理を行うこともできる。このように光の照射処理を行うと、スループットも向上でき、かつ高繊細に加工された配線基板などを得ることができる。

【0038】

本発明の実施の形態について、図1乃至図8を用いて説明する。より詳しくは、本発明を適用した表示装置の作製方法について説明する。まず、本発明を適用した、トップゲート型プラナー構造の薄膜トランジスタを有する表示装置の作製方法について説明する。図2～図5(A)は表示装置画素部の上面図であり、図2～図5の(B)は、図2～図5(A)における線A-Cによる断面図、図2～図5の(C)は、図2～図5(A)における線B-Dによる断面図である。

【0039】

基板100は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等からなるガラス基板、石英基板、シリコン基板、金属基板、ステンレス基板又は本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いる。また、基板100の表面が平坦化されるようにCMP法などによって、研磨しても良い。なお、基板100上に、絶縁層を形成してもよい。絶縁層は、CVD法、プラズマCVD法、スパッタリング法、スピコート法等の公知の方法により、珪素を含む酸化物材料、窒化物材料を用いて、単層又は積層して形成される。基板100として、320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mmのような大面積基板を用いることができる。

【0040】

基板100上に、下地膜として絶縁層140を形成することが好ましい。この絶縁層140は、基板100からの汚染物質などを遮断する効果がある。基板100の上に下地膜として、絶縁層140をスパッタリング法、PVD法(Physical Vapor Deposition)、減圧CVD法(LP-CVD法)、またはプラズマCVD法等のCVD法(Chemical Vapor Deposition)、スピコート法等などにより珪素を含む酸化物材料、窒化物材料を用いて、単層又は積層して形成する。本実施の形態では、プラズマCVD法を用いて、窒化酸化珪素(SiNO)膜を10～300nm(好ましくは50～100nm)形成し、酸化窒化珪素(SiON)膜を50～300nm(好ましくは100～150nm)積層する。

【0041】

絶縁層としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x>y)、窒化酸化珪素(SiN_xO_y)(x>y)などを用いることができ、単層でも2層、3層といった積層構造でもよい。なお本明細書中において酸化窒化珪素とは酸素の組成比が窒素の組成比より大きい物質(SiO_xN_y)(x>y)であり、窒素を含む酸化珪素とも言える。同様に、窒化酸化珪素とは、窒素の組成比が酸素の組成比より大きい物質(SiN_xO_y)(x>y)であり、酸素を含む窒化珪素とも言える。本実施の形態では、基板上にSiH₄、NH₃、N₂O、N₂及びH₂を反応ガスとして窒化酸化珪素膜を膜厚50nm形成し、SiH₄及びN₂Oを反応ガスとして酸化窒化珪素膜を膜厚100nmで形成する。また窒化酸化珪素膜の膜厚を140nm、積層する酸化窒化珪素膜の膜厚を100nmとしてもよい。他の積層例としては、基板側から窒化酸化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜からなる積層構造、または基板側から窒化珪素膜、酸化珪素膜、窒化珪素膜からなる積層構造を用いることができる。

【0042】

半導体層に接する絶縁層101の最上層に、膜厚0.3nm～5nmの窒化珪素膜、あるいは窒化珪素酸化膜を形成すると好ましい。本実施の形態では、半導体層に結晶化を促進する金属元素(本実施の形態ではニッケルを用いる)を添加し、その後ゲッタリング処理を行って除去する。酸化珪素膜と珪素膜とは界面状態は良好であるが、界面において珪素膜中の金属元素と酸化珪素中の酸素が反応し、酸化金属物(本実施の形態では酸化ニッケル(NiO_x))になりやすく、金属元素がゲッタリングされにくくなる場合がある。また、窒化珪素膜は、窒化珪素膜の応力や、トラップの影響により、半導体層との界面状態に悪影響を与える恐れがある。よって、半導体層に接する絶縁層の最上層に、膜厚0.3～5nmの窒化珪素膜、あるいは窒化酸化珪素膜を形成する。本実施の形態では、基

10

20

30

40

50

板100上に窒化酸化珪素膜と酸化窒化珪素膜とを積層した後、酸化窒化珪素膜上に膜厚0.3nm~5nmの窒化酸化珪素膜を形成し、3層の積層構造とする。このような構造であると、半導体層中の金属元素のゲッタリング効率も上がり、かつ半導体層への窒化珪素膜の悪影響も軽減できる。また積層される絶縁層は、同チャンパー内で真空を破らずに同一温度下で、反応ガスを切り変えながら連続的に形成するとよい。真空を破らずに連続的に形成すると、積層する膜同士の界面が汚染されるのを防ぐことができる。

【0043】

次に半導体膜を形成する。半導体層の詳細な作製方法を図7を用いて説明する。図7は半導体層102の作製方法を示しているが、半導体層103も同様に作製することができる。半導体膜は25~200nm(好ましくは30~150nm)の厚さで公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜すればよい。本実施の形態では、非晶質半導体膜を結晶化し、結晶性半導体膜とするものを用いるのが好ましい。

10

【0044】

半導体膜を形成する材料は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製される非晶質半導体(以下「アモルファス半導体:AS」とも記す。)、該非晶質半導体を熱エネルギーを利用して結晶化させた多結晶半導体、或いはセミアモルファス(微結晶若しくはマイクロクリスタルとも呼ばれる。以下「SAS」とも記す。)半導体などを用いることができる。

【0045】

SASは、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5~20nmの結晶領域を観測することが出来、珪素を主成分とする場合にはラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしている。X線回折では珪素結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。未結合手(ダングリングボンド)を終端化させるため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。SASは、珪化物気体をグロー放電分解(プラズマCVD)して形成する。珪化物気体としては、 SiH_4 、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることが可能である。また F_2 、 GeF_4 を混合させても良い。この珪化物気体を H_2 、又は、 H_2 とHe、Ar、Kr、Neから選ばれた一種または複数種の希ガス元素で希釈しても良い。希釈率は2~1000倍の範囲、圧力は概略0.1Pa~133Paの範囲、電源周波数は1MHz~120MHz、好ましくは13MHz~60MHzである。基板加熱温度は300以下が好ましく、100~200の基板加熱温度でも形成可能である。ここで、主に成膜時に取り込まれる不純物元素として、酸素、窒素、炭素などの大気成分に由来する不純物は $1 \times 10^{20}\text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19}\text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19}\text{ cm}^{-3}$ 以下となるようにすることが好ましい。また、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なSASが得られる。また半導体膜としてフッ素系ガスより形成されるSAS層に水素系ガスより形成されるSAS層を積層してもよい。

20

30

40

【0046】

なお、後の結晶化で良質な結晶構造を有する半導体膜を得るためには、図7に示す非晶質半導体膜135膜中に含まれる酸素、窒素などの不純物濃度を $5 \times 10^{18}/\text{cm}^3$ (以下、濃度はすべて二次イオン質量分析法(SIMS)にて測定した原子濃度として示す。)以下に低減させておくと良い。これらの不純物は、触媒元素と反応しやすく、後の結晶化を妨害する要因となり、また、結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。

【0047】

本実施の形態では、非晶質半導体膜、又はSAS膜に結晶化を助長する元素を用いた

50

熱結晶化法を用いる。加熱方法としてGRTA (Gas Rapid Thermal Anneal) 法、LRTA (Lamp Rapid Thermal Anneal) 法等のRTA法がある。

【0048】

非晶質半導体膜への金属元素の導入の仕方としては、当該金属元素を非晶質半導体膜の表面又はその内部に存在させ得る手法であれば特に限定はなく、例えばスパッタ法、CVD法、プラズマ処理法(プラズマCVD法も含む)、吸着法、金属塩の溶液を塗布する方法、イオン注入法、イオンドーピング法を使用することができる。このうち溶液を用いる方法は簡便であり、金属元素の濃度調整が容易であるという点で有用である。また、このとき非晶質半導体膜の表面のぬれ性を改善し、非晶質半導体膜の表面全体に水溶液を行き渡らせるため、酸素雰囲気中でのUV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、酸化膜を成膜することが望ましい。

10

【0049】

本実施の形態では、絶縁層101上に、非晶質半導体膜135を形成し、非晶質半導体膜135を結晶化させることによって結晶性半導体膜134を形成する。非晶質半導体膜135としては、SiH₄、H₂の反応ガスにより形成する非晶質珪素を用いる。非晶質半導体膜135としては、SiH₄、H₂の反応ガスにより形成する非晶質珪素を用いる。本実施の形態において、非晶質半導体膜436中の酸素濃度を $5 \times 10^{19} \text{atom/cm}^3$ 以下、好ましくは $2 \times 10^{19} \text{atom/cm}^3$ 以下にするように形成する。このように酸素などの不純物元素の濃度を低くすると、後に金属元素として添加したニッケルをゲッタリングする際、ゲッタリング残渣などのゲッタリング不良が生じにくくなる。非晶質半導体膜135の膜厚は50nm~300nmが好ましい。本実施の形態では、非晶質半導体膜135を50nm形成する。

20

【0050】

非晶質半導体膜上に形成された酸化膜を除去した後、酸素雰囲気中でのUV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、酸化膜を1~5nm形成する。本実施の形態では、結晶化を助長する元素としてNiを用いる。Ni元素を重量換算で10ppm~100ppm(好ましくは10ppm~50ppm)を含有した水溶液をスピコート法により塗布し、金属膜136を形成する(図7(A)参照)。結晶化を助長する元素としては、この珪素の結晶化を助長する金属元素としては鉄(Fe)、ニッケル(Ni)、コバルト(Co)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスニウム(Os)、イリジウム(Ir)、白金(Pt)、銅(Cu)及び金(Au)から選ばれた一種又は複数種類を用いて、金属膜136を形成することができる。金属膜136はその形成条件によっては膜厚が極薄であり、膜として形態を保っていなくてもよい。結晶化を助長させる効果が得られるように、非晶質半導体膜135に接して形成されればよい。

30

【0051】

次に、非晶質半導体膜を加熱して、結晶性半導体膜134を形成する。この場合、結晶化は半導体の結晶化を助長する金属元素が接した半導体膜の部分でシリサイドが形成され、それを核として結晶化が進行する。ここでは、脱水素化のための熱処理の後、結晶化のための熱処理(550~650で5分~24時間)を行う。また、RTA、GRTAにより結晶化を行っても良い。ここで、加熱にレーザ光照射を行わず結晶化することで、結晶性のばらつきを低減することが可能であり、後に形成されるTFEのばらつきを抑制することが可能である。

40

【0052】

本実施の形態では、熱処理を550で4時間行うが、熱処理をRTA法により650で6分間行ってもよい。

【0053】

このようにして得られた結晶性半導体膜134に対して、薄膜トランジスタのしきい値電圧を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。この不純物元素のドーピングは、結晶化工程の前の非晶質半導体膜に行ってもよい

50

し、結晶性半導体膜134中の金属元素をゲッタリング工程によって軽減、除去した後行ってもよい。本実施の形態ではジボラン(B_2H_6)を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。なお、質量分離を行うイオン注入法を用いてもよい。非晶質半導体膜の状態の不純物元素をドーピングすると、その後の結晶化のための加熱処理によって、不純物の活性化も行うことができる。また、ドーピングの際に生じる欠陥等も改善することができる。

【0054】

結晶性半導体膜134は、後工程で所望の形状に加工を行って複数の半導体層となる。それぞれの半導体層のチャンネル形成領域を保護するためのチャンネル保護層となる絶縁層を、結晶性半導体膜134上に形成する。チャンネル保護層としては、無機材料(酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素など)、感光性または非感光性の有機材料(有機樹脂材料)(ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ベンゾシクロブテンなど)、レジスト、低誘電率であるLow k材料などのもしくは複数種からなる膜、またはこれらの膜の積層などを用いることができる。また、シロキサ樹脂を用いてもよい。なお、シロキサ樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。作製法としては、プラズマCVD法や熱CVD法などの気相成長法やスパッタリング法を用いることができる。チャンネル保護層は、液滴吐出法を用いてポリイミド又はポリビニルアルコール等を滴下してもよい。その結果、露光工程を省略することができる。また、印刷法(スクリーン印刷やオフセット印刷など選択的にパターンで形成物が形成される方法)を用いることもできる。塗布法で得られるSOG膜なども用いることができる。本実施の形態では、結晶性半導体膜134上の酸化膜を除去した後、酸化珪素膜を膜厚50nm形成し、所望の形状に加工して、チャンネル保護層104をチャンネル形成領域上に選択的に形成する(図7(B)参照)。チャンネル保護層104を所望の形状に加工する際のマスクを、レーザー光による露光処理を用いて加工すると、微細で正確な加工を行うことができる。よって、制御性よく、所望とする形状でチャンネル保護層を形成することができる。

【0055】

金属元素を用いた結晶化を行った場合、金属元素を軽減、又は除去するためにゲッタリング工程を施す。結晶性半導体膜134中の金属元素を吸い込み自らに取り込む層として半導体膜を、結晶性半導体膜134に接して形成する。本実施の形態では、不純物元素を有する非晶質半導体膜を、金属元素を捕獲するゲッタリングシンクとして形成する。まず、結晶性半導体膜134上に形成された酸化膜を洗浄処理によって除去する。次いでプラズマCVD法を用いて、半導体膜137a、半導体膜137bを形成する。半導体膜137aの膜厚は、30~100nm(代表的には40~60nm)、半導体膜137bの膜厚は、20~200nm(代表的には50~150nm)とする。半導体膜137a、半導体膜137bは不純物元素を有しており、不純物元素としてはn型を付与する不純物元素、p型を付与する不純物元素や希ガス元素などを用いることができ、例えばリン(P)、窒素(N)、ヒ素(As)、アンチモン(Sb)、ビスマス(Bi)、ボロン(B)、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、Kr(クリプトン)、Xe(キセノン)から選ばれた一種または複数種を用いることができる。n型を付与する不純物元素を含むn型を有する半導体層に、アルゴンなどの希ガス元素が含まれるように形成することもできる。本実施の形態では、半導体膜137aを半導体膜137bには、n型を付与する不純物元素(本実施の形態ではリンを用いる)が含まれており、半導体膜137aの不純物元素の濃度は、半導体膜137bより低くなるように形成されている。前記不純物元素は、CVD法などによって、不純物元素を含むように半導体膜を形成しても良いし、半導体膜を形成後に、イオンドープ法などによって添加してもよい。

【0056】

半導体膜137aはn型の低濃度不純物領域（n-領域とも記す）として形成され、半導体膜137bはn型の高濃度不純物領域（n+領域とも記す）として形成されている。よって半導体膜137a、半導体膜137bのそれぞれの膜において深さ方向に対して一定の濃度でn型を付与する不純物元素が分布しており、半導体膜137aの方が、半導体膜137bより低い濃度でn型を付与する不純物元素が分布している。n+領域である半導体膜137bは後にソース領域及びドレイン領域として機能し、n-領域である半導体膜137aはLDD（Lightly Doped Drain）領域として機能する。なお、n+領域とn-領域はそれぞれ作り分けているので界面が存在する。n+領域とn-領域の膜厚制御は、それぞれ各濃度の半導体膜の膜厚を制御することによって達成できる。

10

【0057】

一方、半導体膜を形成し、イオンドープ法又はイオン注入法により該半導体膜にn型を付与する不純物元素を添加して半導体膜を形成してもよい。この場合、そのドーピング条件によって一導電型を有する半導体膜中の不純物の濃度分布を制御すればよい。本実施の形態の半導体膜137a及び半導体膜137bのように、半導体膜の表面に近い膜厚方向に浅い領域のn型を付与する不純物元素濃度が $1 \times 10^{19} / \text{cm}^3$ 以上のn型の高濃度不純物領域（n+領域とも記す）とし、半導体膜の表面に遠い膜厚方向に深い領域をn型を付与する不純物元素濃度が $1 \times 10^{16} \sim 1 \times 10^{19} / \text{cm}^3$ （好ましくは $5 \times 10^{16} \sim 5 \times 10^{18} / \text{cm}^3$ ）の、n型の低濃度不純物領域（n-領域とも記す）となるように形成する。n+領域は後にソース領域及びドレイン領域として機能し、n-領域はLDD領域として機能する。なお、n+領域とn-領域それぞれの界面は存在せず、相対的なn型を付与する不純物元素濃度の大小によって変化する。このようにイオンドープ法又はイオン注入法により形成されたn型を付与する不純物元素が含まれる半導体膜の場合は、添加条件によって濃度プロファイルを制御し、n+領域とn-領域の膜厚を適宜制御することが可能である。n+領域とn-領域を有することにより電界の緩和効果が大きくなり、ホットキャリア耐性を高めた薄膜トランジスタを形成することが可能となる。

20

【0058】

本実施の形態では、半導体膜137a、半導体膜137bとして、n型を付与する不純物元素（ドナー型元素）であるリンを含む珪素膜をプラズマCVD法によって形成する。また、半導体膜137a、半導体膜137bに含まれるn型を付与する不純物元素の濃度を異ならせているので、半導体膜137aはn型の低濃度不純物領域となり、半導体膜137bはn型の高濃度不純物領域となっている。n型の低濃度不純物領域の不純物濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} / \text{cm}^3$ 、好ましくは $5 \times 10^{16} \sim 5 \times 10^{18} / \text{cm}^3$ 、n型の高濃度不純物領域の不純物濃度は、その10倍から100倍が好ましく、 $1 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ とすることができる。またn型の低濃度不純物領域である半導体膜137aの膜厚は20～200nm、代表的には50～150nmであり、本実施の形態では、膜厚50nmで形成する。n型の高濃度不純物領域である半導体膜137bの膜厚は30～100nm、代表的には40～60nmであり、本実施の形態では、膜厚50nmで形成する。

30

【0059】

その後、熱処理を行い、金属元素を低減、又は除去する。結晶性半導体膜134中の金属元素は、図7（C）に示すように、矢印の方向へ加熱処理によって移動し、半導体膜137a、半導体膜137b中に捕獲される。結晶性半導体膜134は、膜中の金属元素を除去され結晶性半導体膜139となり、半導体膜137a、半導体膜137bは結晶化を促進する金属元素を含む半導体膜138a、半導体膜138bとなる。本実施の形態では半導体膜138a、半導体膜138bにはn型を付与する不純物元素と、結晶化を助長する金属元素が含まれる。この工程により、結晶性半導体膜中の結晶化を促進させる元素（本実施の形態ではニッケル元素）がデバイス特性に影響を与えない濃度、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができる。また、ゲッタリング後の金属元素が移動した半導体膜138a、半導体膜138b

40

50

も加熱処理により結晶化される場合がある。なお、本実施の形態においては、ゲッタリング工程と共に、半導体膜138a、半導体膜138b中のn型を付与する不純物元素（ドナー型元素）の活性化を行っている。熱処理は窒素雰囲気下で行ってもよい。本実施の形態では、熱処理を550で4時間行うが、熱処理をRTA法により650で6分間行ってもよい。

【0060】

次に結晶性半導体膜139、半導体膜138a、半導体膜138bをマスクを用いて所望の形状に加工する。本実施の形態では、フォトマスクを作製し、フォトリソグラフィ法を用いた加工処理により、半導体層102、n型を有する半導体層106、n型を有する半導体層108を形成する（図7（D）参照。）。同様に半導体層103、チャンネル保護層105、n型を有する半導体層107、n型を有する半導体層109も形成する（図2参照。）。フォトマスクはレジストをスピンコート法などによる全面塗布、または液滴吐出法によって選択的に形成し、レーザ照射による露光によって微細なパターンのマスクを形成すればよい。微細なパターンのマスクによって半導体膜は微細かつ精巧に所望な形状に加工することができる。

【0061】

エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いて、マスクを露光加工せずに組成物を選択的に吐出して形成することもできる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサンポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて液滴吐出法で形成することができる。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0062】

所望の形状へ加工する際のエッチング加工は、プラズマエッチング（ドライエッチング）又はウェットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、 CF_4 、 NF_3 、 SF_6 、 CHF_3 などのフッ素を含むガス又は Cl_2 、 BCl_3 、 $SiCl_4$ もしくは CCl_4 などを代表とする塩素を含むガス、あるいは O_2 のガスを用い、HeやArなどの不活性ガスを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。

【0063】

導電性材料を含む組成物を吐出して、ソース電極層又はドレイン電極層114、ソース電極層又はドレイン電極層115、ソース電極層又はドレイン電極層116、ソース電極層又はドレイン電極層117を形成し、該ソース電極層又はドレイン電極層114、ソース電極層又はドレイン電極層115、ソース電極層又はドレイン電極層116、ソース電極層又はドレイン電極層117をマスクとして、n型を有する半導体層106、n型を有する半導体層108、n型を有する半導体層107及びn型を有する半導体層109をパターン加工して、n型を有する半導体層110a、n型を有する半導体層110b、n型を有する半導体層111a、n型を有する半導体層111b、n型を有する半導体層112a、n型を有する半導体層112b、n型を有する半導体層113a、n型を有する半導体層113bを形成する（図3参照。）。ソース電極層又はドレイン電極層114は配線層、ソース電極層又はドレイン電極層116は電源線としても機能する。

【0064】

ソース電極層又はドレイン電極層は、印刷法、電界メッキ法、PVD法（Physical Vapor Deposition）、CVD法（Chemical Vapor Deposition）、蒸着法等の公知の手法により形成することが好ましい。また形成方法としては、液滴吐出法によって所望のパターンに形成することもできる。材料としては、タングステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、白金（Pt）

、アルミニウム (A l)、銀 (A g)、金 (A u)、銅 (C u) 等の金属又はその合金、若しくはその金属窒化物を適宜用いることができる。また、これら複数の層を積層して形成してもよい。代表的には、基板表面に窒化タンタル膜、その上にタングステン膜を積層してもよい。また、珪素に一導電型を付与する不純物元素を添加した材料を用いてもよい。例えば、非晶質珪素膜にリン (P) などの n 型を付与する不純物元素が含まれた n 型を有する珪素膜などを用いることができる。

【 0 0 6 5 】

また透明導電性材料を用いて形成することもできる。インジウム錫酸化物 (I T O)、酸化珪素を含むインジウム錫酸化物 (I T S O)、酸化亜鉛 (Z n O)、酸化スズ (S n O ₂) などにより形成してもよい。好ましくは、スパッタリング法によりインジウム錫酸化物 (I T O)、酸化珪素を含むインジウム錫酸化物 (I T S O)、酸化亜鉛 (Z n O) などで形成する。より好ましくは、I T O に酸化珪素が 2 ~ 1 0 重量 % 含まれたターゲットを用いてスパッタリング法で酸化珪素を含む酸化インジウムスズを用いる。この他、酸化珪素を含み酸化インジウムに 2 ~ 2 0 atomic % の酸化亜鉛 (Z n O) を混合した酸化インジウム酸化亜鉛合金などの導電性材料を用いてもよい。

【 0 0 6 6 】

本実施の形態では、導電性材料として銀を含む組成物を吐出して、5 5 0 で焼成し、ソース電極層又はドレイン電極層 1 1 4、ソース電極層又はドレイン電極層 1 1 5、ソース電極層又はドレイン電極層 1 1 6、ソース電極層又はドレイン電極層 1 1 7 を形成する。本実施の形態で形成するトップゲート型のプラナー構造では、結晶性半導体である半導体層を加熱処理によって形成した後、ソース電極層、ドレイン電極層、ゲート電極層などの導電層を形成する工程であるため、形成した導電層に高い耐熱性が材料も用いることができる。よって、材料の選択の幅が広がり、かつ形成した電極層などの導電層が加熱処理によって、形状、機能や特性に不良を生じることがないので、信頼性が向上する。

【 0 0 6 7 】

液滴吐出手段とは、組成物の吐出口を有するノズルや、1 つ又は複数のノズルを具備したヘッド等の液滴を吐出する手段を有するものの総称とする。液滴吐出手段が具備するノズルの径は、0 . 0 2 ~ 1 0 0 μ m (好適には 3 0 μ m 以下) に設定し、該ノズルから吐出される組成物の吐出量は 0 . 0 0 1 p l ~ 1 0 0 p l (好適には 0 . 1 p l 以上 4 0 p l 以下、より好ましくは 1 0 p l 以下) に設定する。吐出量は、ノズルの径の大きさに比例して増加する。また、被処理物とノズルの吐出口との距離は、所望の箇所に滴下するために、出来る限り近づけておくことが好ましく、好適には 0 . 1 ~ 3 m m (好適には 1 m m 以下) 程度に設定する。

【 0 0 6 8 】

吐出口から吐出する組成物は、導電性材料を溶媒に溶解又は分散させたものを用いる。導電性材料とは、A g、A u、C u、N i、P t、P d、I r、R h、W、A l 等の金属、C d、Z n の金属硫化物、F e、T i、S i、G e、S i、Z r、B a などの酸化物、ハロゲン化銀の微粒子又は分散性ナノ粒子に相当する。また、透明導電膜として用いられるインジウム錫酸化物 (I T O)、インジウム錫酸化物と酸化珪素からなる I T S O、有機インジウム、有機スズ、酸化亜鉛、窒化チタン等に相当する。導電性材料として、前記金属元素を複数混合して用いてもよい。但し、吐出口から吐出する組成物は、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。但し、銀、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。バリア膜としては、窒化珪素膜やニッケルボロン (N i B) を用いるとすることができる。

【 0 0 6 9 】

また、導電性材料の周りに他の導電性材料がコーティングされ、複数の層になっている粒子でもよい。例えば、銅の周りにニッケルボロン (N i B) がコーティングされ、その周囲に銀がコーティングされている 3 層構造の粒子などを用いてもよい。溶媒は、酢酸ブチル、酢酸エチル等のエステル類、イソプロピルアルコール、エチルアルコール等のアル

10

20

30

40

50

コール類、メチルエチルケトン、アセトン等の有機溶剤、水等を用いる。組成物の粘度は $20 \text{ mPa} \cdot \text{s}$ (cps) 以下が好適であり、これは、乾燥が起こることを防止したり、吐出口から組成物を円滑に吐出できるようにしたりするためである。また、組成物の表面張力は、 40 mN/m 以下が好適である。但し、用いる溶媒や、用途に合わせて、組成物の粘度等は適宜調整するとよい。一例として、ITOや、有機インジウム、有機スズを溶媒に溶解又は分散させた組成物の粘度は $5 \sim 20 \text{ mPa} \cdot \text{s}$ 、銀を溶媒に溶解又は分散させた組成物の粘度は $5 \sim 20 \text{ mPa} \cdot \text{s}$ 、金を溶媒に溶解又は分散させた組成物の粘度は $5 \sim 20 \text{ mPa} \cdot \text{s}$ に設定するとよい。

【0070】

また、複数の導電性材料を積層しても良い。また、始めに導電性材料として銀を用いて、液滴吐出法で導電層を形成した後、銅などでめっきを行ってもよい。めっきは電気めっきや化学(無電界)めっき法で行えばよい。めっきは、めっきの材料を有する溶液を満たした容器に基板表面を浸してもよいが、基板を斜め(または垂直)に立てて設置し、めっきする材料を有する溶液を、基板表面に流すように塗布してもよい。基板を立てて溶液を塗布するようにめっきを行うと、工程装置が小型化する利点がある。

10

【0071】

各ノズルの径や所望のパターン形状などに依存するが、ノズルの目詰まり防止や高精細なパターンの作製のため、導電体の粒子の径はなるべく小さい方が好ましく、好適には粒径 $0.1 \mu\text{m}$ 以下が好ましい。組成物は、電解法、アトマイズ法又は湿式還元法等の公知の方法で形成されるものであり、その粒子サイズは、一般的に約 $0.01 \sim 10 \mu\text{m}$ である。但し、ガス中蒸発法で形成すると、分散剤で保護されたナノ粒子は約 7 nm と微細であり、またこのナノ粒子は、被覆剤を用いて各粒子の表面を覆うと、溶剤中に凝集がなく、室温で安定に分散し、液体とほぼ同じ挙動を示す。従って、被覆剤を用いることが好ましい。

20

【0072】

組成物を吐出する工程は、減圧下で行うと、組成物を吐出して被処理物に着弾するまでの間に、該組成物の溶媒が揮発し、後の乾燥と焼成の工程を省略することができる。また、減圧下で行うと、導電体の表面に酸化膜などが形成されないため好ましい。また、組成物を吐出後、乾燥と焼成の一方又は両方の工程を行う。乾燥と焼成の工程は、両工程とも加熱処理の工程であるが、例えば、乾燥は 100 度で3分間程度の数分間、焼成は $200 \sim 350$ 度で15分間～60分間で行うもので、その目的、温度と時間が異なるものである。乾燥の工程、焼成の工程は、常圧下又は減圧下で、レーザー光の照射や瞬間熱アニール、加熱炉などにより行う。なお、この加熱処理を行うタイミングは特に限定されない。乾燥と焼成の工程を良好に行うためには、基板を加熱しておいてもよく、そのときの温度は、基板等の材質に依存するが、一般的には $100 \sim 800$ 度(好ましくは $200 \sim 350$ 度)とする。本工程により、組成物中の溶媒の揮発、又は化学的に分散剤を除去するとともに、周囲の樹脂が硬化収縮することで、ナノ粒子間を接触させ、融合と融着を加速する。

30

【0073】

レーザー光の照射は、連続発振またはパルス発振の気体レーザー又は固体レーザーを用いれば良い。前者の気体レーザーとしては、エキシマレーザー、YAGレーザー等が挙げられ、後者の固体レーザーとしては、Cr、Nd等がドーピングされたYAG、 YVO_4 、 GdVO_4 等の結晶を使ったレーザー等が挙げられる。なお、レーザー光の吸収率の関係から、連続発振のレーザーを用いることが好ましい。また、パルス発振と連続発振を組み合わせた所謂ハイブリッドのレーザー照射方法を用いてもよい。但し、基板 100 の耐熱性に依っては、レーザー光の照射による加熱処理は、該基板 100 が破壊しないように、数マイクロ秒から数十秒の間で瞬間的に行うとよい。瞬間熱アニール(RTA)は、不活性ガスの雰囲気下で、紫外光乃至赤外光を照射する赤外ランプやハロゲンランプなどを用いて、急激に温度を上昇させ、数分～数マイクロ秒の間で瞬間的に熱を加えて行う。この処理は瞬間的に行うために、実質的に最表面の薄膜のみを加熱することができ、下層の膜には影響を与えない。つま

40

50

り、プラスチック基板等の耐熱性が弱い基板にも影響を与えない。本発明の半導体層にはレーザー照射を行わないので、レーザー光は電極層に選択的に照射されるように制御する。

【0074】

ソース電極層又はドレイン電極層の形成方法を図6を用いて説明する。ソース電極層又はドレイン電極層114、ソース電極層又はドレイン電極層115、ソース電極層はドレイン電極層116、ソース電極層又はドレイン電極層117は、微細なパターンで形成されており、制御性よく形成しなければ形成不良によるショート等の不良を引き起こす。よって、半導体層上の微細な加工工程はレーザー光による微細な加工によって行う。図6(A)で示すように、基板200上に絶縁層201、半導体層202a、半導体層202b、チャンネル保護層203a、チャンネル保護層203b、n型を有する半導体層204a、n型を有する半導体層204b、n型を有する半導体層205a、n型を有する半導体層205bが形成されており、これらを覆うように導電膜206を形成する。導電膜206は蒸着法、CVD法、スパッタ法などによって形成することもできるが、本実施の形態では、液滴吐出装置207a、液滴吐出装置207bによって導電膜206を選択的に形成する(図6(A)参照。)。その後、レジストからなるマスク208を形成する。

10

【0075】

レジストからなるマスク208に、レーザー光209a、レーザー光209bを照射し、露光することによって領域210a、領域210bを感光する(図6(B)参照。)。本実施の形態ではポジ型の感光性のレジストを用いるため、露光され、感光した領域210a、領域210b、領域210cはエッチャントによって除去され、開口部211a、開口部211bが形成される(図6(C)参照。)。開口部211a、開口部211bを有するマスクを用いて導電膜206をエッチングにより加工することによって、ソース電極層又はドレイン電極層212a、ソース電極層又はドレイン電極層212b、ソース電極層又はドレイン電極層212cが形成される。このソース電極層又はドレイン電極層212a、ソース電極層又はドレイン電極層212b、ソース電極層又はドレイン電極層212cをマスクとしてn型を有する半導体層204a、n型を有する半導体層204b、n型を有する半導体層205a、n型を有する半導体層205bをエッチングし、n型を有する半導体層213a、n型を有する半導体層213b、n型を有する半導体層213c、n型を有する半導体層213d、n型を有する半導体層214a、n型を有する半導体層214b、n型を有する半導体層214c、n型を有する半導体層214dを形成することができる(図6(D)参照。)。このようにレーザー光による微細な加工によりマスクを形成し、導電膜の加工を行うことで、制御性よく精密に導電膜を加工でき、所望な形状のソース電極層やドレイン電極層を形成することができる。よって形成不良が生じないために薄膜トランジスタの信頼性も向上する。また、エッチングによる加工を行っていない方のソース電極層又はドレイン電極層212a、ソース電極層又はドレイン電極層212bの端部は曲率半径を有するような丸みを帯びた形状となりうる。液滴吐出法を用いると、材料のロスも軽減し、工程も簡略化するため、コストが低く生産性が上がるという利点がある。

20

30

【0076】

また、n型を有する半導体層のエッチング加工は、チャンネル保護層をエッチングストッパーとして行うが、そのエッチング条件によって図6のように、チャンネル保護層の一部もエッチングされる場合がある。チャンネル保護層は半導体層中のチャンネル形成領域がエッチングされるのを保護するための絶縁層であるので、全て除去されてしまい、チャンネル形成領域が露出することのないようなエッチング条件でエッチングをする。

40

【0077】

ソース電極層又はドレイン電極層114、ソース電極層又はドレイン電極層115、ソース電極層又はドレイン電極層116、ソース電極層又はドレイン電極層117を形成後、プレス等による平坦化工程を行っても良い。プレスする時に、加熱工程を行っても良い。また溶剤等によって表面を軟化、または融解させエアナイフで表面の凹凸部を除去しても良い。また、CMP法を用いて研磨しても良い。また、ソース電極層又はドレイン電

50

極層を液滴吐出法によって吐出し、仮焼成をしてから、本焼成の間にプレス工程を挟むことによって、電極層の平坦化の他に、電極層に含まれる酸素が放出され酸素濃度が低下するので、電気抵抗が下がるという効果もある。

【0078】

また、ソース電極層、ドレイン電極層、ゲート電極層などの電極層、または配線層などに感光性を有する感光性物質を含む導電性材料を用いると、レジストからなるマスクを形成しなくても導電膜に直接レーザー光を照射し、露光、エッチャントによる除去を行うことで、所望のパターンに加工することができる。この場合、マスクを形成せずともよいので工程が簡略化する利点がある。感光性物質を含む導電性材料は、Ag、Au、Cu、Ni、Al、Ptなどの金属或いは合金と、有機高分子樹脂、光重合開始剤、光重合単量体、または溶剤などからなる感光性樹脂とを含んだものを用いればよい。有機高分子樹脂としては、ノボラック樹脂、アクリル系コポリマー、メタクリル系コポリマー、セルローズ誘導体、環化ゴム系樹脂などを用いる。

10

【0079】

次に、ソース電極層又はドレイン電極層114、ソース電極層又はドレイン電極層115、ソース電極層又はドレイン電極層116、ソース電極層又はドレイン電極層117、チャンネル保護層104、チャンネル保護層105上にゲート絶縁層125を形成する。ゲート絶縁層125は、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) (x > y)、窒化酸化珪素(SiN_xO_y) (x > y)などを適宜用いることができる。酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) (x > y)、窒化酸化珪素(SiN_xO_y) (x > y)等のいずれかで形成される単層、または組み合わせた積層で形成してもよい。なお、本実施の形態では、ゲート絶縁層125には、水素が含まれる。また、液滴吐出法で形成される導電層に銀や銅などを用いる場合、その上にバリア膜として窒化珪素膜やNiB膜を形成すると、不純物の拡散を防ぎ、表面を平坦化する効果がある。なお、低い成膜温度でゲートリーク電流が少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。本実施の形態では、SiH₄及びN₂Oを反応ガスとして酸化珪素膜を膜厚120nmで形成する。またゲート絶縁層125の膜厚を80nm~200nmとすると好ましい。

20

【0080】

ゲート絶縁層125にソース電極層又はドレイン電極層115に達する開口部126形成する。エッチング工程は、ドライエッチングでもウェットエッチングでもよい。この開口部126においてソース電極層又はドレイン電極層115と、後に形成されるゲート電極層119が電氣的に接続する。

30

【0081】

液滴吐出装置124a、液滴吐出装置124bより導電性材料を含む組成物を吐出して、ゲート絶縁層125上に、ゲート電極層118、ゲート電極層119を形成する(図4参照)。ゲート絶縁層125上に、ゲート電極層118、ゲート電極層119を形成する工程も、前述したソース電極層又はドレイン電極層を形成したときと同様に形成することができる。ゲート電極層118はゲート配線層としても機能する。本実施の形態では銀を導電性材料として含む組成物を吐出し、300℃で焼成して、ゲート電極層118、ゲート電極層119を形成する。ゲート電極層119を開口部126に形成することにより、開口部126においてソース電極層又はドレイン電極層114と、ゲート電極層119が電氣的に接続する。

40

【0082】

ゲート電極層を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するインジウム錫酸化物(ITO)、インジウム錫酸化物と酸化珪素からなるITSO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

50

【 0 0 8 3 】

ゲート電極層 1 1 8、ゲート電極層 1 1 9 を形成後もソース電極層又はドレイン電極層の時と同様、プレス等による平坦化工程を行っても良い。また、ゲート電極層を液滴吐出法によって吐出し、仮焼成をしてから、本焼成の間にプレス工程を挟むことによって、電極層の平坦化の他に、電極層に含まれる酸素が放出され酸素濃度が低下するので、電気抵抗が下がるという効果もある。

【 0 0 8 4 】

ソース電極層又はドレイン電極層、半導体層、ゲート絶縁層、ゲート電極層を覆うようにパッシベーション膜となる絶縁膜 1 2 8 を成膜することが好ましい。絶縁膜 1 2 8 は、プラズマ C V D 法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイヤモンドライクカーボン (D L C)、窒素含有炭素 (C N)、その他の絶縁性材料を用いて形成することができる。なお、パッシベーション膜は単層でも積層構造でもよい。本実施の形態では、絶縁膜 1 2 8 を窒化珪素膜を膜厚 1 0 0 n m で形成する。

【 0 0 8 5 】

この後、半導体層 1 0 2、半導体層 1 0 3 を水素雰囲気又は窒素雰囲気で加熱して水素化することが好ましい。なお、窒素雰囲気で加熱する場合は、絶縁膜 1 2 8 として水素を含む絶縁膜を形成することが好ましい。

【 0 0 8 6 】

次に、絶縁層 1 2 9 を形成する。本実施の形態では、絶縁層 1 2 9 を全面に形成し、レジスト等のマスクによって、エッチングし加工する。絶縁層 1 2 9 を、直接選択的に形成できる液滴吐出法や印刷法などを用いて形成する場合は、エッチングによる加工は必ずしも必要はない。本実施の形態において、層間絶縁層として絶縁層 1 2 9 を設けた上に、隔壁として機能する第 2 の絶縁層を設ける。この場合、絶縁層 1 2 9 は、第 1 の絶縁層とも言える。

【 0 0 8 7 】

絶縁層 1 2 9 は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、ダイヤモンドライクカーボン (D L C)、窒素含有炭素膜 (C N)、ポリシラザンその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド (polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール (polybenzimidazole)、ベンゾシクロブテンなどの有機絶縁性材料、又はシロキサン樹脂を用いてもよい。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成してもよい。

【 0 0 8 8 】

本実施の形態では、絶縁層 1 2 9 の材料としては、シロキサン樹脂材料を用いた塗布膜を用いる。焼成した後の膜は、アルキル基を含む酸化珪素膜 (S i O x) と呼べる。

【 0 0 8 9 】

絶縁膜 1 2 8 及び絶縁層 1 2 9、ゲート絶縁層 1 2 5 に、ソース電極層又はドレイン電極層 1 1 7 に達する開口部 1 3 2 を形成する。この開口部もレジストからなるマスクを用いてエッチングし形成する。エッチング加工に用いるマスクは、レーザ光の照射による露光を行うことで微細な形状を有するマスクとすることができる。このようにして形成した開口部 1 3 2 に配線層 1 3 1 を形成する。配線層 1 3 1 もソース電極層又はドレイン電極層、ゲート電極層と同様な材料で同様に形成すればよい。本実施の形態では、配線層として、銀を用いて液滴吐出法により形成する。

【 0 0 9 0 】

絶縁層 1 2 9 上に選択的に、配線層 1 3 1 と接するように、導電性材料を含む組成物を吐出して、第 1 の電極層 1 3 0 を形成する (図 5 参照)。第 1 の電極層 1 3 0 は、基板 1 0 0 側から光を放射する場合、または透過型の表示パネルを作製する場合には、少なくとも可視光を透過する透光性導電性材料である、インジウム錫酸化物 (I T O)、酸化珪素を含むインジウム錫酸化物 (I T S O)、酸化亜鉛 (Z n O) を含むインジウム亜鉛酸

10

20

30

40

50

化物 (IZO (indium zinc oxide))、酸化亜鉛 (ZnO)、ZnOにガリウム (Ga) をドーブしたものの、酸化スズ (SnO₂) などを含む組成物により所定のパターンに形成し、焼成によって形成しても良い。

【0091】

また、好ましくは、スパッタリング法によりインジウム錫酸化物 (ITO)、酸化珪素を含むインジウム錫酸化物 (ITSO)、酸化亜鉛 (ZnO) などで形成する。より好ましくは、ITOに酸化珪素が2~10重量%含まれたターゲットを用いてスパッタリング法で酸化珪素を含む酸化インジウムスズを用いる。この他、ZnOにガリウム (Ga) をドーブした導電性材料、酸化珪素を含み酸化インジウムに2~20atomic%の酸化亜鉛 (ZnO) を混合した酸化物導電性材料であるインジウム亜鉛酸化物 (IZO (indium zinc oxide)) を用いても良い。スパッタリング法で第1の電極層130を形成した後は、液滴吐出法を用いてマスク層を形成しエッチングにより、所望のパターンに形成すれば良い。本実施の形態では、第1の電極層130は、透光性を有する導電性材料により液滴吐出法を用いて形成し、具体的には、インジウム錫酸化物、ITOと酸化珪素から構成されるITSOを用いて形成する。

10

【0092】

本実施の形態では、第1の電極層130を、配線層131を形成した後に、配線層131と接するように形成し、電気的に接続する。しかし、絶縁層129上に選択的に第1の電極層130を形成した後、配線層131を第1の電極層130及びソース電極層又はドレイン電極層117と接するように形成し、電気的に接続するという工程を用いてもよい。この場合、配線層131と第1の電極層130の積層順が異なり、絶縁層129上に第1の電極層130が形成され、第1の電極層上に配線層131が形成される構造となる。

20

【0093】

以上の工程により、基板100上にトップゲート型プラナー構造の薄膜トランジスタと画素電極層である第1の電極層が接続された表示装置用のTFT基板(素子基板とも記す)が完成する。

【0094】

次に、絶縁層121(隔壁、土手とも呼ばれる)を選択的に形成する。絶縁層121は、第1の電極層130上に開口部を有するように形成し、配線層131を覆って形成する。本実施の形態では、絶縁層121を全面に形成し、レジスト等のマスクによって、エッチングし加工する。絶縁層121を、直接選択的に形成できる液滴吐出法や印刷法などを用いて形成する場合は、エッチングによる加工は必ずしも必要はない。

30

【0095】

絶縁層121は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成してもよい。絶縁層121は曲率半径が連続的に変化する形状が好ましく、上に形成される電界発光層122、第2の電極層123の被覆性が向上する。

40

【0096】

また、液滴吐出法により、絶縁層121を組成物を吐出し形成した後、その平坦性を高めるために表面を圧力によってプレスして平坦化してもよい。プレスの方法としては、ローラー状のものを表面に走査することによって、凹凸をならすように軽減したり、平坦な板状な物で表面を垂直にプレスしてもよい。また溶剤等によって表面を軟化、または融解させエアナイフで表面の凹凸部を除去してもよい。また、CMP法を用いて研磨してもよい。この工程は、液滴吐出法によって凹凸が生じる場合に、その表面の平坦化する場合

50

適用することができる。この工程により平坦性が向上すると、表示装置の表示ムラなどを防止することができ、高繊細な画像を表示することができる。

【0097】

薄膜トランジスタに電氣的に接続するように、発光素子を形成する(図1参照。)

【0098】

電界発光層122を形成する前に、大気圧中で200の熱処理を行い第1の電極層130、絶縁層121中若しくはその表面に吸着している水分を除去する。また、減圧下で200~400、好ましくは250~350に熱処理を行い、そのまま大気に晒さずに電界発光層122を真空蒸着法や、減圧下の液滴吐出法で形成することが好ましい。

【0099】

電界発光層122として、赤色(R)、緑色(G)、青色(B)の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成する。赤色(R)、緑色(G)、青色(B)の発光を示す材料はカラーフィルタ同様、液滴吐出法により形成することもでき(低分子または高分子材料など)、この場合マスクを用いずとも、RGBの塗り分けを行うことができるため好ましい。電界発光層122上に第2の電極層123を積層形成して、発光素子を用いた表示機能を有する表示装置が完成する。

【0100】

図示しないが、第2の電極層123を覆うようにしてパッシベーション膜を設けることは有効である。表示装置を構成する際に設ける保護膜は、単層構造でも多層構造でもよい。パッシベーション膜としては、窒化珪素(SiN)、酸化珪素(SiO₂)、酸化窒化珪素(SiON)、窒化酸化珪素(SiNO)、窒化アルミニウム(AlN)、酸化窒化アルミニウム(AlON)、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウム(AlNO)または酸化アルミニウム、ダイヤモンドライクカーボン(DLC)、窒素含有炭素膜(CN_x)を含む絶縁膜からなり、絶縁膜を単層もしくは組み合わせた積層を用いることができる。例えば窒素含有炭素膜(CN_x)と窒化珪素(SiN)との積層のような積層、また有機材料を用いることも出来、スチレンポリマーなど高分子の積層でもよい。また、シリコン(Si)と酸素(O)との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、もしくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料を用いてもよい。

【0101】

この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特にDLC膜を用いることは有効である。DLC膜は室温から100以下の温度範囲で成膜可能であるため、耐熱性の低い電界発光層の上方にも容易に成膜することができる。DLC膜は、プラズマCVD法(代表的には、RFプラズマCVD法、マイクロ波CVD法、電子サイクロトロン共鳴(ECR)CVD法、熱フィラメントCVD法など)、燃焼炎法、スパッタ法、イオンビーム蒸着法、レーザ蒸着法などで形成することができる。成膜に用いる反応ガスは、水素ガスと、炭化水素系のガス(例えばCH₄、C₂H₂、C₆H₆など)とを用い、グロー放電によりイオン化し、負の自己バイアスがかかったカソードにイオンを加速衝突させて成膜する。また、CN膜は反応ガスとしてC₂H₄ガスとN₂ガスとを用いて形成すればよい。DLC膜は酸素に対するブロッキング効果が高く、電界発光層の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に電界発光層が酸化するといった問題を防止できる。

【0102】

続いて、シール材を形成し、封止基板を用いて封止する。その後、ゲート電極層118と電氣的に接続して形成されるゲート配線層、ソース電極層又はドレイン電極層114と電氣的に接続して形成されるソース配線層に、フレキシブル配線基板を接続し、外部との電氣的な接続をしても良い。

【0103】

続いて、異方性導電体層を介して、表示装置内の配線層が電氣的に接続するように、接続用の配線基板を設ける。配線基板は、外部からの信号や電位を伝達する役目を担い、

10

20

30

40

50

F P C (Flexible printed circuit) などを用いることができる。上記工程を経て、トップゲート型プラナー構造のスイッチング用 T F T、駆動 T F T と容量素子を含む表示装置 (表示パネルとも記す) が完成する。容量素子は、ソース電極層又はドレイン電極層 1 1 6、ゲート絶縁層 1 2 5、及びゲート電極層 1 1 9 とで形成される。

【 0 1 0 4 】

表示装置内の配線層と F P C は端子電極層を用いて接続され、端子電極層はゲート電極層と同材料及び同工程、ソース電極層及びドレイン電極層を兼ねるソース配線層と同材料及び同工程、ゲート配線層と同材料同工程で、それぞれ作製することができる。F P C と表示装置内の配線層との接続例を図 4 3 を用いて説明する。

【 0 1 0 5 】

図 4 3 において、基板 1 上に薄膜トランジスタ 9 及び発光素子が設けられた第 1 の電極層と薄膜トランジスタ 9 とを電氣的に接続する配線層 6 が形成され、シール材 3 で対向基板 8 と張り合わされている。表示装置内から延長してシール材外部に形成される配線層と F P C 2 b 及び F P C 2 a は異方性導電膜 7 a、異方性導電膜 7 b によって接着されている。

【 0 1 0 6 】

図 4 3 (A 1)、(B 1)、(C 1) は表示装置の上面図であり、図 4 3 (A 2)、(B 2)、(C 2) は図 4 3 (A 1)、(B 1)、(C 1) における線 G - H、線 M - N の断面図である。図 4 3 (A 1)、(A 2) において、端子電極層 5 a 及び端子電極層 5 b はソース電極層又はドレイン電極層と同材料同工程で形成されている。端子電極層 5 a にシール材外部に延長して形成されたソース配線層 4 a が接続され、端子電極層 5 a と F P C 2 a とが異方性導電膜 7 a を介して接続されている。一方端子電極層 5 b にシール材外部に延長して形成されたゲート配線層 4 b が接続され、端子電極層 5 b と F P C 2 b とが異方性導電膜 7 b を介して接続されている。本実施の形態においてゲート配線層はゲート電極層と同材料、同工程で形成され、ソース配線層は、配線層と同材料、同工程で形成されている。

【 0 1 0 7 】

図 4 3 (B 1)、(B 2) において、端子電極層 5 5 a 及び端子電極層 5 5 b はゲート配線層と同材料同工程で形成されている。端子電極層 5 5 b はシール材外部に延長して形成されたゲート配線層で形成され、端子電極層 5 5 b と F P C 2 b とが異方性導電膜 7 b を介して接続されている。一方、端子電極層 5 5 a にシール材外部に延長して形成された配線層と同材料、同工程で形成されるソース配線層 5 4 a が接続され、端子電極層 5 5 a と F P C 2 a とが異方性導電膜 7 a を介して接続されている。

【 0 1 0 8 】

図 4 3 (C 1)、(C 2) において、端子電極層 6 5 a 及び端子電極層 6 5 b は配線層と同材料同工程で形成されている。シール材外部に延長して形成されたゲート配線層 6 4 b に端子電極層 6 5 b が接続され、端子電極層 6 5 b と F P C 2 b とが異方性導電膜 7 b を介して接続されている。一方、端子電極層 6 5 a はシール材外部に延長して形成された配線層と同材料、同工程で形成されるソース配線層で形成され、端子電極層 6 5 a と F P C 2 a とが異方性導電膜 7 a を介して接続されている。

【 0 1 0 9 】

本実施の形態では、スイッチング T F T はシングルゲート構造を示したが、ダブルゲート構造などのマルチゲート構造でもよい。

【 0 1 1 0 】

以上の工程により、結晶性半導体膜を有するトップゲート型プラナー構造の薄膜トランジスタを形成することができる。本実施の形態で形成される薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度 (2 ~ 7 0 c m ² / V s e c 程度、代表的には 2 0 ~ 5 0 c m ² / V s e c 程度) が高い。また、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、結晶化を促進する機能を有する金属元素をも含む。このため、抵抗率の低いソース領域及びドレ

10

20

30

40

50

イン領域が形成できる。この結果、高速動作が必要な表示装置を作製することが可能である。

【0111】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、薄膜トランジスタ特性のバラツキを低減することが可能である。

【0112】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッタリングするため、オフ電流を低減することが可能である。このため、このようなTFTを表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

10

【0113】

また、レーザ光照射の微細な加工により、配線等の細線化も自由に設計できる。本発明により、所望なパターンを制御性よく形成でき、材料のロスも少なく、コストダウンも達成できる。よって高性能、高信頼性の表示装置を歩留まりよく作製することができる。

【0114】

(実施の形態2)

本発明の実施の形態について、図8を用いて説明する。本実施の形態は、実施の形態1で作製した薄膜トランジスタと、異なるゲッタリング工程で、複数のnチャネル型薄膜トランジスタ(NMOS)からなる回路を作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

20

【0115】

基板400上に、絶縁層401、非晶質半導体膜402を形成し、結晶化を促進する金属元素を含む(本実施の形態ではニッケル(Ni))金属膜403を形成する(図8(A)参照)。その後加熱処理により非晶質半導体膜402を結晶化し、結晶性半導体膜404を形成する。

【0116】

本実施の形態では、結晶性半導体膜404上に選択的にチャネル保護層414a、チャネル保護層414bを形成した後、結晶性半導体膜404中に含まれる結晶化を助長するための金属元素をゲッタリングするゲッタリング層として、希ガス元素を不純物元素として含む半導体膜405を形成する(図8(B)参照)。希ガス元素は、ヘリウム、アルゴン、キセノン、クリプトンなどを用いることができ、本実施の形態ではアルゴンを不純物元素として含んだ半導体膜405を形成する。その後加熱処理によって結晶性半導体膜404中に含まれる金属元素は図8(C)の矢印の方向に移動し、半導体膜405中に捕獲される。よって膜中に含まれる金属元素が軽減された結晶性半導体膜406が形成される。そして、ゲッタリングシンクでとなった結晶化を促進する金属元素を含む半導体膜407、及び結晶性半導体膜406上に形成された酸化膜をフッ酸等により除去し、金属元素が低減、又は除去された結晶性半導体膜406を得ることができる。本実施の形態では、ゲッタリングシンクとなった半導体膜407の除去をTMAH(Tetramethyl ammonium hydroxide)を用いて行う。

30

【0117】

結晶性半導体膜406、チャネル保護層414a及びチャネル保護層414b上に一導電性を有する半導体膜としてn型を有する半導体膜408を形成する(図8(D)参照)。結晶性半導体膜406及びn型を有する半導体膜408を所望の形状に加工した後、ソース電極層又はドレイン電極層411a、ソース電極層又はドレイン電極層411b、ソース電極層又はドレイン電極層411cを形成する。本実施の形態では、n型を付与する不純物元素であるPを含むn型を有する半導体膜408を形成する。

40

【0118】

ソース電極層又はドレイン電極層411a、ソース電極層又はドレイン電極層411b、ソース電極層又はドレイン電極層411cをマスクとしてn型を有する半導体膜及び結晶性半導体膜をエッチングし、半導体層409a、半導体層409b、ソース領域また

50

はドレイン領域として機能する n 型を有する半導体層 4 1 0 a、n 型を有する半導体層 4 1 0 b、n 型を有する半導体層 4 1 0 c、n 型を有する半導体層 4 1 0 d が形成される (図 8 (E) 参照。)。ゲート絶縁層 4 1 2 を形成し、ゲート絶縁層 4 1 2 上にゲート電極層 4 1 3 a 及びゲート電極層 4 1 3 b を形成する (図 8 (F) 参照。)。

【 0 1 1 9 】

以上の工程で、金属元素により結晶化した結晶性半導体膜にゲッタリングを行い、金属元素の軽減された半導体層を有し、かつソース領域またはドレイン領域として機能する一導電型を有する半導体層中に金属元素の含まれない薄膜トランジスタを形成することができる。

【 0 1 2 0 】

以上の工程で、金属元素により結晶化した結晶性半導体膜にゲッタリングを行い、金属元素の軽減された半導体層を有し、かつソース領域またはドレイン領域として機能する一導電型を有する半導体層中に金属元素の含まれない薄膜トランジスタを形成することができる。このようにして、電氣的に接続された n チャネル型薄膜トランジスタが形成され、NMOS の回路を作製することができる。このような回路を画素領域や駆動領域に組み込んで、表示装置を作製することができる。

【 0 1 2 1 】

本実施の形態は、実施の形態 1 と組み合わせて用いることが可能である。

【 0 1 2 2 】

(実施の形態 3)

本発明の実施の形態について、図 9 を用いて説明する。本実施の形態は、実施の形態 1 で作製した薄膜トランジスタと、異なるゲッタリング工程で、複数の p チャネル型薄膜トランジスタ (PMOS) からなる回路を作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【 0 1 2 3 】

基板 4 0 0 上に、絶縁層 4 0 1、非晶質半導体膜 4 0 2 を形成し、結晶化を促進する金属元素を含む (本実施の形態ではニッケル (Ni)) 金属膜 4 0 3 を形成する (図 9 (A) 参照。)。その後加熱処理により非晶質半導体膜 4 0 2 を結晶化し、結晶性半導体膜 4 0 4 を形成する。

【 0 1 2 4 】

結晶性半導体膜 4 0 4 に接して、結晶性半導体膜 4 0 4 中に含まれる結晶化を助長するための金属元素をゲッタリングするゲッタリング層として、希ガス元素を不純物元素として含む半導体膜 4 0 5 を形成する (図 9 (B) 参照。)。希ガス元素は、ヘリウム、アルゴン、キセノン、クリプトンなどを用いることができ、本実施の形態ではアルゴンを不純物元素として含んだ半導体膜 4 0 5 を形成する。その後加熱処理によって結晶性半導体膜 4 0 4 中に含まれる金属元素は図 9 (C) の矢印の方向に移動し、半導体膜 4 0 5 中に捕獲される。よって膜中に含まれる金属元素が軽減された結晶性半導体膜 4 0 6 が形成される。そして、ゲッタリングシンクでとなった結晶化を促進する金属元素を含む半導体膜 4 0 7、及び結晶性半導体膜 4 0 6 上に形成された酸化膜をフッ酸等により除去し、金属元素が低減、又は除去された結晶性半導体膜 4 0 6 を得ることができる。本実施の形態では、ゲッタリングシンクとなった半導体膜 4 0 7 の除去を TMAH (Tetramethyl ammonium hydroxide) を用いて行う。

【 0 1 2 5 】

結晶性半導体膜 4 0 6 を所望の形状に加工し、半導体層のチャンネル形成領域 4 1 6 a、及びチャンネル形成領域 4 1 6 b 上にマスク 4 1 8 a、マスク 4 1 8 b を形成する。マスク 4 1 8 a 及びマスク 4 1 8 b を用いて、半導体層に、p 型を付与する不純物元素 4 1 5 (本実施の形態ではボロン (B) を用いる) を添加し、p 型の不純物領域 4 1 7 a、p 型の不純物領域 4 1 7 b、p 型の不純物領域 4 1 7 c、p 型の不純物領域 4 1 7 d を半導体層中に、ソース領域又はドレイン領域として形成する (図 9 (D) 参照。)。本実施の形態では、p 型の不純物領域を p 型を付与する不純物元素を添加することで形成するが、p

10

20

30

40

50

型を有する半導体層を選択的に半導体層上に形成し、ソース領域又はドレイン領域として機能させてもよい。

【0126】

p型の不純物領域417a、p型の不純物領域417b、p型の不純物領域417c、p型の不純物領域417d上に、ソース電極層又はドレイン電極層419a、ソース電極層又はドレイン電極層419b、ソース電極層又はドレイン電極層419cを形成する。本実施の形態では、ソース電極層又はドレイン電極層419a、ソース電極層又はドレイン電極層419b、ソース電極層又はドレイン電極層419cを所望の形状に加工することなく選択的に液滴吐出法により形成している。よって、ソース電極層又はドレイン電極層419a、ソース電極層又はドレイン電極層419b、ソース電極層又はドレイン電極層419cの端部は、エッチングによって除去されていないため、液状状態の形状を暗影しており、曲率半径を有するような丸みを帯びたなだらかな形状となっている。このように、形成方法によっても、電極層や配線層の形状を制御することができる。ゲート絶縁層420を形成し、ゲート絶縁層420上にゲート電極層421a及びゲート電極層421bを形成する(図9(F)参照。)

10

【0127】

以上の工程で、金属元素により結晶化した結晶性半導体膜にゲッタリングを行い、金属元素の軽減された半導体層を有し、かつソース領域またはドレイン領域として機能する一導電型を有する半導体層中に金属元素の含まれない薄膜トランジスタを形成することができる。このようにして、電気的に接続されたpチャネル型薄膜トランジスタが形成され、PMOSの回路を作製することができる。このような回路を画素領域や駆動領域に組み込んで、表示装置を作製することができる。

20

【0128】

本実施の形態は、実施の形態1及び2とそれぞれ組み合わせて用いることが可能である。

【0129】

(実施の形態4)

本発明の実施の形態について、図10を用いて説明する。本実施の形態は、実施の形態1で作製した薄膜トランジスタにおいて、nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタの2種類の薄膜トランジスタからなる回路(CMOS)を作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

30

【0130】

基板400上に、絶縁層401、非晶質半導体膜402を形成し、結晶化を促進する金属元素を含む(本実施の形態ではニッケル(Ni))金属膜403を形成する(図8(A)参照。)。その後加熱処理により非晶質半導体膜402を結晶化し、結晶性半導体膜404を形成する。

【0131】

本実施の形態では、結晶性半導体膜404上に選択的にチャネル保護層414a、チャネル保護層414bを形成した後、結晶性半導体膜404中に含まれる結晶化を助長するための金属元素をゲッタリングするゲッタリング層として、n型を有する不純物元素として含む半導体膜422を形成する(図10(B)参照。)。本実施の形態ではリン(P)を不純物元素として含んだn型を有する半導体膜422を形成する。その後加熱処理によって結晶性半導体膜404中に含まれる金属元素は図10(C)の矢印の方向に移動し、半導体膜435中に捕獲される。よって膜中に含まれる金属元素が軽減された結晶性半導体膜423が形成される。

40

【0132】

結晶性半導体膜423及びn型を有する半導体膜435を所望の形状に加工し、半導体層426a、半導体層426bを形成する。半導体層426a及びn型を有する半導体層427を覆うマスク429a、半導体層426b、及び半導体層426bのチャネル形成領域上に形成されたn型を有する半導体層424を覆うマスク429bを形成する。p

50

型を付与する不純物元素 4 2 5 を添加し、p 型を有する半導体層 4 2 8 a、p 型を有する半導体層 4 2 8 b を形成する。p 型を付与する不純物元素（本実施の形態においてはボロン（B））をドーピング法やイオン注入法によって、選択的に n 型を有する半導体層に添加することによって、p 型を付与する不純物元素濃度が n 型を付与する不純物元素の 2 ~ 10 倍の濃度になるように添加し、p 型に導電型を反転させ、p 型を有する半導体層 4 2 8 a、p 型を有する半導体層 4 2 8 b が形成される（図 10（D）参照。）。また、n 型を付与する不純物元素の添加工程で、その添加条件によって、膜表面の n 型を付与する不純物元素濃度が高くなっている場合がある。このような場合は、膜表面を薄くエッチングし、高濃度不純物元素領域の膜を除去してから、p 型を付与する不純物元素を添加する工程を行えばよい。本実施の形態では、n 型を有する半導体層をゲッタリングシンクとして用いるために形成するが、一導電型を有する半導体層として p 型を付与する不純物元素を含む p 型を有する半導体層を形成すれば、同様に選択的に n 型を付与する不純物元素を添加すればよい。また、チャネル形成領域に不純物が添加されるのを防ぐためのマスク 4 2 9 b は、チャネル保護層 4 1 4 b が不純物元素を遮断できるほど厚く形成されていれば、チャネル保護層をマスクとして用いることができる。この場合は、チャネル形成領域上に形成するマスク 4 2 9 b は必ずしも必要としない。

10

【0133】

ソース領域又はドレイン領域として機能する n 型を有する半導体層、p 型を有する半導体層上にソース電極層又はドレイン電極層 4 3 2 a、ソース電極層又はドレイン電極層 4 3 2 b、ソース電極層又はドレイン電極層 4 3 2 c を形成する。ソース電極層又はドレイン電極層 4 3 2 a、ソース電極層又はドレイン電極層 4 3 2 b、ソース電極層又はドレイン電極層 4 3 2 c をマスクとして n 型を有する半導体層をエッチングし、ソース領域またはドレイン領域として機能する n 型を有する半導体層 4 3 0 a、n 型を有する半導体層 4 3 0 b、p 型を有する半導体層 4 3 1 a、p 型を有する半導体層 4 3 1 b が形成される。ゲート絶縁層 4 3 3 を形成し、ゲート絶縁層 4 3 3 上にゲート電極層 4 3 4 a 及びゲート電極層 4 3 4 b を形成する（図 10（E）参照。）。

20

【0134】

このようにして、電気的に接続された n チャネル型薄膜トランジスタ及び p チャネル型薄膜トランジスタが形成され、CMOS の回路を作製することができる。また、本実施の形態では、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、結晶化を促進する機能を有する金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な回路を作製することが可能である。このような回路を画素領域や駆動領域に組み込んで、表示装置を作製することができる。

30

【0135】

本実施の形態は、実施の形態 1 乃至 3 とそれぞれ組み合わせて用いることが可能である。

【0136】

（実施の形態 5）

本発明の実施の形態について、図 11 を用いて説明する。本実施の形態は、実施の形態 1 で作製した薄膜トランジスタと、異なるゲッタリング工程で、n チャネル型薄膜トランジスタと p チャネル型薄膜トランジスタの 2 種類の薄膜トランジスタからなる CMOS 回路を作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

40

【0137】

基板 4 0 0 上に、絶縁層 4 0 1、非晶質半導体膜 4 0 2 を形成し、結晶化を促進する金属元素を含む（本実施の形態ではニッケル（Ni））金属膜 4 0 3 を形成する（図 8（A）参照。）。その後加熱処理により非晶質半導体膜 4 0 2 を結晶化し、結晶性半導体膜 4 0 4 を形成する。その後結晶性半導体膜を所望の形状に加工し、半導体層を形成する。

【0138】

50

チャネル形成領域 4 5 3 a を覆うマスク 4 5 5 a、チャネル形成領域 4 5 3 b を覆うマスク 4 5 5 b を形成し、n 型を付与する不純物元素 4 5 2 (本実施の形態ではリン (P)) を添加し、n 型の不純物領域 4 5 4 a、n 型の不純物領域 4 5 4 b、n 型の不純物領域 4 5 4 c、n 型の不純物領域 4 5 4 d を形成する (図 1 1 (B) 参照。)。その後加熱処理を、5 5 0 で 4 時間行う。

【0 1 3 9】

加熱処理により、半導体層中のチャネル形成領域 4 5 3 a、チャネル形成領域 4 5 3 b に含まれる結晶化を促進する機能を有する金属元素はゲッタリングされ、それぞれ矢印の方向に移動し、n 型の不純物領域 4 6 1 a、n 型の不純物領域 4 6 1 b、n 型の不純物領域 4 6 1 c、n 型の不純物領域 4 6 1 d に捕獲され、金属元素が除去、軽減されたチャネル形成領域 4 6 0 a、チャネル形成領域 4 6 0 b が形成される (図 1 1 (C) 参照。)。また、この熱処理によって、添加された n 型を付与する不純物元素の活性化も行うことができる。

10

【0 1 4 0】

n 型の不純物領域 4 6 1 a、n 型の不純物領域 4 6 1 b、及びチャネル形成領域 4 6 0 a を覆うマスク 4 6 3 a、チャネル形成領域 4 6 0 b を覆うマスク 4 6 3 b を形成し、p 型を付与する不純物元素 4 6 2 (本実施の形態ではボロン (B)) を添加し、n 型の不純物領域 4 6 1 c、n 型の不純物領域 4 6 1 d を、p 型の不純物領域 4 6 4 a、p 型の不純物領域 4 6 4 b に導電型を反転させて形成する (図 1 1 (D) 参照。)。n 型を付与する不純物元素の濃度の 2 ~ 10 倍の濃度となるように p 型を付与する不純物元素を添加することによって、p 型を有する半導体層にその導電型が反転し、p 型の不純物領域 4 6 4 a、p 型の不純物領域 4 6 4 b を形成することができる。その後加熱処理を行い、添加された p 型を付与する不純物元素の活性化を行う。

20

【0 1 4 1】

n 型の不純物領域 4 6 1 a、n 型の不純物領域 4 6 1 b、p 型の不純物領域 4 6 4 a、p 型の不純物領域 4 6 4 b 上にソース電極層又はドレイン電極層 4 6 5 a、ソース電極層又はドレイン電極層 4 6 5 b、ソース電極層又はドレイン電極層 4 6 5 c を形成する。半導体層及びソース電極層又はドレイン電極層を覆うゲート絶縁層 4 6 6 を形成し、ゲート絶縁層 4 6 6 上にゲート電極層 4 6 7 a 及びゲート電極層 4 6 7 b を形成する (図 1 1 (E) 参照。)。)

30

【0 1 4 2】

このようにして、電気的に接続された n チャネル型薄膜トランジスタ及び p チャネル型薄膜トランジスタが形成され、CMOS の回路を作製することができる。また、本実施の形態では、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、結晶化を促進する機能を有する金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な回路を作製することが可能である。このような回路を画素領域や駆動領域に組み込んで、表示装置を作製することができる。

【0 1 4 3】

本実施の形態は、実施の形態 1 乃至 4 とそれぞれ組み合わせて用いることが可能である。

40

【0 1 4 4】

(実施の形態 6)

本発明の実施の形態について、図 1 2 を用いて説明する。本実施の形態は、実施の形態 1 で作製した薄膜トランジスタと、異なるゲッタリング工程で、n チャネル型薄膜トランジスタと p チャネル型薄膜トランジスタの 2 種類の薄膜トランジスタからなる CMOS 回路を作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0 1 4 5】

基板 4 0 0 上に、絶縁層 4 0 1、非晶質半導体膜 4 0 2 を形成し、結晶化を促進する

50

金属元素を含む（本実施の形態ではニッケル（Ni））金属膜403を形成する（図12（A）参照。）。その後加熱処理により非晶質半導体膜402を結晶化し、結晶性半導体膜404を形成する。

【0146】

結晶性半導体膜404に接して、結晶性半導体膜404中に含まれる結晶化を助長するための金属元素をゲッタリングするゲッタリング層として、希ガス元素を不純物元素として含む半導体膜405を形成する（図12（B）参照。）。希ガス元素は、ヘリウム、アルゴン、キセノン、クリプトンなどを用いることができ、本実施の形態ではアルゴンを不純物元素として含んだ半導体膜405を形成する。その後加熱処理によって結晶性半導体膜404中に含まれる金属元素は図12（C）の矢印の方向に移動し、半導体膜405中に捕獲される。よって膜中に含まれる金属元素が軽減された結晶性半導体膜406が形成される。そして、ゲッタリングシンクでとなった結晶化を促進する金属元素を含む半導体膜407、及び結晶性半導体膜406上に形成された酸化膜をフッ酸等により除去し、金属元素が低減、又は除去された結晶性半導体膜406を得ることができる。本実施の形態では、ゲッタリングシンクとなった半導体膜407の除去をTMAH（Tetramethyl ammonium hydroxide）を用いて行う。その後結晶性半導体膜を所望の形状に加工し、半導体層を形成する。

10

【0147】

チャネル形成領域441を覆うマスク444a、半導体層442を覆うマスク444bを形成し、n型を付与する不純物元素440（本実施の形態ではリン（P））を添加し、n型の不純物領域443a、n型の不純物領域443bを形成する（図12（D）参照。）。

20

【0148】

n型の不純物領域443a、n型の不純物領域443b、及びチャネル形成領域441を覆うマスク448a、チャネル形成領域446を覆うマスク448bを形成し、p型を付与する不純物元素445（本実施の形態ではボロン（B））を添加し、p型の不純物領域447a、p型の不純物領域447bを形成する（図12（E）参照。）。本実施の形態では、半導体層442をマスク444bで覆ったため、半導体層442中にはn型を付与する不純物元素は含まれていないが、実施の形態5のように、pチャネル型薄膜トランジスタを形成する半導体層にもn型の不純物元素が含まれている場合は、n型を付与する不純物元素の濃度の2～10倍の濃度となるようにp型を付与する不純物元素を添加することによって、p型を有する半導体層にその導電型が反転し、p型の不純物領域を形成すればよい。その後加熱処理を行い、添加されたn型を付与する不純物元素及びp型を付与する不純物元素の活性化を行う。

30

【0149】

n型の不純物領域443a、n型の不純物領域443b、p型の不純物領域447a、p型の不純物領域447b上にソース電極層又はドレイン電極層449a、ソース電極層又はドレイン電極層449b、ソース電極層又はドレイン電極層449cを形成する。半導体層及びソース電極層又はドレイン電極層を覆うゲート絶縁層450を形成し、ゲート絶縁層450上にゲート電極層451a及びゲート電極層451bを形成する（図12（F）参照。）。

40

【0150】

以上の工程で、金属元素により結晶化した結晶性半導体膜にゲッタリングを行い、金属元素の軽減された半導体層を有し、かつソース領域またはドレイン領域として機能する一導電型を有する半導体層中に金属元素の含まれない薄膜トランジスタを形成することができる。このようにして、電気的に接続されたpチャネル型薄膜トランジスタが形成され、CMOSの回路を作製することができる。このような回路を画素領域や駆動領域に組み込んで、表示装置を作製することができる。

【0151】

本実施の形態は、実施の形態1乃至5とそれぞれ組み合わせて用いることが可能であ

50

る。

【 0 1 5 2 】

(実施の形態 7)

本発明の実施の形態について、図 4 7 を用いて説明する。本実施の形態は、実施の形態 1 で作製した薄膜トランジスタにおいて、チャンネル保護層を有しないチャンネルエッチ型 n チャンネル型薄膜トランジスタと p チャンネル型薄膜トランジスタの 2 種類の薄膜トランジスタからなる回路 (C M O S) を作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【 0 1 5 3 】

基板 4 0 0 上に、絶縁層 4 0 1、非晶質半導体膜 4 8 5 を形成し、結晶化を促進する金属元素を含む (本実施の形態ではニッケル (N i)) 金属膜 4 0 3 を形成する (図 4 7 (A) 参照。)。その後加熱処理により非晶質半導体膜 4 8 5 を結晶化し、結晶性半導体膜 4 8 6 を形成する。本実施の形態では、半導体層を加工時のエッチング処理より保護するチャンネル保護層を形成しないため、半導体層も一部エッチングされる。よって、半導体層となる非晶質半導体膜は、膜厚を 1 5 0 n m ~ 2 0 0 n m 程度で形成することが好ましい。

10

【 0 1 5 4 】

結晶性半導体膜 4 8 6 中に含まれる結晶化を助長するための金属元素をゲッタリングするゲッタリング層として、n 型を有する不純物元素として含む半導体膜 4 7 0 を形成する (図 4 7 (B) 参照。)。本実施の形態ではリン (P) を不純物元素として含んだ n 型を有する半導体膜 4 2 2 を形成する。その後加熱処理によって結晶性半導体膜 4 5 6 中に含まれる金属元素は図 4 7 (C) の矢印の方向に移動し、半導体膜 4 7 1 中に捕獲される。よって膜中に含まれる金属元素が軽減された結晶性半導体膜 4 7 2 が形成される。

20

【 0 1 5 5 】

結晶性半導体膜 4 7 2 及び n 型を有する半導体膜 4 7 1 を所望の形状に加工し、半導体層 4 7 4 a、半導体層 4 7 4 b を形成する。半導体層 4 7 4 a 及び n 型を有する半導体層 4 7 5 を覆うマスク 4 7 9 a、半導体層 4 7 4 b、及び半導体層 4 7 4 b のチャンネル形成領域上に形成された n 型を有する半導体層 4 7 6 を覆うマスク 4 7 9 b を形成する。p 型を付与する不純物元素 4 7 3 を添加し、p 型を有する半導体層 4 7 8 a、p 型を有する半導体層 4 7 8 b を形成する。p 型を付与する不純物元素 (本実施の形態においてはボロン (B)) をドーピング法やイオン注入法によって、選択的に n 型を有する半導体層に添加することによって、p 型を付与する不純物元素濃度が n 型を付与する不純物元素の 2 ~ 1 0 倍の濃度になるように添加し、p 型に導電型を反転させ、p 型を有する半導体層 4 7 8 a、p 型を有する半導体層 4 7 8 b が形成される (図 4 7 (D) 参照。)。本実施の形態では、n 型を有する半導体層をゲッタリングシンクとして用いるために形成するが、一導電型を有する半導体層として p 型を付与する不純物元素を含む p 型を有する半導体層を形成すれば、同様に選択的に n 型を付与する不純物元素を添加すればよい。

30

【 0 1 5 6 】

ソース領域又はドレイン領域として機能する n 型を有する半導体層、p 型を有する半導体層上にソース電極層又はドレイン電極層 4 8 0 a、ソース電極層又はドレイン電極層 4 8 0 b、ソース電極層又はドレイン電極層 4 8 0 c を形成する。ソース電極層又はドレイン電極層 4 8 0 a、ソース電極層又はドレイン電極層 4 8 0 b、ソース電極層又はドレイン電極層 4 8 0 c をマスクとして n 型を有する半導体層及び半導体層をエッチングし、ソース領域またはドレイン領域として機能する n 型を有する半導体層 4 8 2 a、n 型を有する半導体層 4 8 2 b、p 型を有する半導体層 4 8 7 a、p 型を有する半導体層 4 8 7 b、半導体層 4 8 1 a、半導体層 4 8 1 b が形成される (図 4 7 (E) 参照。)。本実施の形態の半導体層は、チャンネル保護層を有しないため、半導体層の一部がエッチングされた半導体層となり、チャンネルエッチ型の薄膜トランジスタを形成することができる。半導体層及びソース電極層又はドレイン電極層を覆うゲート絶縁層 4 8 3 を形成し、ゲート絶縁層 4 8 3 上にゲート電極層 4 3 4 a 及びゲート電極層 4 3 4 b を形成する (図 4 7 (F)

40

50

参照。)。

【 0 1 5 7 】

このようにして、電氣的に接続されたチャンネルエッチ型の n チャンネル型薄膜トランジスタ及び p チャンネル型薄膜トランジスタが形成され、 C M O S の回路を作製することができる。また、本実施の形態では、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、結晶化を促進する機能を有する金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な回路を作製することが可能である。このような回路を画素領域や駆動領域に組み込んで、表示装置を作製することができる。

【 0 1 5 8 】

本実施の形態は、実施の形態 1 乃至 6 とそれぞれ組み合わせて用いることが可能である。

【 0 1 5 9 】

(実施の形態 8)

本実施の形態を、図 1 3 乃至 1 6 を用いて説明する。本実施の形態は、画素領域を実施の形態 1 で作製した画素領域で、周辺駆動回路領域も本発明を用いた薄膜トランジスタにより作製され、実施の形態 4 で作製される n チャンネル型薄膜トランジスタ及び p チャンネル型薄膜トランジスタからなる C M O S を適用している。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【 0 1 6 0 】

図 1 6 (A) は本実施の形態で作製する表示装置の画素領域の上面図であり、図 1 3 乃至図 1 5、図 1 6 (B) は、各工程の図 6 における線 A - C、B - D の断面図である。また、図 1 3 乃至図 1 5、図 1 6 (B) における L - i、I - J、j - K の領域は、図 1 6 (A) の表示装置の線 I - J、線 j - K、周辺駆動回路領域である線 L - i に対応する断面図である。

【 0 1 6 1 】

基板 3 0 0 上に、絶縁層 3 0 1、非晶質半導体膜 3 0 2、結晶化を促進する元素を含む金属膜 3 0 3 を形成する (図 1 3 (A) 参照。)。金属膜 3 0 3 は非常に膜厚が薄いため膜としての形状を保っていない場合がある。本実施の形態では、Ni を 1 0 p p m を含有した水溶液をスピニング法により塗布し、金属膜 3 0 3 を形成する。金属膜 3 0 3 を塗布された非晶質半導体膜 3 0 2 を加熱し、結晶化させる。加熱処理は、5 5 0 で 4 時間行う。

【 0 1 6 2 】

このようにして得られた結晶性半導体膜 3 0 4 に対して、薄膜トランジスタのしきい値電圧を制御するために微量な不純物元素 (ボロンまたはリン) のドーピングを行ってもよい。本実施の形態ではジボラン (B_2H_6) を質量分離しないでプラズマ励起したイオンドーブ法でボロン (B) を添加する。なお、質量分離を行うイオン注入法を用いてもよい。

【 0 1 6 3 】

結晶性半導体膜 3 0 4 は、後工程で所望の形状への加工を行って複数の半導体層となる。それぞれの半導体層のチャンネル形成領域を保護するためのチャンネル保護層となる絶縁層を、結晶性半導体膜 3 0 4 上に形成する。本実施の形態では、結晶性半導体膜 3 0 4 上の酸化膜を除去した後、酸化珪素膜を膜厚 5 0 n m 形成し、所望の形状に加工して、チャンネル保護層 3 0 5 a、チャンネル保護層 3 0 5 b、チャンネル保護層 3 0 5 c、チャンネル保護層 3 0 5 d をチャンネル形成領域上に選択的に形成する。チャンネル保護層 3 0 5 a、チャンネル保護層 3 0 5 b、チャンネル保護層 3 0 5 c、チャンネル保護層 3 0 5 d を所望の形状に加工する際のマスクを、レーザ光による露光処理を用いて加工すると、微細で正確な加工を行うことができる。よって、制御性よく、所望とする形状でチャンネル保護層を形成することができる。

【 0 1 6 4 】

10

20

30

40

50

金属元素を用いた結晶化を行った場合、金属元素を低減、又は除去するためにゲッタリング工程を施す。結晶性半導体膜304中の金属元素を吸い込み自らに取り込む層として半導体膜を、結晶性半導体膜304に接して形成する(図13(B)参照。)。本実施の形態では、不純物元素を有する非晶質半導体膜を、金属元素を捕獲するゲッタリングシンクとして形成する。まず、結晶性半導体膜304上に形成された酸化膜を洗浄処理によって除去する。次いでプラズマCVD法を用いて、半導体膜306を膜厚100nmで形成する。本実施の形態では、半導体膜306には、n型を付与する不純物元素(本実施の形態ではリンを用いる)が含まれている。前記不純物元素は、CVD法などによって、不純物元素を含むように半導体膜を形成しても良いし、半導体膜を形成後に、イオンドーピング法などによって添加してもよい。

10

【0165】

その後、熱処理を行い、結晶性半導体膜304中の金属元素を低減、又は除去する。結晶性半導体膜304中の金属元素は、図13(C)に示すように、矢印の方向へ加熱処理によって移動し、半導体膜306中に捕獲される。結晶性半導体膜304は、膜中の金属元素を除去され結晶性半導体膜307となり、半導体膜306は結晶化を促進する金属元素を含む半導体膜308となる。本実施の形態では半導体膜308にはn型を付与する不純物元素と、結晶化を助長する金属元素が含まれる。この工程により、結晶性半導体膜中の結晶化を促進させる元素(本実施の形態ではニッケル元素)がデバイス特性に影響を与えない濃度、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができる。また、ゲッタリング後の金属元素が移動した半導体膜308も加熱処理により結晶化される場合がある。なお、本実施の形態においては、ゲッタリング工程と共に、半導体膜308中のn型を付与する不純物元素(ドナー型元素)の活性化を行っている。熱処理は窒素雰囲気下で行ってもよい。本実施の形態では、熱処理を550で4時間行う。

20

【0166】

次に結晶性半導体膜307、半導体膜308をマスクを用いて所望の形状に加工する。本実施の形態では、フォトマスクを作製し、フォトリソグラフィ法を用いた加工処理により、半導体層310、半導体層311、半導体層312、半導体層313、n型を有する半導体層を形成する。フォトマスクはレジストをスピンコート法などによる全面塗布、または液滴吐出法によって選択的に形成し、レーザー照射による露光によって微細なパターンのマスクを形成すればよい。微細なパターンのマスクによって半導体膜は微細かつ精巧に所望な形状に加工することができる。

30

【0167】

エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いて、マスクを露光加工せずに組成物を選択的に吐出して形成することもできる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて液滴吐出法で形成することができる。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

40

【0168】

エッチング加工は、プラズマエッチング(ドライエッチング)又はウエットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、 CF_4 、 NF_3 、 SF_6 、 CHF_3 などのフッ素を含むガス又は Cl_2 、 BCl_3 、 SiCl_4 もしくは CCl_4 などを代表とする塩素を含むガス、あるいは O_2 のガスを用い、 He や Ar などの不活性ガスを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。

【0169】

半導体層310及びn型を有する半導体層314を覆うマスク319a、半導体層3

50

1 1、及び半導体層 3 1 1 のチャネル形成領域上に形成された n 型を有する半導体層 3 1 5 を覆うマスク 3 1 9 b、半導体層 3 1 2 及び n 型を有する半導体層 3 1 7 を覆うマスク 3 1 9 c、半導体層 3 1 3 及び n 型を有する半導体層 3 1 8 を覆うマスク 3 1 9 d を形成する。p 型を付与する不純物元素 3 0 9 を添加し、p 型を有する半導体層 3 1 6 a、p 型を有する半導体層 3 1 6 b を形成する。p 型を付与する不純物元素（本実施の形態においてはボロン（B））をドーピング法やイオン注入法によって、選択的に n 型を有する半導体層に添加することによって、p 型を付与する不純物元素濃度が n 型を付与する不純物元素の 2 ~ 10 倍の濃度になるように添加し、p 型に導電型を反転させ、p 型を有する半導体層 3 1 6 a、p 型を有する半導体層 3 1 6 b が形成される（図 1 3（D）参照。）。その後、加熱処理を行って p 型を付与する不純物元素の活性化を行う。本実施の形態では、5 5 0 で 4 時間加熱処理を行う。

10

【0170】

導電性材料を含む組成物を液滴吐出装置 3 2 0 a、液滴吐出装置 3 2 0 b、液滴吐出装置 3 2 0 c より吐出して、導電層 3 2 1、導電層 3 2 2、導電層 3 2 3 a、導電層 3 2 3 b を形成する（図 1 3（E）参照。）。本実施の形態では、導電性材料として銀を用い、吐出後 3 0 0 で加熱し焼成する。

【0171】

導電層 3 2 1、導電層 3 2 2、導電層 3 2 3 a、導電層 3 2 3 b をレーザ光により加工されたマスクを用いて所望の形状に加工し、ソース電極層又はドレイン電極層 3 2 8 a、ソース電極層又はドレイン電極層 3 2 8 b、ソース電極層又はドレイン電極層 3 2 8 c、ソース電極層又はドレイン電極層 3 2 9 a、ソース電極層又はドレイン電極層 3 2 9 b、ソース電極層又はドレイン電極層 3 3 0 a、ソース電極層又はドレイン電極層 3 3 0 b、ソース電極層又はドレイン電極層 3 3 0 c を形成する。導電層 3 2 1、導電層 3 2 2、導電層 3 2 3 a、導電層 3 2 3 b のエッチングは本実施の形態においては、ウエットエッチングによりエッチャントを用いて行う。

20

【0172】

ソース電極層又はドレイン電極層 3 2 8 a、ソース電極層又はドレイン電極層 3 2 8 b、ソース電極層又はドレイン電極層 3 2 8 c、ソース電極層又はドレイン電極層 3 2 9 a、ソース電極層又はドレイン電極層 3 2 9 b、ソース電極層又はドレイン電極層 3 3 0 a、ソース電極層又はドレイン電極層 3 3 0 b、ソース電極層又はドレイン電極層 3 3 0 c をマスクとして、n 型を有する半導体層 3 1 4、n 型を有する半導体層 3 1 5、n 型を有する半導体層 3 1 7 及び n 型を有する半導体層 3 1 8 をパターン加工して、n 型を有する半導体層 3 2 4 a、n 型を有する半導体層 3 2 4 b、p 型を有する半導体層 3 2 5 a、p 型を有する半導体層 3 2 5 b、n 型を有する半導体層 3 2 6 a、n 型を有する半導体層 3 2 6 b、n 型を有する半導体層 3 2 7 a、n 型を有する半導体層 3 2 7 b を形成する（図 1 4（A）参照。）。n 型を有する半導体層のエッチング工程は、 CF_4 及び O_2 からなるエッチングガスを用いるドライエッチングによって行う。また、ソース電極層又はドレイン電極層を所望の形状に加工する際に形成するマスクは、n 型を有する半導体層の加工後除去する。

30

【0173】

ソース電極層又はドレイン電極層は、印刷法、電界メッキ法、PVD 法（Physical Vapor Deposition）、CVD 法（Chemical Vapor Deposition）、蒸着法等の公知の手法により形成することが好ましい。また形成方法としては、液滴吐出法によって所望のパターンに形成することもできる。材料としては、タングステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、白金（Pt）、アルミニウム（Al）、銀（Ag）、金（Au）、銅（Cu）等の金属又はその合金、若しくはその金属窒化物を適宜用いることができる。また、これら複数の層を積層して形成しても良い。代表的には、基板表面に窒化タンタル膜、その上にタングステン膜を積層してもよい。また、珪素に一導電型を付与する不純物元素を添加した材料を用いてもよい。

40

50

例えば、非晶質珪素膜にリン(P)などのn型を付与する不純物元素が含まれたn型を有する珪素膜などを用いることができる。

【0174】

また透明導電性材料を用いて形成することもできる。インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、酸化スズ(SnO₂)などにより形成してもよい。好ましくは、スパッタリング法によりインジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)などで形成する。より好ましくは、ITOに酸化珪素が2~10重量%含まれたターゲットを用いてスパッタリング法で酸化珪素を含む酸化インジウムスズを用いる。この他、酸化珪素を含み酸化インジウムに2~20atomic%の酸化亜鉛(ZnO)を混合した酸化インジウム酸化亜鉛合金などの導電性材料を用いても良い。

10

【0175】

本実施の形態で形成するトップゲート型のプラナー構造では、結晶性半導体である半導体層を加熱処理によって形成した後、ソース電極層、ドレイン電極層、ゲート電極層などの導電層を形成する工程であるため、形成した導電層に高い耐熱性が材料も用いることができる。よって、材料の選択の幅が広がり、かつ形成した電極層などの導電層が加熱処理によって、形状、機能や特性に不良を生じることがないので、信頼性が向上する。

【0176】

次に、ソース電極層又はドレイン電極層328a、ソース電極層又はドレイン電極層328b、ソース電極層又はドレイン電極層328c、ソース電極層又はドレイン電極層329a、ソース電極層又はドレイン電極層329b、ソース電極層又はドレイン電極層330a、ソース電極層又はドレイン電極層330b、ソース電極層又はドレイン電極層330c、チャンネル保護層305a、チャンネル保護層305b、チャンネル保護層305c、チャンネル保護層305d上にゲート絶縁層364を形成する。ゲート絶縁層364は、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x>y)、窒化酸化珪素(SiN_xO_y)(x>y)などを適宜用いることができる。酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x>y)、窒化酸化珪素(SiN_xO_y)(x>y)等のいずれかで形成される単層、または組み合わせた積層で形成してもよい。なお、本実施の形態では、ゲート絶縁層364には、水素が含まれる。本実施の形態では、CVD法により窒化珪素膜を膜厚110nmで形成する。

20

30

【0177】

ゲート絶縁層364にソース電極層又はドレイン電極層329bに達する開口部365を形成する。エッチング工程は、ドライエッチングでもウェットエッチングでもよい。この開口部365においてソース電極層又はドレイン電極層329bと、後に形成されるゲート電極層335が電氣的に接続する。

【0178】

液滴吐出装置331a、液滴吐出装置331b、液滴吐出装置331c、液滴吐出装置331d、液滴吐出装置331eより導電性材料を含む組成物を吐出して、ゲート絶縁層364上に、ゲート電極層332、ゲート電極層333、ゲート電極層334、ゲート電極層335、ゲート電極層336を形成する(図14(B)参照。)。ゲート絶縁層364上に、ゲート絶縁層364上に、ゲート電極層332、ゲート電極層333、ゲート電極層334、ゲート電極層335、ゲート電極層336を形成する工程も、前述したソース電極層又はドレイン電極層とを形成したときと同様に形成することができる。本実施の形態では銀を導電性材料として含む組成物を吐出し、300で焼成して、ゲート絶縁層364上に、ゲート電極層332、ゲート電極層333、ゲート電極層334、ゲート電極層335、ゲート電極層336を形成する。ゲート電極層335を開口部365に形成することにより、開口部365においてソース電極層又はドレイン電極層329bと、ゲート電極層335が電氣的に接続する。

40

【0179】

ゲート電極層を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、

50

W (タングステン)、Al (アルミニウム) 等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するインジウム錫酸化物 (ITO)、インジウム錫酸化物と酸化珪素からなる ITSO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

【0180】

ゲート電極層 332、ゲート電極層 333、ゲート電極層 334、ゲート電極層 335、ゲート電極層 336 を形成後もソース電極層又はドレイン電極層の時と同様、プレス等による平坦化工程を行っても良い。また、ゲート電極層を液滴吐出法によって吐出し、仮焼成をしてから、本焼成の間にプレス工程を挟むことによって、電極層の平坦化の他に、電極層に含まれる酸素が放出され酸素濃度が低下するので、電気抵抗が下がるという効果もある。

10

【0181】

ソース電極層又はドレイン電極層、半導体層、ゲート絶縁層、ゲート電極層を覆うようにパッシベーション膜となる絶縁膜 337 を成膜することが好ましい。絶縁膜 337 は、プラズマ CVD 法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイヤモンドライクカーボン (DLC)、窒素含有炭素 (CN)、その他の絶縁性材料を用いて形成することができる。なお、パッシベーション膜は単層でも積層構造でもよい。本実施の形態では、絶縁膜 128 を窒化珪素膜を膜厚 110 nm で形成する。

【0182】

20

この後、半導体層 310、半導体層 311、半導体層 312、半導体層 313 を水素雰囲気又は窒素雰囲気中で加熱して水素化することが好ましい。なお、窒素雰囲気中で加熱する場合は、絶縁膜 337 として水素を含む絶縁膜を形成することが好ましい。

【0183】

次に、絶縁層 338 を形成する。本実施の形態では、絶縁層 338 を全面に形成し、レジスト等のマスクによって、エッチングし所望の形状に加工する。絶縁層 338 を、直接選択的に形成できる液滴吐出法や印刷法などを用いて形成する場合は、エッチングによる加工は必ずしも必要はない。本実施の形態において、層間絶縁層として絶縁層 338 を設けた上に、隔壁として機能する第 2 の絶縁層を設ける。この場合、絶縁層 338 は、第 1 の絶縁層とも言える。

30

【0184】

絶縁層 338 は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、ダイヤモンドライクカーボン (DLC)、窒素含有炭素膜 (CN)、ポリシラザンその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド (polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール (polybenzimidazole)、ベンゾシクロブテンなどの有機絶縁性材料、又はシロキサン樹脂 (無機シロキサン、有機シロキサン) を用いてもよい。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成してもよい。

【0185】

本実施の形態では、絶縁層 338 の材料としては、シロキサン樹脂材料を用い、スリットコーターによる形成する。焼成した後の膜は、アルキル基を含む酸化珪素膜 (SiOx) とも呼べる。

40

【0186】

絶縁膜 337 及び絶縁層 338、ゲート絶縁層 364 に、ソース電極層又はドレイン電極層 330b に達する開口部 339 を形成する (図 14 (C) 参照。)。この開口部もレジストからなるマスクを用いてエッチングし形成する。エッチングに用いるマスクは、レーザ光の照射による露光を行うことで微細な形状を有するマスクとすることができる。このようにして形成した開口部 339 に配線層 345 を形成する。配線層 345 もソース電極層又はドレイン電極層、ゲート電極層と同様な材料で同様に形成すればよい。本実施の形態では、配線層として、銀を用いて液滴吐出法により形成し、300 で焼成する。

50

【 0 1 8 7 】

絶縁層 3 3 8 上に選択的に、配線層 3 4 5 と接するように、導電性材料を含む組成物を吐出して、第 1 の電極層 3 4 6 を形成する（図 1 5 (A) 参照。）。第 1 の電極層 3 4 6 は、基板 3 0 0 側から光を放射する場合、または透過型の表示パネルを作製する場合には、少なくとも可視光を透過する透光性導電性材料である、インジウム錫酸化物 (I T O)、酸化珪素を含むインジウム錫酸化物 (I T S O)、酸化亜鉛 (Z n O) を含むインジウム亜鉛酸化物 (I Z O (indium zinc oxide))、酸化亜鉛 (Z n O)、Z n O にガリウム (G a) をドーブしたものの、酸化スズ (S n O ₂) などを含む組成物により所定のパターンに形成し、焼成によって形成しても良い。

【 0 1 8 8 】

また、好ましくは、スパッタリング法によりインジウム錫酸化物 (I T O)、酸化珪素を含むインジウム錫酸化物 (I T S O)、酸化亜鉛 (Z n O) などで形成する。より好ましくは、I T O に酸化珪素が 2 ~ 1 0 重量%含まれたターゲットを用いてスパッタリング法で酸化珪素を含む酸化インジウムスズを用いる。この他、Z n O にガリウム (G a) をドーブした導電性材料、酸化珪素を含み酸化インジウムに 2 ~ 2 0 atomic% の酸化亜鉛 (Z n O) を混合した酸化物導電性材料であるインジウム亜鉛酸化物 (I Z O (indium zinc oxide)) を用いても良い。スパッタリング法で第 1 の電極層 3 4 6 を形成した後は、液滴吐出法を用いてマスク層を形成しエッチングにより、所望のパターンに形成すれば良い。本実施の形態では、第 1 の電極層 3 4 6 は、透光性を有する導電性材料により液滴吐出法を用いて形成し、具体的には、インジウム錫酸化物、I T O と酸化珪素から構成される I T S O を用いて形成する。

【 0 1 8 9 】

以上の工程により、基板 3 0 0 上にトップゲート型プラナー構造の薄膜トランジスタと画素電極層である第 1 の電極層が接続された表示装置用の T F T 基板 (素子基板とも記す) が完成する。

【 0 1 9 0 】

次に、絶縁層 3 4 9 (隔壁、土手とも呼ばれる) を選択的に形成する。絶縁層 3 4 9 は、第 1 の電極層 3 4 6 上に開口部を有するように形成し、配線層 3 4 5 を覆って形成する。本実施の形態では、絶縁層 3 4 9 を全面に形成し、レジスト等のマスクによって、エッチングし所望の形状に加工する。絶縁層 3 4 9 を、直接選択的に形成できる液滴吐出法や印刷法などを用いて形成する場合は、エッチングによる加工は必ずしも必要はない。

【 0 1 9 1 】

絶縁層 3 4 9 は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド (polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール (polybenzimidazole) などの耐熱性高分子、又はシロキサンを含む材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成してもよい。絶縁層 3 4 9 は曲率半径が連続的に変化する形状が好ましく、上に形成される電界発光層 3 4 7、第 2 の電極層 3 4 8 の被覆性が向上する。

【 0 1 9 2 】

また、液滴吐出法により、絶縁層 3 4 9 を組成物を吐出し形成した後、その平坦性を高めるために表面を圧力によってプレスして平坦化してもよい。プレスの方法としては、ローラー状のものを表面に走査することによって、凹凸をならすように軽減したり、平坦な板状な物で表面を垂直にプレスしてもよい。また溶剤等によって表面を軟化、または融解させエアナイフで表面の凹凸部を除去しても良い。また、C M P 法を用いて研磨しても良い。この工程は、液滴吐出法によって凹凸が生じる場合に、その表面の平坦化する場合適用することができる。この工程により平坦性が向上すると、表示装置の表示ムラなどを防止することができ、高繊細な画像を表示することができる。

【 0 1 9 3 】

薄膜トランジスタに電氣的に接続するように、発光素子を形成する（図 1 5 (B) 参

10

20

30

40

50

照。)。

【 0 1 9 4 】

電界発光層 3 4 7 を形成する前に、大気圧中で 2 0 0 の熱処理を行い第 1 の電極層 3 4 6、絶縁層 3 4 9 中若しくはその表面に吸着している水分を除去する。また、減圧下で 2 0 0 ~ 4 0 0、好ましくは 2 5 0 ~ 3 5 0 に熱処理を行い、そのまま大気に晒さずに電界発光層 3 4 7 を真空蒸着法や、減圧下の液滴吐出法で形成することが好ましい。

【 0 1 9 5 】

電界発光層 3 4 7 として、赤色 (R)、緑色 (G)、青色 (B) の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成する。赤色 (R)、緑色 (G)、青色 (B) の発光を示す材料はカラーフィルタ同様、液滴吐出法により形成することもでき (低分子または高分子材料など)、この場合マスクを用いずとも、R G B の塗り分けを行うことができるため好ましい。電界発光層 3 4 7 上に第 2 の電極層 3 4 8 を積層形成して、発光素子を用いた表示機能を有する表示装置が完成する。

【 0 1 9 6 】

図示しないが、第 2 の電極層 3 4 8 を覆うようにしてパッシベーション膜を設けることは有効である。表示装置を構成する際に設ける保護膜は、単層構造でも多層構造でもよい。パッシベーション膜としては、窒化珪素 (S i N)、酸化珪素 (S i O₂)、酸化窒化珪素 (S i O N)、窒化酸化珪素 (S i N O)、窒化アルミニウム (A l N)、酸化窒化アルミニウム (A l O N)、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウム (A l N O) または酸化アルミニウム、ダイヤモンドライクカーボン (D L C)、窒素含有炭素膜 (C N_x) を含む絶縁膜からなり、絶縁膜を単層もしくは組み合わせた積層を用いることができる。例えば窒素含有炭素膜 (C N_x) と窒化珪素 (S i N) との積層のような積層、また有機材料を用いることも出来、スチレンポリマーなど高分子の積層でもよい。また、シロキサン樹脂材料を用いてもよい。

【 0 1 9 7 】

この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特に D L C 膜を用いることは有効である。D L C 膜は室温から 1 0 0 以下の温度範囲で成膜可能であるため、耐熱性の低い電界発光層の上方にも容易に成膜することができる。D L C 膜は、プラズマ C V D 法 (代表的には、R F プラズマ C V D 法、マイクロ波 C V D 法、電子サイクロトロン共鳴 (E C R) C V D 法、熱フィラメント C V D 法など)、燃焼炎法、スパッタ法、イオンビーム蒸着法、レーザ蒸着法などで形成することができる。成膜に用いる反応ガスは、水素ガスと、炭化水素系のガス (例えば C H₄、C₂H₂、C₆H₆ など) とを用い、グロー放電によりイオン化し、負の自己バイアスがかかったカソードにイオンを加速衝突させて成膜する。また、C N 膜は反応ガスとして C₂H₄ ガスと N₂ ガスとを用いて形成すればよい。D L C 膜は酸素に対するブロッキング効果が高く、電界発光層の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に電界発光層が酸化するといった問題を防止できる。

【 0 1 9 8 】

その後、封止基板 3 5 1 によって充填剤 3 5 0 を封入して封止する。充填剤の封入には、液晶材料と同様に図 2 9 のように滴下法を用いることもできる。充填剤 3 5 0 の代わりに、窒素などの不活性ガスを充填してもよい。また、乾燥剤を表示装置内に設置することによって、発光素子の水分による劣化を防止することができる。乾燥剤の設置場所は、封止基板 3 5 1 側でも、素子が形成されている基板 3 0 0 側でもよく、シール材 3 5 2 が形成される領域に基板に凹部を形成して設置してもよい。また、封止基板 3 5 1 の駆動回路領域や配線領域など表示に寄与しない領域に対応する場所に設置すると、乾燥剤が不透明な物質であっても開口率を低下させることがない。充填剤 3 5 0 に吸湿性の材料を含むように形成し、乾燥剤の機能を持たせても良い。以上により、発光素子を用いた表示機能を有する表示装置が完成する (図 1 6 参照。)。

【 0 1 9 9 】

また、表示装置内部と外部を電氣的に接続するための端子電極層 3 5 3 に、異方性導電

10

20

30

40

50

膜 3 5 4 によって FPC 3 5 5 が接着され、端子電極層 3 5 3 と電氣的に接続する。

【 0 2 0 0 】

図 1 6 (A) に、表示装置の上面図を示す。図 1 6 (A) で示すように、画素領域 3 6 0、走査線駆動領域 3 6 1 a、走査線駆動領域 3 6 1 b、接続領域 3 6 3 が、シール材 3 5 2 によって、基板 3 0 0 と封止基板 3 5 1 との間に封止され、基板 3 0 0 上に I C D ライバによって形成された信号線駆動回路 3 6 2 が設けられている。

【 0 2 0 1 】

以上の工程により、結晶性半導体膜を有するトップゲート型プラナー構造の薄膜トランジスタを形成することができる。本実施の形態で形成される薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度が高い。また、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、半導体膜の結晶化を促進させる機能を有する金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な表示装置を作製することが可能である。

10

【 0 2 0 2 】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、薄膜トランジスタ特性のバラツキを低減することが可能である。

【 0 2 0 3 】

更には、ゲッターリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッターリングするため、オフ電流を低減することが可能である。このため、このような薄膜トランジスタを表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

20

【 0 2 0 4 】

本実施の形態は、実施の形態 1 乃至 7 とそれぞれ組み合わせて用いることが可能である。

【 0 2 0 5 】

(実施の形態 9)

本実施の形態では、実施の形態 1 にて作製した表示装置において、表示素子として液晶表示素子を用いた液晶表示装置を作製する例を図 1 7 及び図 1 8 を用いて説明する。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

30

【 0 2 0 6 】

図 1 7 (A) は表示装置の画素領域の上面図であり、図 1 7 (B) は、図 1 7 (A) の線 E - F における断面図である。画素領域は、本発明のトップゲート型プラナー構造の薄膜トランジスタ 2 5 0、ソース配線層も兼ねるソース電極層又はドレイン電極層 2 5 1、容量配線層 2 5 2、ゲート配線層も兼ねるゲート電極層 2 5 3、配線層 2 5 4、画素電極層 2 5 5、絶縁膜 2 5 9、絶縁層 2 6 0 が設けられている。薄膜トランジスタ 2 5 0 はマルチゲート構造であり、配線層 2 5 4 によって薄膜トランジスタ 2 5 0 のソース電極層又はドレイン電極層と画素電極層 2 5 5 とは電氣的に接続されている。

【 0 2 0 7 】

基板 2 5 6 上には、半導体層の下地膜となる絶縁膜 2 5 7 a、絶縁膜 2 5 7 b、絶縁膜 2 5 7 c が形成されている。本実施の形態では、基板 2 5 6 上に、絶縁膜 2 5 7 a として窒化酸化珪素膜、絶縁膜 2 5 7 b として酸化窒化珪素膜を積層した後、酸化窒化珪素膜上に、絶縁膜 2 5 7 c として膜厚 0 . 3 n m ~ 5 n m の窒化酸化珪素膜を形成し、3 層の積層構造とする。このような構造であると、半導体層中の金属元素のゲッターリング効率も上がり、かつ半導体層への窒化珪素膜の悪影響も軽減できる。また積層される絶縁層は、同チャンバー内で真空を破らずに同一温度下で、反応ガスを切り変えながら連続的に形成するとよい。真空を破らずに連続的に形成すると、積層する膜同士の界面が汚染されるのを防ぐことができる。また図 1 8 では絶縁膜 2 5 7 a、絶縁膜 2 5 7 b、絶縁膜 2 5 7 c は一層で省略して記載してある。

40

【 0 2 0 8 】

50

本実施の形態における液晶表示装置は、駆動回路領域も画素領域と同一基板上に設けられている。本実施の形態の液晶表示装置を図18に示す。図18(A)は液晶表示装置の上面図であり、図18(B)は、図18(A)における線O-o、線p-Pの断面図、周辺駆動回路領域である線U-Wの断面図である。

【0209】

本実施の形態における周辺駆動回路はnチャンネル型薄膜トランジスタ280a及びnチャンネル型薄膜トランジスタ280bで構成されるNMOSの回路が設けられている。nチャンネル型薄膜トランジスタ280a及びnチャンネル型薄膜トランジスタ280bはソース電極層又はドレイン電極層285a、ソース電極層又はドレイン電極層285b、ソース電極層又はドレイン電極層285c、半導体層281、半導体層282、チャンネル保護層286a、チャンネル保護層286b、ゲート絶縁層287、ゲート電極層288、ゲート電極層289で構成されている。

10

【0210】

本実施の形態では、駆動回路領域において、NMOS構成を用いてインバーターとして機能させている。このようにPMOSのみ、NMOSの構成の場合においては、一部のTFTのゲート電極層とソース電極層又はドレイン電極層とを接続させる。このような例を図40に示す。フォトリソを用いてゲート絶縁層287の一部をエッチングして、図40に示すようなコンタクトホール290を形成する。コンタクトホール290にゲート電極層289を形成し、ソース電極層又はドレイン電極層285cとゲート電極層289とを電氣的に接続する。ソース電極層又はドレイン電極層285cとゲート電極層289とを電氣的に接続することによって、nチャンネル型薄膜トランジスタ280aとnチャンネル型薄膜トランジスタ280bとがNMOSであってもインバーターとして機能させることができる。

20

【0211】

薄膜トランジスタ250、画素電極層255、配線層254、絶縁膜259、絶縁層260を覆うように、印刷法やスピコート法により、配向膜と呼ばれる絶縁層261を形成する。絶縁層261は、スクリーン印刷法やオフセット印刷法を用いれば、選択的に形成することができる。その後、ラビングを行う。続いて、シール材378を液滴吐出法により画素を形成した周辺の領域に形成する。

【0212】

その後、配向膜として機能する絶縁層263、カラーフィルタとして機能する着色層264、対向電極として機能する導電体層265、偏光板267が設けられた対向基板266とTFTを有する基板256とをスペーサ273を介して貼り合わせ、その空隙に液晶層262を設けることにより液晶表示装置を作製することができる(図18参照)。また基板256のTFTを有していない側にも偏光板268を形成する。シール材にはフィラーが混入されていても良く、さらに対向基板266には、遮蔽膜(ブラックマトリクス)などが形成されていても良い。なお、液晶層を形成する方法として、ディスペンサ式(滴下式)や、対向基板266を貼り合わせてから毛細管現象を用いて液晶を注入するディップ式(汲み上げ式)を用いることができる。

30

【0213】

ディスペンサ方式を採用した液晶滴下注入法を図29を用いて説明する。図29において、40は制御装置、42は撮像手段、43はヘッド、33は液晶、35、41はマーカー、34はバリア層、32はシール材、30はTFT基板、20は対向基板である。シール材32で閉ループを形成し、その中にヘッド43より液晶33を1回若しくは複数回滴下する。ヘッド43は複数のノズルを備えており、一度に多量の液晶材料を滴下することができるためスループットが向上する。そのとき、シール材32と液晶33とが反応することを防ぐため、バリア層34を設ける。続いて、真空中で基板を貼り合わせ、その後紫外線硬化を行って、液晶が充填された状態とする。

40

【0214】

スペーサは、スペーサは数 μm の粒子を散布して設ける方法でも良いが、本実施の形

50

態では基板全面に樹脂膜を形成した後これを所望の形状に加工して形成する方法を採用した。このようなスペーサの材料を、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで150～200で加熱して硬化させる。このようにして作製されるスペーサは露光と現像処理の条件によって形状を異ならせることができるが、好ましくは、スペーサの形状は柱状で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶表示装置としての機械的な強度を確保することができる。形状は円錐状、角錐状などを用いることができ、特別な限定はない。

【0215】

以上の工程で形成された画素部と外部の配線基板を接続するために接続部を形成する。大気圧又は大気圧近傍下で、酸素ガスを用いたアッシング処理により、接続部の絶縁体層を除去する。この処理は、酸素ガスと、水素、 CF_4 、 NF_3 、 H_2O 、 CHF_3 から選択された一つ又は複数とを用いて行う。本工程では、静電気による損傷や破壊を防止するために、対向基板を用いて封止した後に、アッシング処理を行っているが、静電気による影響が少ない場合には、どのタイミングで行っても構わない。

10

【0216】

液晶表示装置内部と外部を電氣的に接続するための端子電極層270に、異方性導電膜271によってFPC272が接着され、端子電極層270と電氣的に接続する。図18(A)において、基板256上に、画素領域275、走査線駆動回路領域276a、走査線駆動回路領域276b、信号線駆動回路領域277を有する。

【0217】

以上の工程により、本発明を用いた液晶表示装置(液晶表示パネル)が完成する。本実施の形態で形成されるトップゲート型プラナー構造の薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度が高い。また、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な液晶表示装置を作製することが可能である。よってOCBモードのような応答速度が速く且つ高視野角な表示が可能な液晶表示装置を製造することが可能である。

20

【0218】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、薄膜トランジスタ特性のバラツキを低減することが可能である。

30

【0219】

更には、ゲッターリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッターリングするため、オフ電流を低減することが可能である。このため、このような薄膜トランジスタを液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【0220】

また、レーザー光照射の微細な加工により、配線等の細線化も自由に設計できる。本発明により、所望なパターンを制御性よく形成でき、材料のロスも少なく、コストダウンも達成できる。よって高性能、高信頼性の表示装置を歩留まりよく作製することができる。

40

【0221】

本実施の形態は、実施の形態1乃至7とそれぞれ組み合わせて用いることが可能である。

【0222】

(実施の形態10)

実施の形態1では、ソース電極層及びドレイン電極層(ソース配線層も含む)と、ゲート電極層(ゲート配線層も含む)とがゲート絶縁層を介して積層し、ゲート電極層(ゲート配線層も含む)と配線層とが層間絶縁層を介して積層している多層構造を用いている。本実施の形態では、これらの積層構造が異なる例を図19乃至図24を用いて説明する。同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

50

【 0 2 2 3 】

図 1 9 (A) は、表示装置の上面図であり、図 1 9 (B) は、図 1 9 (A) における線 X 1 - V 1 による断面図である。

【 0 2 2 4 】

図 1 9 において、表示装置の画素領域内には、基板 6 0 0 上に、下地膜となる絶縁層 6 0 9、ソース電極層又はドレイン電極層 6 0 1 a、ソース電極層又はドレイン電極層 6 0 1 b、ゲート絶縁層 6 0 2、ゲート電極層 6 0 3 a、ゲート電極層 6 0 3 b、配線層 6 0 7、パッシベーション膜である絶縁膜 6 0 5、絶縁層 6 0 6 が形成されている。

【 0 2 2 5 】

絶縁膜 6 0 5 は必ずしも必要ではないが、絶縁膜 6 0 5 を形成すると、パッシベーション膜として機能するので、より表示装置の信頼性が向上する。また、絶縁膜 6 0 5 を形成し、熱処理を行うと、絶縁膜 6 0 5 中に含まれる水素によって半導体層の水素化を行うことができる。

10

【 0 2 2 6 】

図 1 9 (B) で示すようにゲート電極層 6 0 3 b は、層間絶縁層である絶縁層 6 0 6 を介して、配線層 6 0 7 と積層しており、配線層 6 0 7 は、ソース電極層又はドレイン電極層 6 0 1 a、ソース電極層又はドレイン電極層 6 0 1 b と絶縁層 6 0 6、絶縁膜 6 0 5、ゲート絶縁層 6 0 2 に形成されたコンタクトホールで接続されている。よって配線層 6 0 7 と、ゲート電極層 6 0 3 b とはショートしない構造となっている。配線層 6 0 7 はソース配線層として機能する。

20

【 0 2 2 7 】

図 2 0 (A) は、表示装置の上面図であり、図 2 0 (B) は、図 2 0 (A) における線 X 2 - V 2 による断面図である。図 2 0 において、表示装置の画素領域内には、基板 6 2 0 上に、下地膜となる絶縁層 6 2 9、ソース電極層又はドレイン電極層 6 2 1 a、ソース電極層又はドレイン電極層 6 2 1 b、ゲート絶縁層 6 2 2、ゲート電極層 6 2 3 a、ゲート電極層 6 2 3 b、配線層 6 2 7 a、配線層 6 2 7 b、パッシベーション膜である絶縁膜 6 2 5、絶縁層 6 2 6 が形成されている。

【 0 2 2 8 】

図 2 0 (B) で示すようにゲート電極層 6 2 3 b は、層間絶縁層である絶縁層 6 2 6 を介して、配線層 6 2 7 b と積層しており、配線層 6 2 7 b は、ソース電極層又はドレイン電極層 6 2 1 a、ソース電極層又はドレイン電極層 6 2 1 b と絶縁層 6 2 6、絶縁膜 6 2 5、ゲート絶縁層 6 2 2 に形成されたコンタクトホールで接続されている。よって配線層 6 2 7 b と、ゲート電極層 6 2 3 b とはショートしない構造となっている。また、図 2 0 で示す表示装置は、ソース配線層は連続的ではなく断続的に形成され、ソース電極層又はドレイン電極層にコンタクトホールを介して電氣的な接続を取りながら形成されている構造となっている。よって、ゲート電極層 6 2 3 b が形成されている領域では、ソース電極層又はドレイン電極層 6 2 1 a とソース電極層又はドレイン電極層 6 2 1 b とは、絶縁層 6 2 6 上に形成する配線層 6 2 7 b とコンタクトホールにおいて接続することで電氣的に接続されている。

30

【 0 2 2 9 】

図 2 1 (A) は、表示装置の上面図であり、図 2 1 (B) は、図 2 1 (A) における線 X 3 - V 3 による断面図である。図 2 1 において、表示装置の画素領域内には、基板 6 3 0 上に、下地膜となる絶縁層 6 3 9、ソース電極層又はドレイン電極層 6 3 1 a、ソース電極層又はドレイン電極層 6 3 1 b、ゲート絶縁層 6 3 2、ゲート電極層 6 3 3 a、ゲート電極層 6 3 3 b、配線層 6 3 7 a、配線層 6 3 7 b、配線層 6 3 8 a、配線層 6 3 8 b、パッシベーション膜である絶縁膜 6 3 5、絶縁層 6 3 6 が形成されている。

40

【 0 2 3 0 】

図 2 1 (B) で示すようにゲート電極層 6 3 3 b は、層間絶縁層である絶縁層 6 3 6 を介して、配線層 6 3 7 b と積層している。図 2 0 で示す表示装置において、ソース電極層又はドレイン電極層 6 2 1 a と配線層 6 2 7 a 及び配線層 6 2 7 b とは直接接続してい

50

る。しかし図 21 で示す表示装置では、ソース電極層又はドレイン電極層 631a と、配線層 637a 及び配線層 637b とは、ゲート電極層と同材料、同工程で形成される配線層 638a を介して電氣的に接続される。よって、ソース電極層又はドレイン電極層 631a はゲート絶縁層 632 上に形成される配線層 638a とコンタクトホールで接続し、配線層 638a は、配線層 637a 及び配線層 637b とコンタクトホールを介して接続する。よって、ソース電極層又はドレイン電極層 631a、配線層 637a、及び配線層 637b は電氣的に接続する。ゲート電極層 633b は層間絶縁層である絶縁層 636 を介して配線層 637b と積層されるので、ゲート電極層 633b と配線層 637b とはショートしない構造となっている。

【0231】

10

図 19、図 20 及び図 21 は層間絶縁層として絶縁層を、広範囲にわたって覆うように形成した場合を示した。図 22、図 23 及び図 24、図 25 は配線層間を隔てる層間絶縁層を、液滴吐出法を用いて必要な個所のみを選択的に形成する例を示す。

【0232】

図 22 は図 19 に、図 23 は図 20 に、図 24 は図 21 の表示装置にそれぞれ対応しており、層間絶縁層の構造が異なる構造となっている。図 22 (A) は、表示装置の上面図であり、図 22 (B) は、図 22 (A) における線 Y1 - Z1 による断面図である。図 22 において、ゲート電極層 603b を覆うように絶縁層 650 が液滴吐出法により選択的に形成されている。その絶縁層 650 上を跨ぐように配線層 607 が形成されている。配線層 607 上には、パッシベーション膜として絶縁膜 660 が形成されている。絶縁膜 660 は必ずしも必要ではないが、形成することで信頼性を向上させることができる。また本実施の形態では、絶縁層 650 単層で形成するが、絶縁層 650 の上、または下に絶縁膜を形成して積層構造としてもよい。

20

【0233】

図 23 (A) は、表示装置の上面図であり、図 23 (B) は、図 23 (A) における線 Y2 - Z2 による断面図である。図 23 においても図 22 と同様に、ゲート電極層 623b を覆うように絶縁層 651 が、液滴吐出法により選択的に形成されている。その絶縁層 651 上を跨ぐように配線層 627b が形成されている。配線層 627b は、ソース電極層又はドレイン電極層 621a 及びソース電極層又はドレイン電極層 621b とそれぞれコンタクトホールにより接続されているので、配線層 627b によって、ソース電極層又はドレイン電極層 621a とソース電極層又はドレイン電極層 621b とは電氣的に接続されている。配線層 627b 上には、パッシベーション膜として絶縁膜 661 が形成されている。

30

【0234】

図 24 (A) は、表示装置の上面図であり、図 24 (B) は、図 24 (A) における線 Y3 - Z3 による断面図である。図 24 においても図 22 と同様に、ゲート電極層 633b を覆うように絶縁層 652 が、液滴吐出法により選択的に形成されている。その絶縁層 652 上を跨ぐように配線層 637b が形成され、配線層 638a と配線層 638b とに接続している。配線層 638a はソース電極層又はドレイン電極層 631a と、配線層 638b はソース電極層又はドレイン電極層 631b とにそれぞれコンタクトホールにおいて接続している。ソース電極層又はドレイン電極層 631a、ソース電極層又はドレイン電極層 631b とは電氣的に接続している。

40

【0235】

絶縁層 650、絶縁層 651、絶縁層 652 のように配線層間のショートを防ぐための絶縁層を、液滴吐出法を用いて選択的に形成すると、材料のロスが軽減する。また、直接配線間が接するように形成することができるので、絶縁層にコンタクトホールを形成する工程が減る。よって、工程が簡略化し低いコスト、高い生産性を得ることができる。

【0236】

図 25 の表示装置もゲート電極層 643a 及びゲート電極層 643b と、配線層 648a 及び配線層 648b とを物理的に隔てるために設ける絶縁層 653a 及び絶縁層 65

50

3 bを液滴吐出法を用いて選択的に形成する例である。図22乃至図24における表示装置では、絶縁層上に配線層を跨ぐように形成することで、ゲート電極層と配線層とのショートを防いでいた。図25の表示装置では、ソース電極層又はドレイン電極層641a、ソース電極層又はドレイン電極層641a及びソース電極層又はドレイン電極層641bを、後にゲート配線層が形成される領域を横切るように、配線層648bが形成される領域までわたって形成する。本実施の形態では、ソース電極層又はドレイン電極層641a及びソース電極層又はドレイン電極層641bそのものを広く形成し、ゲート電極層643a及びゲート電極層643bの形成領域を横切り配線層648a及び配線層648bの形成領域まで達するような形状とするが、ソース電極層又はドレイン電極層641a及びソース電極層又はドレイン電極層641bとは別に、ゲート電極層643a及びゲート電極層643bの形成領域を横切るようにそれぞれ配線層を形成してもよい。

10

【0237】

その後ゲート電極層643a、ゲート電極層643bを形成する前に、ソース電極層又はドレイン電極層を覆うゲート絶縁層642の一部をエッチングによって除去する。図25(A)の表示装置上面図に示すように、ゲート絶縁層642は、半導体層770、半導体層775上、容量素子を形成する領域となる一部のソース電極層又はドレイン電極層773a上に存在するが、配線層648a、配線層648bが形成される領域、ソース電極層又はドレイン電極層772とゲート電極層774とが接続する領域、及びソース電極層又はドレイン電極層773aと画素電極層として機能する第1の電極層777とが接続する領域は除去されている。よって、コンタクトホールを形成することなく、電極層同士は直接接続することができる。ソース電極層又はドレイン電極層641a及びソース電極層又はドレイン電極層641b上のゲート電極層643a、ゲート電極層643bの形成領域に、絶縁層653a及び絶縁層653bを液滴吐出法によって選択的に形成する。絶縁層653a及び絶縁層653b上にゲート電極層643a、ゲート電極層を形成する。ゲート電極層643a及びゲート電極層643bを形成するのと同工程で、配線層648a、配線層648bをソース電極層又はドレイン電極層641a、ソース電極層又はドレイン電極層641bとそれぞれ接するように形成する。ソース電極層又はドレイン電極層641aは、絶縁層653b下を連続的にくぐるように形成されているので配線層648aと配線層648bとも電氣的に接続することができる。このように、絶縁層653bの下層で配線層とソース電極層又はドレイン電極層を電氣的に接続することができる。

20

30

【0238】

図25の表示装置の線Q-Rにおける断面図を図26(A)に、線S-Tにおける断面図を図26(B)にそれぞれ示す。図25で示したように、図25の表示装置は、ゲート絶縁層が選択的に除去されており、画素内にコンタクトホールを形成しない構造となっている。よって、電極間は層間絶縁層を介さないで接続している。図25の表示装置は表示素子に発光素子を用いる発光表示装置の例を示している。

【0239】

図26(A)において、基板640上に、絶縁層649、半導体層770、チャンネル保護層779a、一導電型を有する半導体層771a、一導電型を有する半導体層771b、ソース電極層又はドレイン電極層773aが形成され、一導電型を有する半導体層771a、一導電型を有する半導体層771b上に、ソース電極層又はドレイン電極層641a、ソース電極層又はドレイン電極層772が形成されている。ゲート絶縁層642は、半導体層770、ソース電極層又はドレイン電極層773aを覆うようにのみ形成され、ソース電極層又はドレイン電極層641a、ソース電極層又はドレイン電極層772上の一部では除去されている。ゲート絶縁層642に覆われていない露出されたソース電極層又はドレイン電極層641aに接して配線層648aが形成され、ゲート絶縁層642に覆われていない露出されたソース電極層又はドレイン電極層772上にゲート電極層774が形成され、それぞれ電氣的に接続している。半導体層770を覆うように設けられたゲート絶縁層642上にゲート電極層643aが形成され、絶縁膜663と隔壁として機能する絶縁層780が形成されている。

40

50

【 0 2 4 0 】

図 2 6 (B) も同様に、基板 6 4 0 上に、絶縁層 6 4 9、第 1 の電極層 7 7 7、半導体層 7 7 5、チャネル保護層 7 7 9 b、一導電型を有する半導体層 7 7 6 a、一導電型を有する半導体層 7 7 6 b が形成され、一導電型を有する半導体層 7 7 6 a、一導電型を有する半導体層 7 7 6 b 上にソース電極層又はドレイン電極層 7 7 3 a、ソース電極層又はドレイン電極層 7 7 3 b、ゲート絶縁層 6 4 2 が形成されている。ゲート絶縁層 6 4 2 上にはゲート電極層 7 7 4 が形成され、絶縁膜 6 6 3、隔壁として機能する絶縁層 7 8 0 が形成されている。ゲート絶縁層 6 4 2 は選択的に形成されており、ソース電極層又はドレイン電極層 7 7 3 b 及びソース電極層又はドレイン電極層 7 7 3 b の一部では除去されている。ゲート絶縁層 6 4 2 に覆われていない露出されたソース電極層又はドレイン電極層 7 7 3 b 上には電源線 7 7 8 が形成され、露出されたソース電極層又はドレイン電極層 7 7 3 a に接して第 1 の電極層 7 7 7 が形成され、電氣的に接続している。第 1 の電極層 7 7 7 上に、電界発光層 7 8 1、電界発光層 7 8 1 上に電極層 7 8 2 が積層され、発光素子を備えた表示装置が完成される。

10

【 0 2 4 1 】

以上の工程で示すように、信頼性の高い表示装置を低コストで生産性よく作製することができる。

【 0 2 4 2 】

本実施の形態は、実施の形態 1 乃至 9 とそれぞれ組み合わせることで用いることが可能である。

20

【 0 2 4 3 】

(実施の形態 1 1)

本実施の形態を、図 4 8 を用いて説明する。本実施の形態では、実施の形態 1 の表示装置において、層間絶縁層の構造が異なる例を示す。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【 0 2 4 4 】

図 4 8 は、実施の形態 1 で用いた図 5 (A) の上面図において、線 B - D の断面図と対応している。実施の形態 1 では、薄膜トランジスタの凹凸を平坦化する層間絶縁層として、絶縁層 1 2 9 を形成し、絶縁層 1 2 9 上に第 1 の電極層 1 3 0 を形成する。本実施の形態では、絶縁層 1 2 9 を形成せず、第 1 の電極層をゲート絶縁層上、もしくは、パッシベーション膜である絶縁膜上に形成する。よって、実施の形態 1 では、ソース電極層又はドレイン電極層と第 1 の電極層は、配線層を介して接続されるが、本実施の形態では、直接接するように形成され、電氣的に接続する。

30

【 0 2 4 5 】

図 4 8 に示す表示装置は、表示素子として発光素子を有する本発明を適用した発光表示装置である。図 4 8 (A) において、表示装置は、基板 9 0 0 上に、絶縁層 9 0 1、第 1 の電極層 9 0 9、半導体層 9 0 2、チャネル保護層 9 0 3、一導電型を有する半導体層 9 0 4 a、一導電型を有する半導体層 9 0 4 b、一導電型を有する半導体層 9 2 4 a、一導電型を有する半導体層 9 2 4 b が形成され、一導電型を有する半導体層 9 2 4 a、一導電型を有する半導体層 9 2 4 b 上にソース電極層又はドレイン電極層 9 0 5 a、ソース電極層又はドレイン電極層 9 0 5 b、ゲート絶縁層 9 0 6 が形成されている。

40

【 0 2 4 6 】

ゲート絶縁層 9 0 6 上にはゲート電極層 9 0 8 が形成され、絶縁膜 9 1 0、隔壁として機能する絶縁層 9 1 1 が形成されている。ゲート絶縁層 9 0 6 及び絶縁膜 9 1 0 にソース電極層又はドレイン電極層 9 0 5 a に達する開口部 9 2 7 が形成されている。開口部 9 2 7 にソース電極層又はドレイン電極層 9 0 5 a に接するように第 1 の電極層 9 0 9 が形成され、第 1 の電極層 9 0 9 上に、電界発光層 9 1 2、第 2 の電極層 9 1 3 が積層されている。このように、第 1 の電極層 9 0 9 は、薄膜トランジスタを覆う絶縁膜 9 1 0 上に形成する構造とすることもできる。

【 0 2 4 7 】

50

図48(B)において、表示装置は、基板900上に、絶縁層901、第1の電極層919、半導体層902、チャンネル保護層903、一導電型を有する半導体層904a、一導電型を有する半導体層904b、一導電型を有する半導体層924a、一導電型を有する半導体層924bが形成され、一導電型を有する半導体層924a、一導電型を有する半導体層924b上にソース電極層又はドレイン電極層905a、ソース電極層又はドレイン電極層905b、ゲート絶縁層906が形成されている。

【0248】

ゲート絶縁層906上にはゲート電極層908が形成され、絶縁膜910、隔壁として機能する絶縁層911が形成されている。図48(B)に示す表示装置は、第1の電極層919が、ゲート絶縁層906上に形成された例である。ゲート絶縁層906にソース電極層又はドレイン電極層905aに達する開口部907が形成されている。開口部907にソース電極層又はドレイン電極層905aに接するように第1の電極層909が形成され、第1の電極層919上に、電界発光層912、第2の電極層913が積層されている。第1の電極層919の一部は、絶縁膜910で覆われている。このように、第1の電極層909は、ゲート絶縁層906上に形成する構造とすることもできる。

10

【0249】

本実施の形態のような表示装置の構造であると、層間絶縁層を必要としないので、工程の簡略化、材料の削減によるコストの軽減を達成できる利点がある。

【0250】

(実施の形態12)

20

次に、実施の形態1乃至11によって作製される表示パネルに駆動用のドライバ回路を実装する態様について説明する。

【0251】

まず、COG方式を採用した表示装置について、図34(A)を用いて説明する。基板2700上には、文字や画像などの情報を表示する画素部2701が設けられる。複数の駆動回路が設けられた基板を、矩形状に分断し、分断後の駆動回路(以下ドライバICと表記)2751は、基板2700上に実装される。図34(A)は複数のドライバIC2751、ドライバIC2751の先にFPC2750を実装する形態を示す。また、分割する大きさを画素部の信号線側の辺の長さとはほぼ同じにし、単数のドライバICに、該ドライバICの先にテープを実装してもよい。

30

【0252】

また、TAB方式を採用してもよく、その場合は、図34(B)で示すように複数のテープを貼り付けて、該テープにドライバICを実装すればよい。COG方式の場合と同様に、単数のテープに単数のドライバICを実装してもよく、この場合には、強度の問題から、ドライバICを固定する金属片等を一緒に貼り付けるとよい。

【0253】

これらの表示パネルに実装されるドライバICは、生産性を向上させる観点から、一辺が300mmから1000mm以上の矩形状の基板上に複数個作り込むとよい。

【0254】

つまり、基板上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して取り出せばよい。ドライバICの長辺の長さは、画素部の一辺の長さや画素ピッチを考慮して、長辺が15~80mm、短辺が1~6mmの矩形状に形成してもよいし、画素領域の一辺、又は画素部の一辺と各駆動回路の一辺とを足した長さに形成してもよい。

40

【0255】

ドライバICのICチップに対する外形寸法の優位性は長辺の長さであり、長辺が15~80mmで形成されたドライバICを用いると、画素部に対応して実装するのに必要な数がICチップを用いる場合よりも少なく済み、製造上の歩留まりを向上させることができる。また、ガラス基板上にドライバICを形成すると、母体として用いる基板の形状に限定されないため生産性を損なうことがない。これは、円形のシリコンウエハからIC

50

チップを取り出す場合と比較すると、大きな優位点である。

【0256】

また、図33(B)のように走査線側の駆動回路3704は基板上に一体形成される場合、画素領域3701の外側の領域には、信号線側の駆動回路駆動回路が形成されたドライバICが実装される。これらのドライバICは、信号線側の駆動回路である。RGBフルカラーに対応した画素領域を形成するためには、XGAクラスで信号線の本数が3072本必要であり、UXGAクラスでは4800本が必要となる。このような本数で形成された信号線は、画素領域3701の端部で数ブロック毎に区分して引出線を形成し、ドライバICの出力端子のピッチに合わせて集められる。

【0257】

ドライバICは、基板上に形成された結晶質半導体により形成されることが好適であり、本発明を用いた薄膜トランジスタを用いることができる。また移動度や応答速度が良好なために高速駆動が可能で、従来よりも素子の動作周波数を向上させることができ、特性バラツキが少ないために高い信頼性を得ることができる。

【0258】

画素領域は、信号線と走査線が交差してマトリクスを形成し、各交差部に対応してトランジスタが配置される。画素領域に配置されるトランジスタとしても、本発明を用いた薄膜トランジスタを適用することができる。本発明を適用して作製される薄膜トランジスタは、簡略化した工程で比較的高移動度が得られるため、大画面の表示装置を作製する上で有効である。従って、この薄膜トランジスタを画素のスイッチング用素子や、走査線側の駆動回路を構成する素子として用いることができる。従って、システムオンパネル化を実現した表示パネルを作製することができる。

【0259】

図34(A)、(B)のように走査線駆動回路及び信号線駆動回路の両方として、ドライバICを実装してもよい。その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするといよい。

【0260】

その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするのが好適である。例えば、走査線側のドライバICを構成するトランジスタには30V程度の耐圧が要求されるものの、駆動周波数は100kHz以下であり、比較的高速動作は要求されない。従って、走査線側のドライバを構成するトランジスタのチャンネル長(L)は十分大きく設定することが好適である。一方、信号線側のドライバICのトランジスタには、12V程度の耐圧があれば十分であるが、駆動周波数は3Vにて65MHz程度であり、高速動作が要求される。そのため、ドライバを構成するトランジスタのチャンネル長などはミクロンルールで設定することが好適である。なおチャンネル長方向とは、チャンネル形成領域において、電流が流れる方向、換言すると電荷が移動する方向と一致する。

【0261】

ドライバICの実装方法は、特に限定されるものではなく、公知のCOG方法やワイヤボンディング方法、或いはTAB方法を用いることができる。

【0262】

ドライバICの厚さは、対向基板と同じ厚さとすることで、両者の間の高さはほぼ同じものとなり、表示装置全体としての薄型化に寄与する。また、それぞれの基板を同じ材質のもので作製することにより、この表示装置に温度変化が生じても熱応力が発生することなく、TFTで作製された回路の特性を損なうことはない。その他にも、本実施の形態で示すようにICチップよりも長尺のドライバICで駆動回路を実装することにより、1つの画素領域に対して、実装されるドライバICの個数を減らすことができる。

【0263】

以上のようにして、表示パネルに駆動回路を組み入れることができる。本実施の形態は、実施の形態1乃至11とそれぞれ組み合わせて用いることが可能である。

【0264】

10

20

30

40

50

(実施の形態 13)

本実施の形態では、上記実施の形態において、ゲート電極層とソース電極層及びドレイン電極層との端部の位置関係、即ちゲート電極層の幅とチャンネル長の大きさの関係について、図 4 1 を用いて説明する。

【0265】

図 4 1 (A) は基板 5 4 0 上に形成された、絶縁層 5 4 6、半導体層 5 4 3、一導電型を有する半導体層 5 4 2 a、一導電型を有する半導体層 5 4 2 b、ソース電極層又はドレイン電極層 5 4 1 a、ソース電極層又はドレイン電極層 5 4 1 b、ゲート絶縁層 5 4 4、ゲート電極層 5 4 5 からなるトップゲート型プレナー構造の薄膜トランジスタである。

【0266】

図 4 1 (A) は、ソース電極層及びドレイン電極層 5 4 1 a、ソース電極層及びドレイン電極層 5 4 1 b 上をゲート電極層 5 4 5 の端部が c 1 だけ重なっている。ここでは、半導体層 5 4 3 において、ソース電極層及びドレイン電極層とゲート電極層とが重なっている領域をオーバーラップ領域と呼ぶ。即ち、ゲート電極層の幅 b 1 がチャンネル長 a 1 よりも大きい。オーバーラップ領域の幅 c 1 は、 $(b 1 - a 1) / 2$ で表される。このようなオーバーラップ領域を有する n チャンネル T F T は、ソース電極層及びドレイン電極層と、半導体領域との間に、n 型の高濃度不純物領域 (n+領域) と n 型の低濃度不純物領域 (n-領域) とを有することが好ましい。この構造により、電界の緩和効果が大きくなり、ホットキャリア耐性を高めることが可能となる。

【0267】

図 4 1 (B) は基板 5 5 0 上に形成された、絶縁層 5 5 6、半導体層 5 5 3、一導電型を有する半導体層 5 5 2 a、一導電型を有する半導体層 5 5 2 b、ソース電極層又はドレイン電極層 5 5 1 a、ソース電極層又はドレイン電極層 5 5 1 b、ゲート絶縁層 5 5 4、ゲート電極層 5 5 5 からなるトップゲート型プレナー構造の薄膜トランジスタである。

【0268】

図 4 1 (B) は、ゲート電極層 5 5 5 の端部と、ソース電極層及びドレイン電極層 5 5 1 a、ソース電極層及びドレイン電極層 5 5 1 b の端部が一致している。即ち、ゲート電極層の幅 b 2 とチャンネル長 a 2 とが等しい。

【0269】

図 4 1 (C) は基板 5 6 0 上に形成された、絶縁層 5 6 6、半導体層 5 6 3、s ソース電極層又はドレイン電極層 5 6 1 a、ソース電極層又はドレイン電極層 5 6 1 b、ゲート絶縁層 5 6 4、ゲート電極層 5 6 5 からなるトップゲート型プレナー構造の薄膜トランジスタである。

【0270】

図 4 1 (C) は、ゲート電極層 5 6 5 とソース電極層及びドレイン電極層 5 6 1 a、ソース電極層及びドレイン電極層 5 6 1 a の端部とが c 3 だけ離れている。ここでは、半導体層 5 6 3 において、ゲート電極層 5 6 5 と、ソース電極層及びドレイン電極層 5 6 1 a、ソース電極層及びドレイン電極層 5 6 1 a とが重なっておらず離れている領域をオフセット領域と呼ぶ。即ち、ゲート電極層の幅 b 3 がチャンネル長 a 3 よりも小さい。オフセット領域の幅 c 3 は、 $(a 3 - b 3) / 2$ で表される。このような構造の T F T は、オフ電流を低減することができるため、該 T F T を表示装置のスイッチング素子として用いた場合、コントラストを向上させることができる。

【0271】

さらには、図 1 7 及び図 1 8 で示したように半導体層が複数のゲート電極層を覆ういわゆるマルチゲート構造の T F T としても良い。このような構造の T F T も、オフ電流を低減することができる。本発明におけるレーザ光によるマスク加工技術によって、精密な加工を施されたマスクを形成することができるので、このようなマスクを用いて電極層などの配線パターンを微細かつ正確な形状に形成することができる。よって、微細な電極層の加工を行い、本実施の形態で示すような要求される機能を有する薄膜トランジスタを歩留まり良く生産することができる。よってその薄膜トランジスタを有する表示装置も、高い信

10

20

30

40

50

頼性と性能を有するものとすることができる。

【0272】

本実施の形態は、実施の形態1乃至12とそれぞれ組み合わせて用いることが可能である。

【0273】

(実施の形態14)

本実施の形態では、上記実施の形態に適応可能な半導体膜の結晶化工程を図38及び図39を用いて説明する。

【0274】

図38において、基板220上に、下地膜となる絶縁層221が形成され、非晶質半導体膜222が形成されている。非晶質半導体膜222上に絶縁膜で形成されるマスク224a、マスク224bを形成し、選択的に金属膜225を形成して、半導体膜の結晶化を行うことができる。半導体膜を加熱すると、図38(B)の矢印で示すように、金属膜225と非晶質半導体膜222との接触部分から、基板の表面に平行な方向へ結晶成長が発生し、結晶性半導体膜226が形成する。なお、金属膜225から、かなり離れた部分では結晶化は行われず、非晶質部分が残存する。

10

【0275】

また、図39(A)に示すように、マスクを用いず、液滴吐出法により選択的に金属膜233を形成して、上記結晶化を行ってもよい。図39(B)は、図39(A)の上面図である。また、図39(D)は、図39(C)の上面図である。

20

【0276】

図39において、基板230上に、下地膜となる絶縁層231が形成され、非晶質半導体膜232が形成されている。非晶質半導体膜232上に液滴吐出法により選択的に金属膜233を形成する。加熱処理により非晶質半導体膜232の結晶化を行うと図39(C)及び図39(D)に示すように、金属膜233と非晶質半導体膜232との接触部分から、基板の表面に平行な方向へ結晶成長が発生する。ここでも、金属膜233から、かなり離れた部分では結晶化は行われず、非晶質部分が残存する。

【0277】

このように、基板に平行な方向への結晶成長を横成長またはラテラル成長と称する。横成長により大粒径の結晶粒を形成することができるため、チャンネル形成領域235にこの結晶性半導体膜を用いると、より高い移動度を有する薄膜トランジスタを形成することができる。

30

【0278】

本実施の形態は、実施の形態1乃至13とそれぞれ組み合わせて用いることが可能である。

【0279】

(実施の形態15)

本発明の表示装置に具備される保護回路の一例について説明する。

【0280】

図34で示すように、外部回路と内部回路の間に保護回路2713を形成することができる。保護回路は、TFT、ダイオード、抵抗素子及び容量素子等から選択された1つ又は複数の素子によって構成されるものであり、以下にはいくつかの保護回路の構成とその動作について説明する。まず、外部回路と内部回路の間に配置される保護回路であって、1つの入力端子に対応した保護回路の等価回路図の構成について、図27を用いて説明する。図27(A)に示す保護回路は、pチャネル型薄膜トランジスタ7220、7230、容量素子7210、7240、抵抗素子7250を有する。抵抗素子7250は2端子の抵抗であり、一端には入力電圧 V_{in} (以下、 V_{in} と表記)が、他端には低電位電圧 V_{SS} (以下、 V_{SS} と表記)が与えられる。

40

【0281】

図27(B)に示す保護回路は、pチャネル型薄膜トランジスタ7220、7230を

50

、整流性を有するダイオード7260、7270で代用した等価回路図である。図27(C)に示す保護回路は、pチャンネル型薄膜トランジスタ7220、7230を、TFT7350、7360、7370、7380で代用した等価回路図である。また、上記とは別の構成の保護回路として、図27(D)に示す保護回路は、抵抗7280、7290と、nチャンネル型薄膜トランジスタ7300を有する。図27(E)に示す保護回路は、抵抗7280、7290、pチャンネル型薄膜トランジスタ7310及びnチャンネル型薄膜トランジスタ7320を有する。保護回路を設けることで電位の急激な変動を防いで、素子の破壊又は損傷を防ぐことができ、信頼性が向上する。なお、上記保護回路を構成する素子は、耐圧に優れた非晶質半導体により構成することが好ましい。本実施の形態は、上記の実施の形態と自由に組み合わせることが可能である。

10

【0282】

本実施の形態は、実施の形態1乃至14とそれぞれ組み合わせて用いることが可能である。

【0283】

(実施の形態16)

本発明を適用して薄膜トランジスタを形成し、該薄膜トランジスタを用いて表示装置を形成することができるが、発光素子を用いて、なおかつ、該発光素子を駆動するトランジスタとしてnチャンネル型トランジスタを用いた場合、該発光素子から発せられる光は、下面放射、上面放射、両面放射のいずれかを行う。ここでは、それぞれの場合に応じた発光素子の積層構造について、図46を用いて説明する。

20

【0284】

また、本実施の形態では、本発明を適用したトップゲート型のプラナー構造(プレーナ構造とも記す)の薄膜トランジスタ671、681及び691を用いる。本実施の形態では、半導体層として結晶性の構造を有する珪素膜を用い、一導電型の半導体層としてn型の半導体層を用いる。n型の半導体層を形成するかわりに、PH₃ガスによるプラズマ処理を行うことによって、半導体層に導電性を付与してもよい。半導体層は本実施の形態に限定されず、一導電型の半導体層を形成せず、結晶性半導体層に不純物を導入(添加)して一導電性を有する不純物領域を形成してもよい。

【0285】

まず、基板680側に放射する場合、つまり下面放射を行う場合について、図46(A)を用いて説明する。この場合、薄膜トランジスタ681に電氣的に接続するように、ソース電極層又はドレイン電極層に接続する配線層682に接して、第1の電極層684、電界発光層685、第2の電極層686が順に積層される。光が透過する基板680は透光性を有する必要がある。次に、基板690と反対側に放射する場合、つまり上面放射を行う場合について、図46(B)を用いて説明する。薄膜トランジスタ691は、前述した薄膜トランジスタの同様に形成することができる。

30

【0286】

薄膜トランジスタ691に電氣的に接続するソース電極層又はドレイン電極層に接続する配線層692が第1の電極層693と接し、電氣的に接続する。第1の電極層693、電界発光層694、第2の電極層695が順に積層される。配線層692は反射性を有する金属層であり、発光素子から放射される光を矢印の上面に反射する。配線層692は第1の電極層693と積層する構造となっているので、第1の電極層693に透光性の材料を用いて、光が透過しても、該光は第1の電極層693において反射され、基板690と反対側に放射する。もちろん第1の電極層を反射性を有する金属膜を用いて形成してもよい。発光素子から放出する光は第2の電極層695を透過して放出されるので、第2の電極層695は、少なくとも可視領域において透光性を有する材料で形成する。最後に、光が基板670側とその反対側の両側に放射する場合、つまり両面放射を行う場合について、図46(C)を用いて説明する。薄膜トランジスタ671もトップゲート型プラナー構造の薄膜トランジスタであり、薄膜トランジスタ681と同様に形成することができる。薄膜トランジスタ671の半導体層に電氣的に接続するソース電極層又はドレイン電極層

40

50

と接続する配線層 675 に第 1 の電極層 672 が電氣的に接続している。第 1 の電極層 672、電界発光層 673、第 2 の電極層 674 が順に積層される。このとき、第 1 の電極層 672 と第 2 の電極層 674 のどちらも少なくとも可視領域において透光性を有する材料、又は光を透過できる厚さで形成すると、両面放射が実現する。この場合、光が透過する絶縁層や基板 670 も透光性を有する必要がある。

【0287】

本実施の形態において適用できる発光素子の形態を図 45 に示す。発光素子は、電界発光層 860 を第 1 の電極層 870 と第 2 の電極層 850 で挟んだ構成になっている。第 1 の電極層及び第 2 の電極層は仕事関数を考慮して材料を選択する必要がある、そして第 1 の電極層及び第 2 の電極層は、画素構成によりいずれも陽極、又は陰極となりうる。本実施の形態では、駆動用 T F T の極性が N チャネル型であるため、第 1 の電極層を陰極、第 2 の電極層を陽極とすると好ましい。また駆動用 T F T の極性が p チャネル型である場合、第 1 の電極層を陽極、第 2 の電極層を陰極とするとよい。

【0288】

図 45 (A) 及び (B) は、第 1 の電極層 870 が陽極であり、第 2 の電極層 850 が陰極である場合であり、電界発光層 860 は、第 1 の電極層 870 側から、H I L (ホール注入層) と H T L (ホール輸送層) 804、E M L (発光層) 803、E T L (電子輸送層) と E I L (電子注入層) 802、第 2 の電極層 850 の順に積層するのが好ましい。図 45 (A) は第 1 の電極層 870 から光を放射する構成であり、第 1 の電極層 870 は透光性を有する酸化物導電性材料からなる電極層 805 で構成し、第 2 の電極層は電界発光層 860 側から、L i F や M g A g などアルカリ金属又はアルカリ土類金属を含む電極層 801 とアルミニウムなどの金属材料で形成する電極層 800 より構成されている。図 45 (B) は第 2 の電極層 850 から光を放射する構成であり、第 1 の電極層は、アルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する電極層 807 と、酸化珪素を 1 ~ 15 原子% の濃度で含む酸化物導電性材料で形成する第 2 の電極層 806 より構成されている。第 2 の電極層は、第 2 の電極層は電界発光層 860 側から、L i F や M g A g などアルカリ金属又はアルカリ土類金属を含む電極層 801 とアルミニウムなどの金属材料で形成する電極層 800 より構成されているがいずれの層も 100 nm 以下の厚さとして光を透過可能な状態としておくことで、第 2 の電極層 850 から光を放射することが可能となる。

【0289】

図 45 (C) 及び (D) は、第 1 の電極層 870 が陰極であり、第 2 の電極層 850 が陽極である場合であり、電界発光層 860 は、陰極側から E I L (電子注入層) と E T L (電子輸送層) 802、E M L (発光層) 803、H T L (ホール輸送層) と H I L (ホール注入層) 804、陽極である第 2 の電極層 850 の順に積層するのが好ましい。図 45 (C) は第 1 の電極層 870 から光を放射する構成であり、第 1 の電極層 870 は電界発光層 860 側から、L i F や M g A g などアルカリ金属又はアルカリ土類金属を含む電極層 801 とアルミニウムなどの金属材料で形成する電極層 800 より構成されているがいずれの層も 100 nm 以下の厚さとして光を透過可能な状態としておくことで、第 1 の電極層 870 から光を放射することが可能となる。第 2 の電極層は、電界発光層 860 側から、酸化珪素を 1 ~ 15 原子% の濃度で含む酸化物導電性材料で形成する第 2 の電極層 806、アルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する電極層 807 より構成されている。図 45 (D) は第 2 の電極層 850 から光を放射する構成であり、第 1 の電極層 870 は電界発光層 860 側から、L i F や M g A g などアルカリ金属又はアルカリ土類金属を含む電極層 801 とアルミニウムなどの金属材料で形成する電極層 800 より構成されており、膜厚は電界発光層 860 で発光した光を反射可能な程度に厚く形成している。第 2 の電極層 850 は、透光性を有する酸化物導電性材料からなる電極層 805 で構成されている。なお電界発光層は、積層構造以外に単層構造、又は混合構造をとることがでる。

【0290】

また、電界発光層として、赤色（R）、緑色（G）、青色（B）の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成する。赤色（R）、緑色（G）、青色（B）の発光を示す材料はカラーフィルタ同様、液滴吐出法により形成することもでき（低分子または高分子材料など）、この場合マスクを用いずとも、RGBの塗り分けを行うことができるため好ましい。

【0291】

また上面放射型の場合で、第2の電極層に透光性を有するITOやITSOを用いる場合、ベンゾオキサゾール誘導体（BzOs）にLiを添加したBzOs-Liなどを用いることができる。また例えばEMLは、R、G、Bのそれぞれの発光色に対応したドーパント（Rの場合DCM等、Gの場合DMQD等）をドーブしたAlq₃を用いればよい。

10

【0292】

なお、電界発光層は上記材料に限定されない。例えば、CuPcやPEDOTの代わりに酸化モリブデン（MoO_x：x = 2 ~ 3）等の酸化物と-NPDやルブレンを共蒸着して形成し、ホール注入性を向上させることもできる。また電界発光層の材料は、有機材料（低分子又は高分子を含む）、又は有機材料と無機材料の複合材料として用いることができる。以下発光素子を形成する材料について詳細に述べる。

【0293】

電荷注入輸送物質のうち、特に電子輸送性の高い物質としては、例えばトリス（8-キノリノラト）アルミニウム（略称：Alq₃）、トリス（5-メチル-8-キノリノラト）アルミニウム（略称：Almq₃）、ビス（10-ヒドロキシベンゾ[h]-キノリナト）ベリリウム（略称：BeBq₂）、ビス（2-メチル-8-キノリノラト）-4-フェニルフェノラト-アルミニウム（略称：BALq）など、キノリン骨格またはベンゾキノリン骨格を有する金属錯体等が挙げられる。また正孔輸送性の高い物質としては、例えば4,4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ビフェニル（略称：NPD）や4,4'-ビス[N-(3-メチルフェニル)-N-フェニル-アミノ]-ビフェニル（略称：TPD）や4,4',4''-トリス（N,N-ジフェニル-アミノ）-トリフェニルアミン（略称：TDATA）、4,4',4''-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]-トリフェニルアミン（略称：MTDATA）などの芳香族アミン系（即ち、ベンゼン環-窒素の結合を有する）の化合物が挙げられる。

20

30

【0294】

また、電荷注入輸送物質のうち、特に電子注入性の高い物質としては、フッ化リチウム（LiF）、フッ化セシウム（CsF）、フッ化カルシウム（CaF₂）等のようなアルカリ金属又はアルカリ土類金属の化合物が挙げられる。また、この他、Alq₃のような電子輸送性の高い物質とマグネシウム（Mg）のようなアルカリ土類金属との混合物であってもよい。

【0295】

電荷注入輸送物質のうち、正孔注入性の高い物質としては、例えば、モリブデン酸化物（MoO_x）やバナジウム酸化物（VO_x）、ルテニウム酸化物（RuO_x）、タングステン酸化物（WO_x）、マンガン酸化物（MnO_x）等の金属酸化物が挙げられる。また、この他、フタロシアニン（略称：H₂Pc）や銅フタロシアニン（CuPc）等のフタロシアニン系の化合物が挙げられる。

40

【0296】

発光層は、発光波長帯の異なる発光層を画素毎に形成して、カラー表示を行う構成としても良い。典型的には、R（赤）、G（緑）、B（青）の各色に対応した発光層を形成する。この場合にも、画素の光放射側にその発光波長帯の光を透過するフィルターを設けた構成とすることで、色純度の向上や、画素部の鏡面化（映り込み）の防止を図ることができる。フィルターを設けることで、従来必要であるとされていた円偏光版などを省略することが可能となり、発光層から放射される光の損失を無くすることができる。さらに、斜方から画素部（表示画面）を見た場合に起こる色調の変化を低減することができる。

50

【 0 2 9 7 】

発光材料には様々な材料がある。低分子有機発光材料では、4 - ジシアノメチレン - 2 - メチル - 6 - [2 - (1 , 1 , 7 , 7 - テトラメチル - 9 - ジュロリジル) エテニル] - 4 H - ピラン (略称 : D C J T)、4 - ジシアノメチレン - 2 - t - プチル - 6 - [2 - (1 , 1 , 7 , 7 - テトラメチルジュロリジン - 9 - イル) エテニル] - 4 H - ピラン (略称 : D C J T B)、ペリフランテン、2 , 5 - ジシアノ - 1 , 4 - ビス [2 - (1 0 - メトキシ - 1 , 1 , 7 , 7 - テトラメチルジュロリジン - 9 - イル) エテニル] ベンゼン、N , N ' - ジメチルキナクリドン (略称 : D M Q d)、クマリン 6、クマリン 5 4 5 T、トリス (8 - キノリノラト) アルミニウム (略称 : A l q₃)、9 , 9 ' - ピアントリル、9 , 1 0 - ジフェニルアントラセン (略称 : D P A) や 9 , 1 0 - ビス (2 - ナフチル) アントラセン (略称 : D N A) 等を用いることができる。また、この他の物質でもよい。

10

【 0 2 9 8 】

一方、高分子系有機発光材料は低分子系に比べて物理的強度が高く、素子の耐久性が高い。また塗布により成膜することが可能であるので、素子の作製が比較的容易である。高分子系有機発光材料を用いた発光素子の構造は、低分子系有機発光材料を用いたときと基本的には同じであり、陰極 / 有機発光層 / 陽極となる。しかし、高分子系有機発光材料を用いた発光層を形成する際には、低分子系有機発光材料を用いたときのような積層構造を形成させることは難しく、多くの場合 2 層構造となる。具体的には、陰極 / 発光層 / 正孔輸送層 / 陽極という構造である。

【 0 2 9 9 】

20

発光色は、発光層を形成する材料で決まるため、これらを選択することで所望の発光を示す発光素子を形成することができる。発光層の形成に用いることができる高分子系の電界発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフェン系、ポリフルオレン系が挙げられる。

【 0 3 0 0 】

ポリパラフェニレンビニレン系には、ポリ (パラフェニレンビニレン) [P P V] の誘導体、ポリ (2 , 5 - ジアルコキシ - 1 , 4 - フェニレンビニレン) [R O - P P V]、ポリ (2 - (2 ' - エチル - ヘキソキシ) - 5 - メトキシ - 1 , 4 - フェニレンビニレン) [M E H - P P V]、ポリ (2 - (ジアルコキシフェニル) - 1 , 4 - フェニレンビニレン) [R O P h - P P V] 等が挙げられる。ポリパラフェニレン系には、ポリパラフェニレン [P P P] の誘導体、ポリ (2 , 5 - ジアルコキシ - 1 , 4 - フェニレン) [R O - P P P]、ポリ (2 , 5 - ジヘキソキシ - 1 , 4 - フェニレン) 等が挙げられる。ポリチオフェン系には、ポリチオフェン [P T] の誘導体、ポリ (3 - アルキルチオフェン) [P A T]、ポリ (3 - ヘキシルチオフェン) [P H T]、ポリ (3 - シクロヘキシルチオフェン) [P C H T]、ポリ (3 - シクロヘキシル - 4 - メチルチオフェン) [P C H M T]、ポリ (3 , 4 - ジシクロヘキシルチオフェン) [P D C H T]、ポリ [3 - (4 - オクチルフェニル) - チオフェン] [P O P T]、ポリ [3 - (4 - オクチルフェニル) - 2 , 2 ビチオフェン] [P T O P T] 等が挙げられる。ポリフルオレン系には、ポリフルオレン [P F] の誘導体、ポリ (9 , 9 - ジアルキルフルオレン) [P D A F]、ポリ (9 , 9 - ジオクチルフルオレン) [P D O F] 等が挙げられる。

30

40

【 0 3 0 1 】

なお、正孔輸送性の高分子系有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピコート法などで塗布する。また、有機溶媒には不溶であるため、上述した発光性の有機発光材料との積層が可能である。正孔輸送性の高分子系有機発光材料としては、P E D O T とアクセプター材料としてのショウノウスルホン酸 (C S A) の混合物、ポリアニリン [P A N I] とアクセプター材料としてのポリスチレンスルホン酸 [P S S] の混合物等が挙げられる。

【 0 3 0 2 】

また、発光層は単色又は白色の発光を呈する構成とすることができる。白色発光材料を

50

用いる場合には、画素の光放射側に特定の波長の光を透過するフィルター（着色層）を設けた構成としてカラー表示を可能にすることができる。

【0303】

白色に発光する発光層を形成するには、例えば、Alq₃、部分的に赤色発光色素であるナイルレッドをドーブしたAlq₃、Alq₃、p-EtTAZ、TPD（芳香族ジアミン）を蒸着法により順次積層することで白色を得ることができる。また、スピコートを用いた塗布法によりELを形成する場合には、塗布した後、真空加熱で焼成することが好ましい。例えば、正孔注入層として作用するポリ（エチレンジオキシチオフェン）/ポリ（スチレンスルホン酸）水溶液（PEDOT/ PSS）を全面に塗布、焼成し、その後、発光層として作用する発光中心色素（1,1,4,4-テトラフェニル-1,3-ブタジエン（TPB）、4-ジシアノメチレン-2-メチル-6-(p-ジメチルアミノ-スチリル)-4H-ピラン（DCM1）、ナイルレッド、クマリン6など）ドーブしたポリビニルカルバゾール（PVK）溶液を全面に塗布、焼成すればよい。

10

【0304】

発光層は単層で形成することもでき、ホール輸送性のポリビニルカルバゾール（PVK）に電子輸送性の1,3,4-オキサジアゾール誘導体（PBD）を分散させてもよい。また、30wt%のPBDを電子輸送剤として分散し、4種類の色素（TPB、クマリン6、DCM1、ナイルレッド）を適量分散することで白色発光が得られる。ここで示した白色発光が得られる発光素子の他にも、発光層の材料を適宜選択することによって、赤色発光、緑色発光、または青色発光が得られる発光素子を作製することができる。

20

【0305】

さらに、発光層は、一重項励起発光材料の他、金属錯体などを含む三重項励起材料を用いても良い。例えば、赤色の発光性の画素、緑色の発光性の画素及び青色の発光性の画素のうち、輝度半減時間が比較的短い赤色の発光性の画素を三重項励起発光材料で形成し、他を一重項励起発光材料で形成する。三重項励起発光材料は発光効率が良いので、同じ輝度を得るのに消費電力が少なく済むという特徴がある。すなわち、赤色画素に適用した場合、発光素子に流す電流量が少なく済むので、信頼性を向上させることができる。低消費電力化として、赤色の発光性の画素と緑色の発光性の画素とを三重項励起発光材料で形成し、青色の発光性の画素を一重項励起発光材料で形成しても良い。人間の視感度が高い緑色の発光素子も三重項励起発光材料で形成することで、より低消費電力化を図ることができる。

30

【0306】

三重項励起発光材料の一例としては、金属錯体をドーパントとして用いたものがあり、第三遷移系列元素である白金を中心金属とする金属錯体、イリジウムを中心金属とする金属錯体などが知られている。三重項励起発光材料としては、これらの化合物に限られることはなく、上記構造を有し、且つ中心金属に周期表の8~10属に属する元素を有する化合物を用いることも可能である。

【0307】

以上に掲げる発光層を形成する物質は一例であり、正孔注入輸送層、正孔輸送層、電子注入輸送層、電子輸送層、発光層、電子ブロック層、正孔ブロック層などの機能性の各層を適宜積層することで発光素子を形成することができる。また、これらの各層を合わせた混合層又は混合接合を形成しても良い。発光層の層構造は変化しうるものであり、特定の電子注入領域や発光領域を備えていない代わりに、もっぱらこの目的用の電極層を備えたり、発光性の材料を分散させて備えたりする変形は、本発明の趣旨を逸脱しない範囲において許容されうるものである。

40

【0308】

上記のような材料で形成した発光素子は、順方向にバイアスすることで発光する。発光素子を用いて形成する表示装置の画素は、単純マトリクス方式、若しくは実施例2で示すようなアクティブマトリクス方式で駆動することができる。いずれにしても、個々の画素は、ある特定のタイミングで順方向バイアスを印加して発光させることとなるが、ある一

50

定期間は非発光状態となっている。この非発光時間に逆方向のバイアスを印加することで発光素子の信頼性を向上させることができる。発光素子では、一定駆動条件下で発光強度が低下する劣化や、画素内で非発光領域が拡大して見かけ上輝度が低下する劣化モードがあるが、順方向及び逆方向にバイアスを印加する交流的な駆動を行うことで、劣化の進行を遅くすることができ、発光装置の信頼性を向上させることができる。また、デジタル駆動、アナログ駆動どちらでも適用可能である。

【0309】

よって、図46には図示していないが、素子を有する基板と対向する封止基板にカラーフィルタ（着色層）を形成してもよい。カラーフィルタ（着色層）は液滴吐出法によって選択的に形成することができる。カラーフィルタ（着色層）を用いると、高精細な表示を行うこともできる。カラーフィルタ（着色層）により、各RGBの発光スペクトルにおいてブロードなピークを鋭くなるように補正できるからである。

10

【0310】

以上、各RGBの発光を示す材料を形成する場合を説明したが、単色の発光を示す材料を形成し、カラーフィルタや色変換層を組み合わせることによりフルカラー表示を行うことができる。カラーフィルタ（着色層）や色変換層は、例えば封止基板に形成し、基板へ張り合わせればよい。また上述したように、単色の発光を示す材料、カラーフィルタ（着色層）、及び色変換層のいずれも液滴吐出法により形成することができる。

【0311】

もちろん単色発光の表示を行ってもよい。例えば、単色発光を用いてエリアカラータイプの表示装置を形成してもよい。エリアカラータイプは、パッシブマトリクス型の表示部が適しており、主に文字や記号を表示することができる。

20

【0312】

上記構成において、陰極としては、仕事関数が小さい材料を用いることが可能で、例えば、Ca、Al、CaF₂、MgAg、AlLi等が望ましい。電界発光層は、単層型、積層型、また層の界面がない混合型のいずれでもよい。またシングレット材料、トリプレット材料、又はそれらを組み合わせた材料や、有機化合物又は無機化合物を含む電荷注入輸送物質及び発光材料で形成し、その分子数から低分子有機化合物、中分子有機化合物（昇華性を有さず、且つ分子数が20以下、又は連鎖する分子の長さが10 μm以下の有機化合物を指している）、高分子有機化合物から選ばれた一種又は複数種の層を含み、電子注入輸送性又は正孔注入輸送性の無機化合物と組み合わせてもよい。第1の電極層684、第2の電極層695、第1の電極層672、第2の電極層674は光を透過する透明導電膜を用いて形成し、例えばITO、ITSOの他、酸化インジウムに2～20 atomic %の酸化亜鉛（ZnO）を混合した透明導電膜を用いる。なお、第1の電極層684、第1の電極層693、第1の電極層672形成前に、酸素雰囲気中でのプラズマ処理や真空雰囲気下での加熱処理を行うとよい。隔壁（土手とも記す）は、珪素を含む材料、有機材料及び化合物材料を用いて形成する。また、多孔質膜を用いても良い。但し、アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。本実施の形態は、実施の形態1乃至17とそれぞれ組み合わせて用いることが可能である。

30

40

【0313】

（実施の形態17）

本実施の形態で示す表示パネルの画素の構成について、図30に示す等価回路図を参照して説明する。本実施の形態では、画素の表示素子として発光素子（EL素子）を用いる例を示す。

【0314】

図30（A）に示す画素は、列方向に信号線710及び電源線711、電源線712、電源線713、行方向に走査線714が配置される。また、TFT701は、スイッチング用TFT、TFT703は駆動用TFT、TFT704は電流制御用TFTであり、他に容量素子702及び発光素子705を有する。

50

【0315】

図30(C)に示す画素は、TFT703のゲート電極が、行方向に配置された電源線715に接続される点が異なっており、それ以外は図30(A)に示す画素と同じ構成である。つまり、図30(A)(C)に示す両画素は、同じ等価回路図を示す。しかしながら、行方向に電源線712が配置される場合(図30(A))と、列方向に電源線715が配置される場合(図30(C))では、各電源線は異なるレイヤーの導電体層で形成される。ここでは、TFT703のゲート電極が接続される配線に注目し、これらを作製するレイヤーが異なることを表すために、図30(A)(C)として分けて記載する。

【0316】

図30(A)(C)に示す画素の特徴として、画素内にTFT703、TFT704が直列に接続されており、TFT703のチャンネル長 L_3 、チャンネル幅 W_3 、TFT704のチャンネル長 L_4 、チャンネル幅 W_4 は、 $L_3/W_3 : L_4/W_4 = 5 \sim 6000 : 1$ を満たすように設定される点が挙げられる。6000 : 1を満たす場合の一例としては、 L_3 が500 μm 、 W_3 が3 μm 、 L_4 が3 μm 、 W_4 が100 μm の場合がある。また本発明を用いると、微細な加工ができるので、このようなチャンネル幅が短い微細な配線も、ショート等の不良が生じることなく安定的に形成することができる。よって、図30(A)(C)のような画素を十分機能させるのに必要な電気特性を有するTFTを形成でき、表示能力の優れた信頼性の高い表示パネルを作製することが可能となる。

10

【0317】

なお、TFT703は、飽和領域で動作し発光素子705に流れる電流値を制御する役目を有し、TFT704は線形領域で動作し発光素子705に対する電流の供給を制御する役目を有する。両TFTは同じ導電性を有していると作製工程上好ましい。またTFT703には、エンハンスメント型だけでなく、ディプリーション型のTFTを用いてもよい。上記構成を有する本発明は、TFT704が線形領域で動作するために、TFT704の V_{GS} の僅かな変動は発光素子705の電流値に影響を及ぼさない。つまり、発光素子705の電流値は、飽和領域で動作するTFT703により決定される。上記構成を有する本発明は、TFTの特性バラツキに起因した発光素子の輝度ムラを改善して画質を向上させた表示装置を提供することができる。

20

【0318】

図30(A)~(D)に示す画素において、TFT701は、画素に対するビデオ信号の入力を制御するものであり、TFT701がオンして、画素内にビデオ信号が入力されると、容量素子702にそのビデオ信号が保持される。なお図30(A)(C)には、容量素子702を設けた構成を示したが、本発明はこれに限定されず、ビデオ信号を保持する容量がゲート容量などでまかなうことが可能な場合には、明示的に容量素子702を設けなくてもよい。

30

【0319】

発光素子705は、2つの電極間に電界発光層が挟まれた構造を有し、順バイアス方向の電圧が印加されるように、画素電極と対向電極の間(陽極と陰極の間)に電位差が設けられる。電界発光層は有機材料や無機材料等の広汎に渡る材料により構成され、この電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と、三重項励起状態から基底状態に戻る際の発光(リン光)とが含まれる。

40

【0320】

図30(B)に示す画素は、TFT706と走査線716を追加している以外は、図30(A)に示す画素構成と同じである。同様に、図30(D)に示す画素は、TFT706と走査線716を追加している以外は、図30(C)に示す画素構成と同じである。

【0321】

TFT706は、新たに配置された走査線716によりオン又はオフが制御される。TFT706がオンになると、容量素子702に保持された電荷は放電し、TFT706がオフする。つまり、TFT706の配置により、強制的に発光素子705に電流が流れない状態を作ることができる。従って、図30(B)(D)の構成は、全ての画素に対する

50

信号の書き込みを待つことなく、書き込み期間の開始と同時に又は直後に点灯期間を開始することができるため、デューティ比を向上することが可能となる。

【0322】

図30(E)に示す画素は、列方向に信号線750、電源線751、電源線752、行方向に走査線753が配置される。また、TF T 741はスイッチング用TF T、TF T 743は駆動用TF Tであり、他に容量素子742及び発光素子744を有する。図30(F)に示す画素は、TF T 745と走査線754を追加している以外は、図30(E)に示す画素構成と同じである。なお、図30(F)の構成も、TF T 745の配置により、デューティ比を向上することが可能となる。

【0323】

以上のように、本発明を用いると、配線等のパターンを形成不良を生じることなく精密に安定して形成することが出来るので、TF Tに高い電気的特性や信頼性をも付与することができ、使用目的に合わせて画素の表示能力を向上するための応用技術にも十分対応できる。

【0324】

本実施の形態は、実施の形態1乃至16とそれぞれ組み合わせて用いることが可能である。

【0325】

(実施の形態18)

本実施の形態を図35及び図36を用いて説明する。図35は、本発明を適用して作製されるTF T基板2800を用いてEL表示モジュールを構成する一例を示している。図35において、TF T基板2800上には、画素により構成された画素部が形成されている。

【0326】

図35では、画素部の外側であって、駆動回路と画素との間に、画素に形成されたものと同様なTF T又はそのTF Tのゲートとソース若しくはドレインの一方とを接続してダイオードと同様に動作させた保護回路部2801が備えられている。駆動回路2809は、単結晶半導体で形成されたドライバIC、ガラス基板上に多結晶半導体膜で形成されたスティックドライバIC、若しくはSASで形成された駆動回路などが適用されている。

【0327】

TF T基板2800は、液滴吐出法で形成されたスペーサ2806a、スペーサ2806bを介して封止基板2820と固着されている。スペーサは、基板の厚さが薄く、また画素部の面積が大型化した場合にも、2枚の基板の間隔を一定に保つために設けておくことが好ましい。TF T 2802、TF T 2803とそれぞれ接続する発光素子2804、発光素子2805上であって、TF T基板2800と封止基板2820との間にある空隙には透光性の樹脂材料を充填して固体化しても良いし、無水化した窒素若しくは不活性気体を充填させても良い。

【0328】

図35では発光素子2804、発光素子2805、発光素子2815を上面放射型(トップエミッション型)の構成とした場合を示し、図中に示す矢印の方向に光を放射する構成としている。各画素は、画素を赤色、緑色、青色として発光色を異ならせることで、多色表示を行うことができる。また、このとき封止基板2820側に各色に対応した着色層2807a、着色層2807b、着色層2807cを形成しておくことで、外部に放射される発光の色純度を高めることができる。また、画素を白色発光素子として着色層2807a、着色層2807b、着色層2807cと組み合わせても良い。

【0329】

外部回路である駆動回路2809は、外部回路基板2811の一端に設けられた走査線若しくは信号線接続端子と、配線基板2810で接続される。また、TF T基板2800に接して若しくは近接させて、ヒートパイプ2813と放熱板2812を設け、放熱効果を高める構成としても良い。

10

20

30

40

50

【0330】

なお、図35では、トップエミッションのELモジュールとしたが、発光素子の構成や外部回路基板の配置を変えてボトムエミッション構造、もちろん上面、下面両方から光が放射する両面放射構造としても良い。トップエミッション型の構成の場合、隔壁となる絶縁層を着色しブラックマトリクスとして用いてもよい。この隔壁は液滴吐出法により形成することができ、ポリイミドなどの樹脂材料に、顔料系の黒色樹脂やカーボンブラック等を混合させて形成すればよく、その積層でもよい。

【0331】

また、EL表示モジュールは、図36に示すように、位相差板や偏光板を用いて、外部から入射する光の反射光を遮断する構成にしてもよい。図36はトップエミッション型の構成であり、隔壁となる絶縁層3605を着色しブラックマトリクスとして用いている。この隔壁は液滴吐出法により形成することができ、ポリイミドなどの樹脂材料に、カーボンブラック等を混合させてもよく、その積層でもよい。液滴吐出法によって、異なった材料を同領域に複数回吐出し、隔壁を形成してもよい。本実施の形態では、顔料系の黒色樹脂を用いる。位相差板3603、位相差板3604としては /4板、 /2板を用い、光を制御できるように設計すればよい。構成としては、順にTFT基板2800、発光素子2804、封止基板(封止材)2820、位相差板3603、位相差板3604(/4板、 /2板)、偏光板3602となり、発光素子から放射された光は、これらを通り偏光板側より外部に放射される。この位相差板や偏光板は光が放射される側に設置すればよく、両面放射される両面放射型の表示装置であれば両方に設置することもできる。また、偏光板の外側に反射防止膜3601を有していてもよい。これにより、より高繊細で精密な画像を表示することができる。

【0332】

TFT基板2800において、画素部が形成された側にシール材や接着性の樹脂を用いて樹脂フィルムを貼り付けて封止構造を形成してもよい。本実施の形態では、ガラス基板を用いるガラス封止を示したが、樹脂による樹脂封止、プラスチックによるプラスチック封止、フィルムによるフィルム封止、など様々な封止方法を用いることができる。樹脂フィルムの表面には水蒸気の透過を防止するガスバリア膜を設けておくことがよい。フィルム封止構造とすることで、さらなる薄型化及び軽量化を図ることができる。

【0333】

本実施の形態は、実施の形態1乃至17とそれぞれ組み合わせて用いることが可能である。

【0334】

(実施の形態19)

本実施の形態を図42及び図44を用いて説明する。図42、図44は、本発明を適用して作製されるTFT基板2600を用いて液晶表示モジュールを構成する一例を示している。

【0335】

図42は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間に画素部2603と液晶層2604が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、2607、レンズフィルム2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600と接続され、コントロール回路や電源回路などの外部回路が組み込まれている。液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、MVA(Multi-domain Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCBモードなどを用いることがで

10

20

30

40

50

きる。

【0336】

なかでも、本発明で作製する表示装置は高速応答が可能なOCBモードを用いることでより高性能化することができる。図44は図42の液晶表示モジュールにOCBモードを適用した一例であり、FS-LCD(Field sequential-LCD)となっている。FS-LCDは、1フレーム期間に赤色発光と緑色発光と青色発光をそれぞれ行うものであり、時間分割を用いて画像を合成しカラー表示を行うことが可能である。また、各発光を発光ダイオードまたは冷陰極管等で行うので、カラーフィルタが不要である。よって、3原色のカラーフィルタを並べる必要がないため同じ面積で9倍の画素を表示できる。一方、1フレーム期間に3色の発光を行うため、液晶の高速な応答が求められる。本発明の表示装置の有する薄膜トランジスタは高速作動することができるため、OCBモードを用いることができる。よって、本発明の表示装置に、FS方式、及びOCBモードを適用することができる。よって、本発明の表示装置に、FS方式、及びOCBモードを適用することができる。また、FS方式に対応するモードとして、高速動作が可能な強誘電性液晶(FLC:Ferroelectric Liquid Crystal)を用いたHV-FLC、SS-FLCなども用いることができる。OCBモードは粘度の比較的低いネマチック液晶が用いられ、HV-FLC、SS-FLCには、スメクチック液晶が用いられるが、液晶材料としては、FLC、ネマチック液晶、スメクチック液晶などの材料を用いることができる。

10

【0337】

また、液晶表示モジュールの高速光学応答速度は、液晶表示モジュールのセルギャップを狭くすることで高速化する。また液晶材料の粘度を下げることで高速化できる。上記高速化は、TNモードの液晶表示モジュールの画素領域の画素、またはドットピッチが30 μ m以下の場合に、より効果的である。

20

【0338】

図44の液晶表示モジュールは透過型の液晶表示モジュールを示しており、光源として赤色光源2910a、緑色光源2910b、青色光源2910cが設けられている。光源は赤色光源2910a、緑色光源2910b、青色光源2910cをそれぞれオンオフを制御するために、制御部2912が設置されている。制御部2912によって、各色の発光は制御され、液晶に光は入射し、時間分割を用いて画像を合成し、カラー表示が行われる。

30

【0339】

以上のように本発明を用いると、高繊細、高信頼性の液晶表示モジュールを作製することができる。

【0340】

本実施の形態は、実施の形態1乃至17とそれぞれ組み合わせて用いることが可能である。

【0341】

(実施の形態20)

上記実施の形態により作製される表示モジュール(表示パネルとも記す)によって、テレビジョン装置を完成させることができる。表示パネルには、図33(A)で示すような構成として画素部のみが形成されて走査線側駆動回路と信号線側駆動回路とが、図34(B)のようなTAB方式により実装される場合と、図34(A)のようなCOG方式により実装される場合と、図33(B)に示すようにSASでTFTを形成し、画素部と走査線側駆動回路を基板上に一体形成し信号線側駆動回路を別途ドライバICとして実装する場合、また図33(C)のように画素部と信号線側駆動回路と走査線側駆動回路を基板上に一体形成する場合などがあるが、どのような形態としても良い。

40

【0342】

その他の外部回路の構成として、映像信号の入力側では、チューナで受信した信号のうち、映像信号を増幅する映像信号増幅回路と、そこから出力される信号を赤、緑、青の各

50

色に対応した色信号に変換する映像信号処理回路と、その映像信号をドライバICの入力仕様に換するためのコントロール回路などからなっている。コントロール回路は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0343】

チューナで受信した信号のうち、音声信号は、音声信号増幅回路に送られ、その出力は音声信号処理回路を経てスピーカに供給される。制御回路は受信局（受信周波数）や音量の制御情報を入力部から受け、チューナや音声信号処理回路に信号を送出する。

【0344】

これらの液晶表示モジュール、EL表示モジュールを、図37(A)、(B)に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。図35、図36のようなEL表示モジュールを用いると、ELテレビジョン装置を、図42、図44のような液晶表示モジュールを用いると、液晶テレビジョン装置を完成させることができる。表示モジュールにより主画面2003が形成され、その他付属設備としてスピーカ部2009、操作スイッチなどが備えられている。このように、本発明によりテレビジョン装置を完成させることができる。

10

【0345】

筐体2001に表示用パネル2002が組みこまれ、受信機2005により一般のテレビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双方向（送信者と受信者間、又は受信者間同士）の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン装置2006により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部2007が設けられていても良い。

20

【0346】

また、テレビジョン装置にも、主画面2003の他にサブ画面2008を第2の表示用パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面2003を視野角の優れたEL表示用パネルで形成し、サブ画面を低消費電力で表示可能な液晶表示用パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面2003を液晶表示用パネルで形成し、サブ画面をEL表示用パネルで形成し、サブ画面は点滅可能とする構成としても良い。本発明を用いると、このような大型基板を用いて、多くのTFTや電子部品を用いても、信頼性の高い表示装置とすることができる。

30

【0347】

図37(B)は例えば20～80インチの大型の表示部を有するテレビジョン装置であり、筐体2010、表示部2011、操作部であるリモコン装置2012、スピーカ部2013等を含む。本発明は、表示部2011の作製に適用される。図37(B)のテレビジョン装置は、壁かけ型となっており、設置するスペースを広く必要としない。

【0348】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

40

【0349】

(実施の形態21)

本発明を適用して、様々な表示装置を作製することができる。即ち、それら表示装置を表示部に組み込んだ様々な電子機器に本発明を適用できる。

【0350】

その様な電子機器としては、ビデオカメラ、デジタルカメラ等のカメラ、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital

50

Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それらの例を図32に示す。

【0351】

図32(A)は、パーソナルコンピュータであり、本体2101、筐体2102、表示部2103、キーボード2104、外部接続ポート2105、ポインティングマウス2106等を含む。本発明は、表示部2103の作製に適用される。本発明を用いると、小型化し、配線等が精密化しても、信頼性の高い高画質な画像を表示することができる。

【0352】

図32(B)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2201、筐体2202、表示部A2203、表示部B2204、記録媒体(DVD等)読み込み部2205、操作キー2206、スピーカー部2207等を含む。表示部A2203は主として画像情報を表示し、表示部B2204は主として文字情報を表示するが、本発明は、これら表示部A2203、表示部A2204の作製に適用される。本発明を用いると、小型化し、配線等が精密化しても、信頼性の高い高画質な画像を表示することができる。

10

【0353】

図32(C)は携帯電話であり、本体2301、音声出力部2302、音声入力部2303、表示部2304、操作スイッチ2305、アンテナ2306等を含む。本発明により作製される表示装置を表示部2304に適用することで、小型化し、配線等が精密化する携帯電話であっても、信頼性の高い高画質な画像を表示できる。

20

【0354】

図32(D)はビデオカメラであり、本体2401、表示部2402、筐体2403、外部接続ポート2404、リモコン受信部2405、受像部2406、バッテリー2407、音声入力部2408、操作キー2409等を含む。本発明は、表示部2402に適用することができる。本発明により作製される表示装置を表示部2304に適用することで、小型化し、配線等が精密化するビデオカメラであっても、信頼性の高い高画質な画像を表示できる。本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

【図面の簡単な説明】

【0355】

【図1】本発明の表示装置を説明する図。

30

【図2】本発明の表示装置の作製方法を説明する図。

【図3】本発明の表示装置の作製方法を説明する図。

【図4】本発明の表示装置の作製方法を説明する図。

【図5】本発明の表示装置の作製方法を説明する図。

【図6】本発明の表示装置の作製方法を説明する図。

【図7】本発明の表示装置の作製方法を説明する図。

【図8】本発明の表示装置の作製方法を説明する図。

【図9】本発明の表示装置の作製方法を説明する図。

【図10】本発明の表示装置の作製方法を説明する図。

【図11】本発明の表示装置の作製方法を説明する図。

40

【図12】本発明の表示装置の作製方法を説明する図。

【図13】本発明の表示装置の作製方法を説明する図。

【図14】本発明の表示装置の作製方法を説明する図。

【図15】本発明の表示装置の作製方法を説明する図。

【図16】本発明の表示装置の作製方法を説明する図。

【図17】本発明の表示装置の作製方法を説明する図。

【図18】本発明の表示装置の作製方法を説明する図。

【図19】本発明の表示装置の作製方法を説明する図。

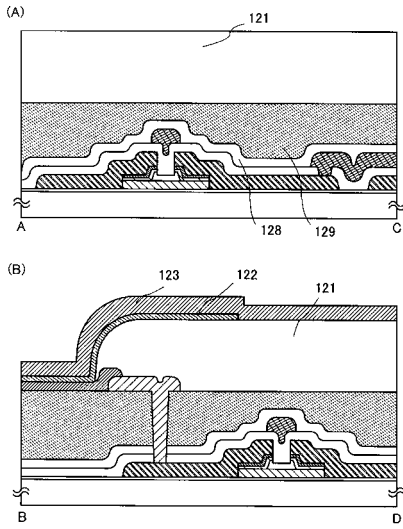
【図20】本発明の表示装置の作製方法を説明する図。

【図21】本発明の表示装置の作製方法を説明する図。

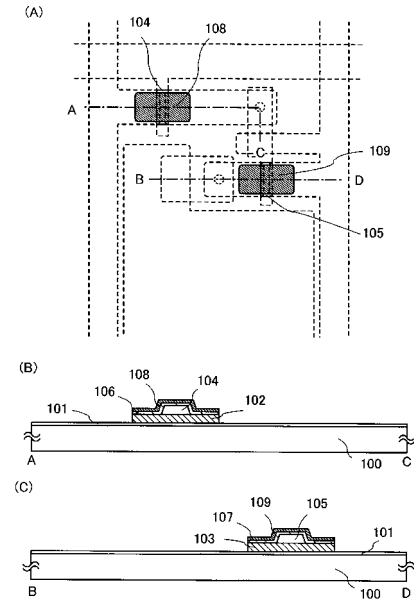
50

- 【図22】本発明の表示装置の作製方法を説明する図。
【図23】本発明の表示装置の作製方法を説明する図。
【図24】本発明の表示装置の作製方法を説明する図。
【図25】本発明の表示装置の作製方法を説明する図。
【図26】本発明の表示装置の作製方法を説明する図。
【図27】本発明が適用される保護回路を示す図。
【図28】本発明に適用することのできるレーザビーム直接描画装置の構成を説明する図。
。
- 【図29】本発明に適用することのできる液晶滴下方法を説明する図。
【図30】本発明の表示装置に適用できる画素の構成を説明する回路図。 10
【図31】本発明に適用することのできる液滴吐出装置の構成を説明する図。
【図32】本発明が適用される電子機器を示す図。
【図33】本発明の表示装置の上面図。
【図34】本発明の表示装置の上面図。
【図35】本発明の表示モジュールの構成を説明する図。
【図36】本発明の表示モジュールの構成を説明する図。
【図37】本発明が適用される電子機器を示す図。
【図38】本発明の表示装置の作製方法を説明する図。
【図39】本発明の表示装置の作製方法を説明する図。
【図40】本発明の表示装置の説明する図。 20
【図41】本発明の薄膜トランジスタの説明する図。
【図42】本発明の表示モジュールの構成を説明する図。
【図43】本発明の表示装置を説明する図。
【図44】本発明の表示モジュールの構成を説明する図。
【図45】本発明に適用できる発光素子の構成を説明する図。
【図46】本発明の表示装置を説明する図。
【図47】本発明の表示装置を説明する図。
【図48】本発明の表示装置を説明する図。

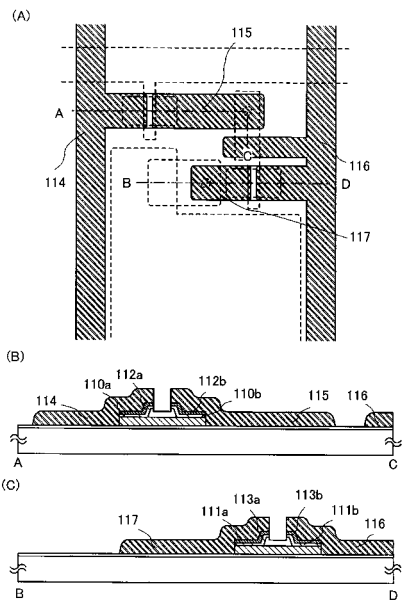
【図 1】



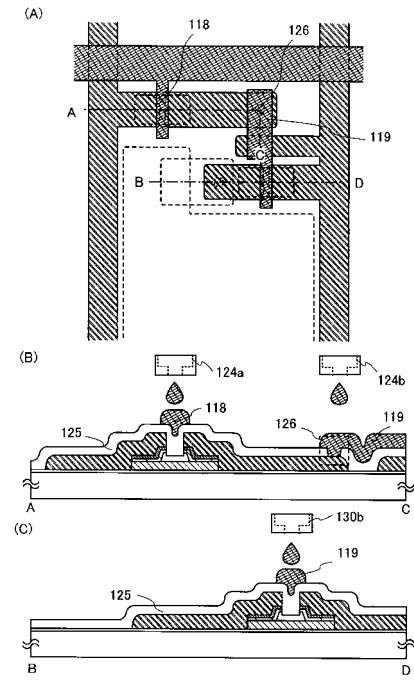
【図 2】



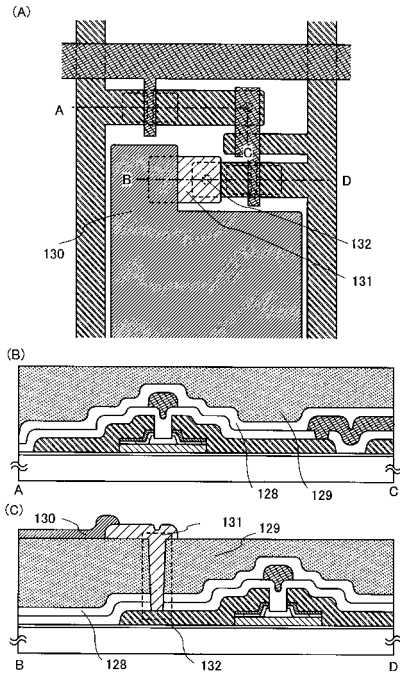
【図 3】



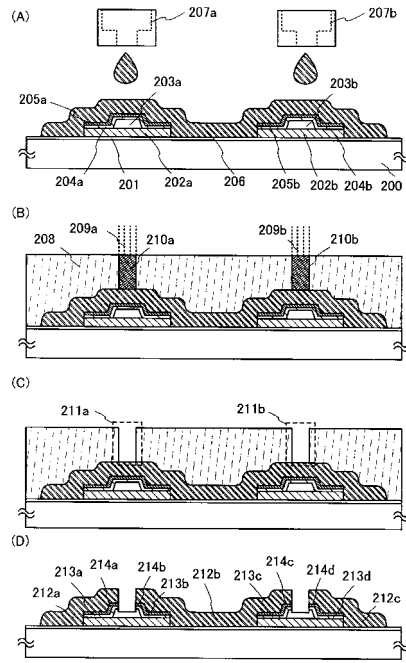
【図 4】



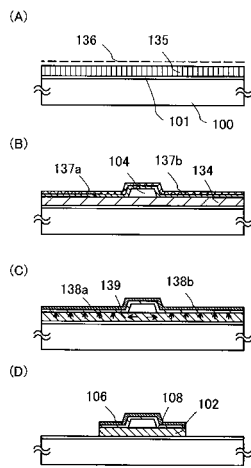
【 図 5 】



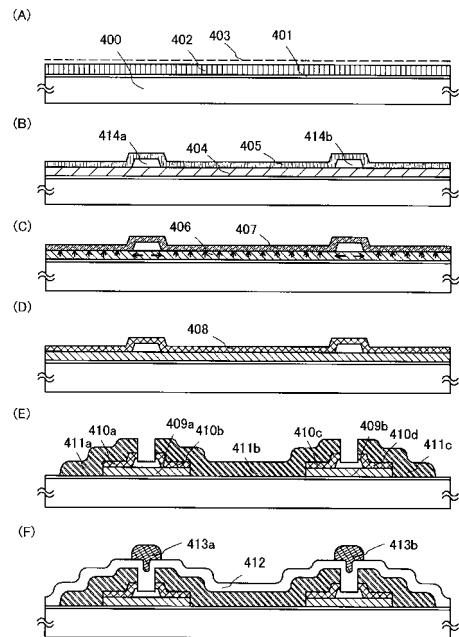
【 図 6 】



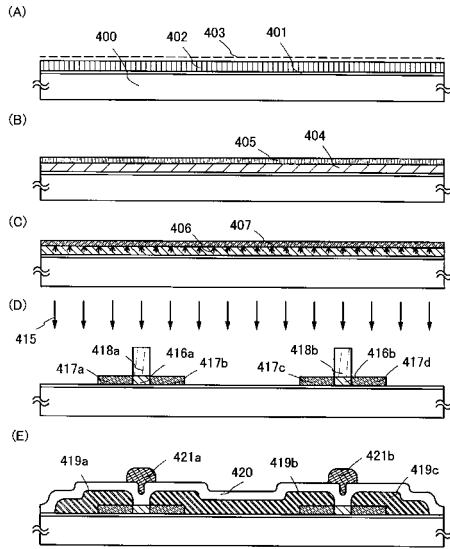
【 図 7 】



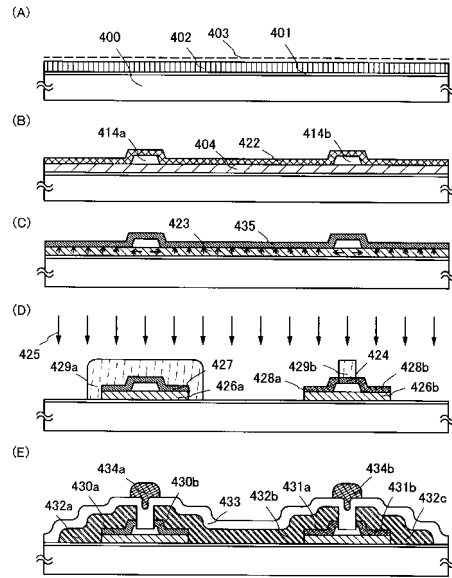
【 図 8 】



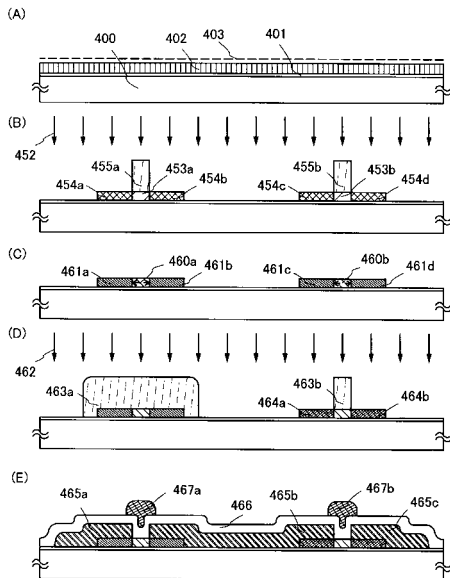
【図 9】



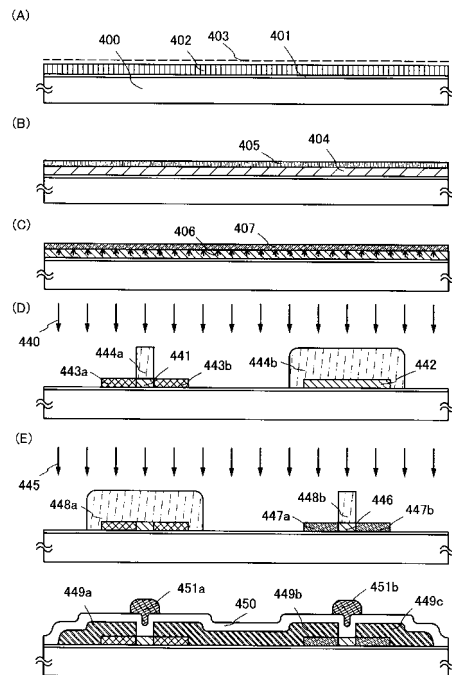
【図 10】



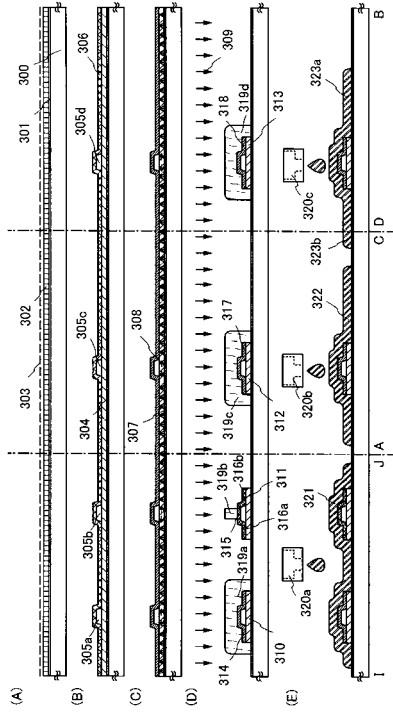
【図 11】



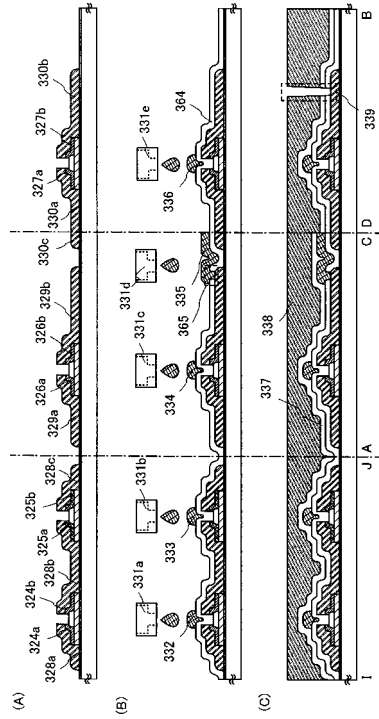
【図 12】



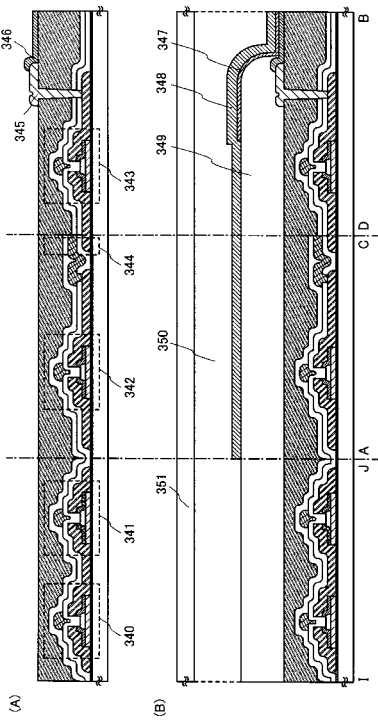
【 図 13 】



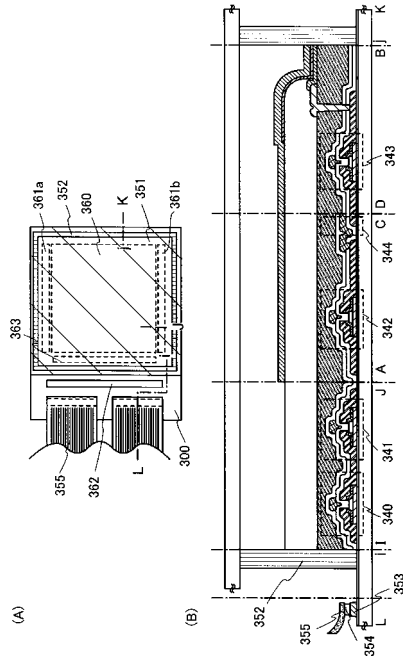
【 図 14 】



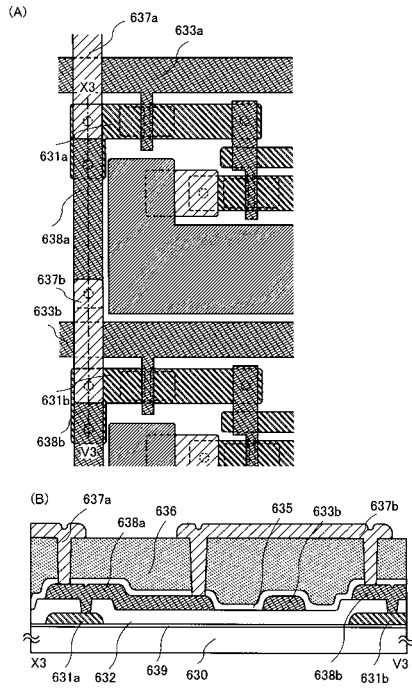
【 図 15 】



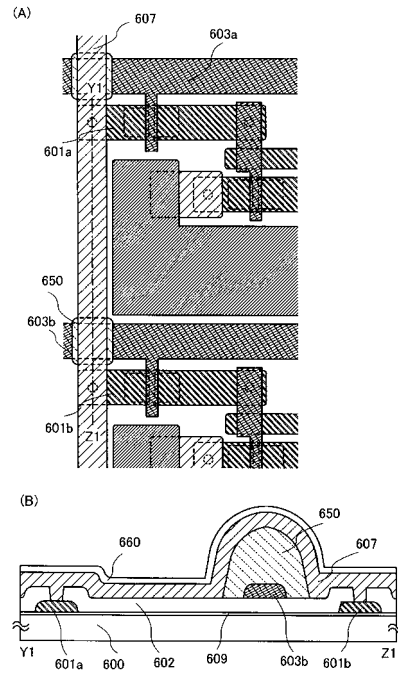
【 図 16 】



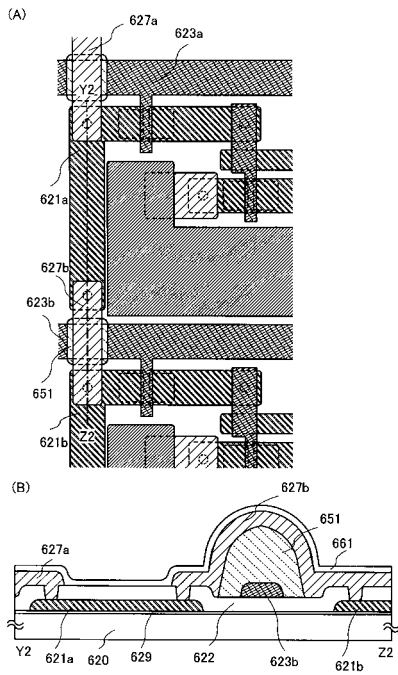
【図 2 1】



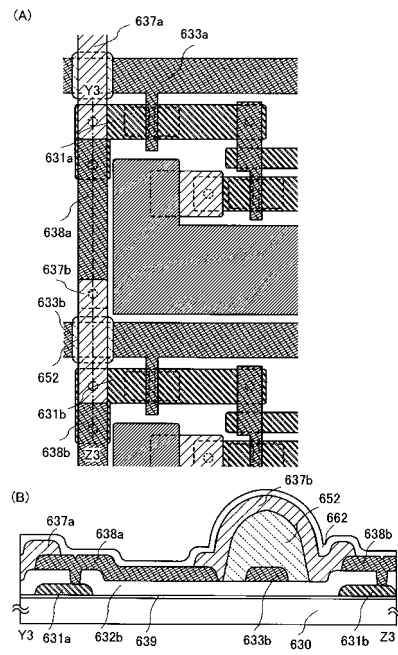
【図 2 2】



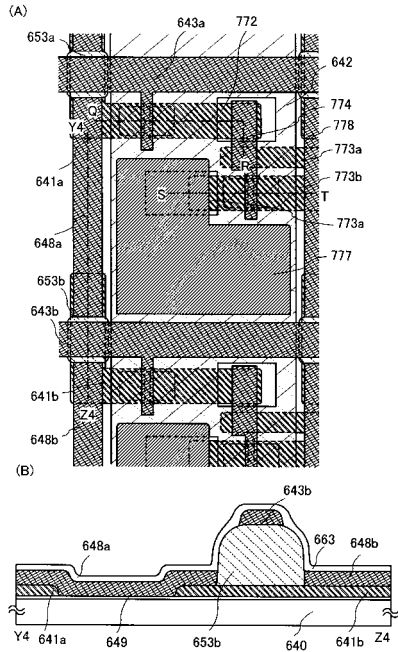
【図 2 3】



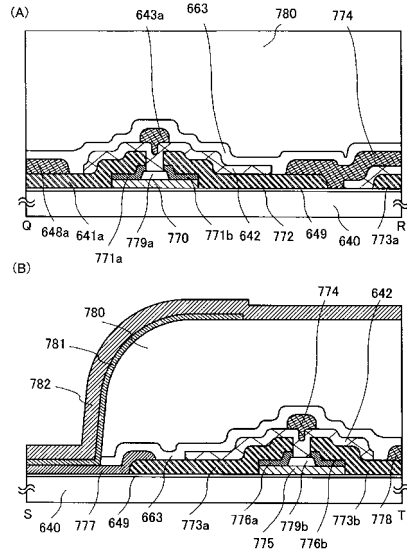
【図 2 4】



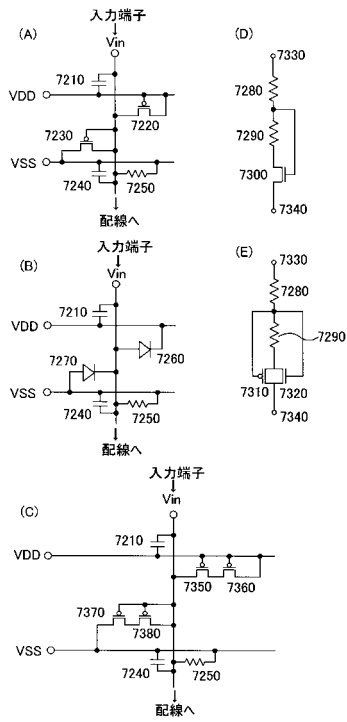
【図25】



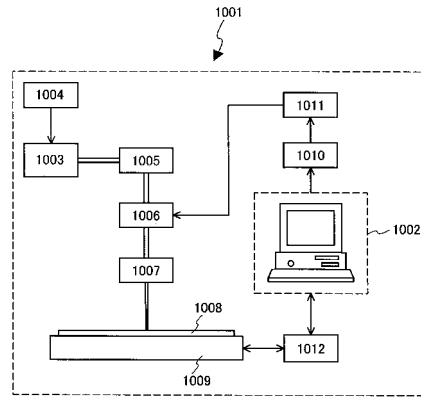
【図26】



【図27】

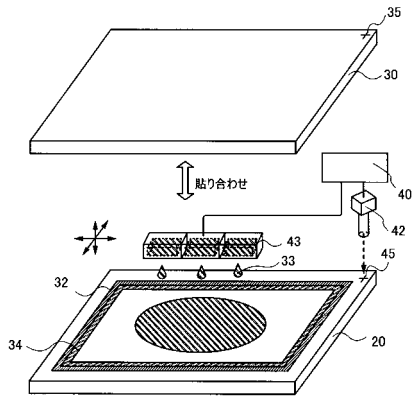


【図28】

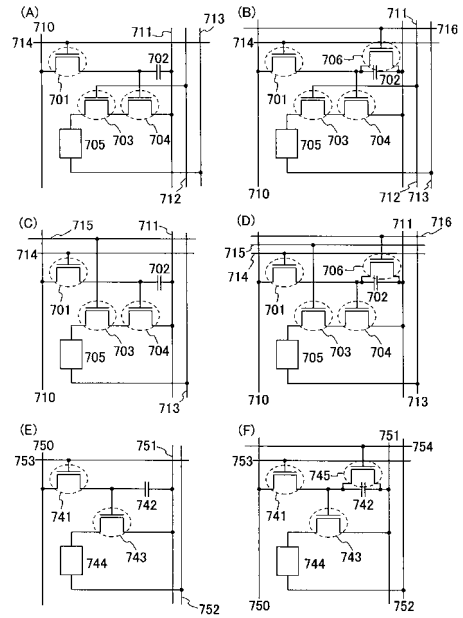


- 1001: レーザービーム直接描画装置
- 1002: パーソナルコンピュータ
- 1003: レーザ発振器
- 1004: 電源
- 1005: 光学系
- 1006: 音響光学変調器
- 1007: 光学系
- 1008: 基板
- 1009: 基板移動機構
- 1010: D/A変換部
- 1011: ドライバ
- 1012: ドライバ

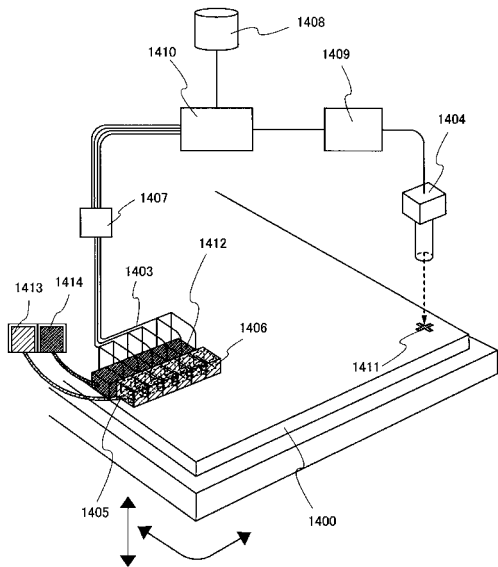
【図29】



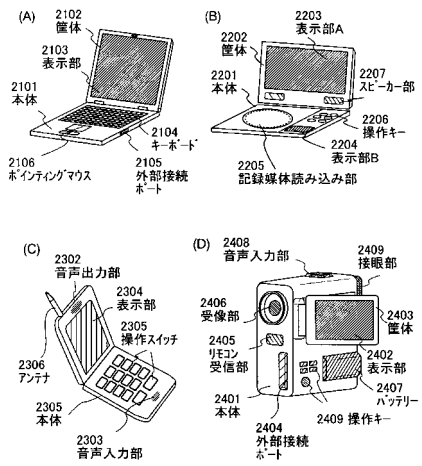
【図30】



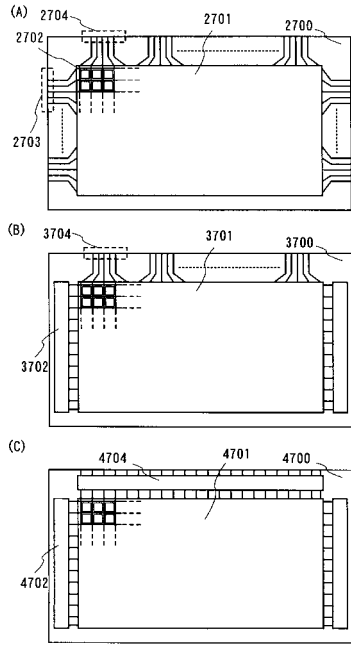
【図31】



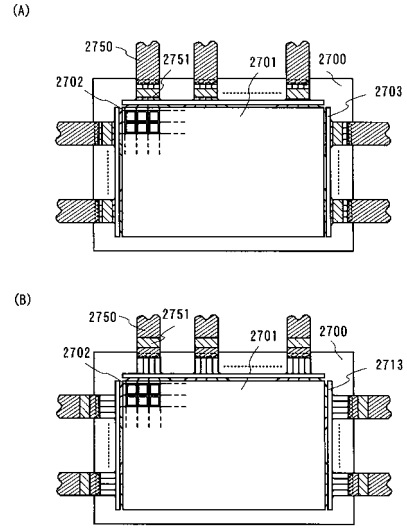
【図32】



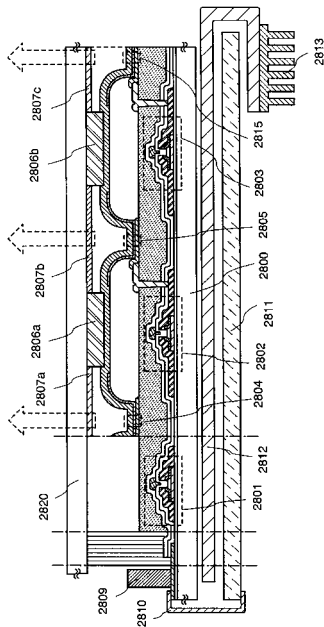
【 3 3 】



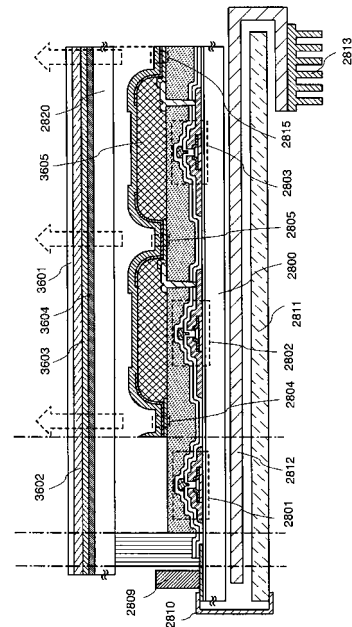
【 3 4 】



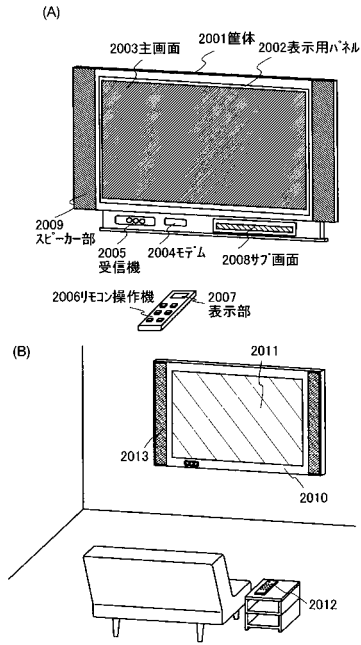
【 3 5 】



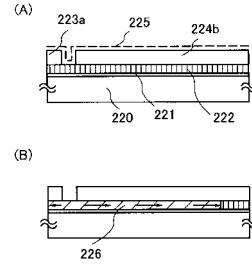
【 3 6 】



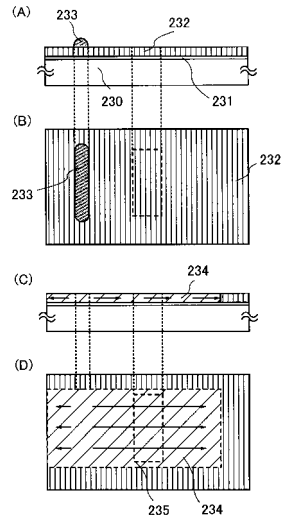
【図37】



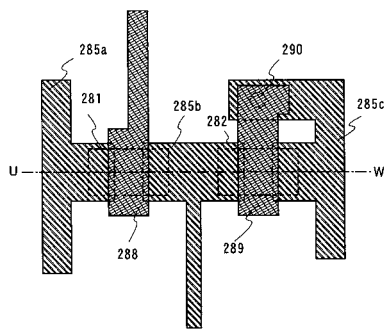
【図38】



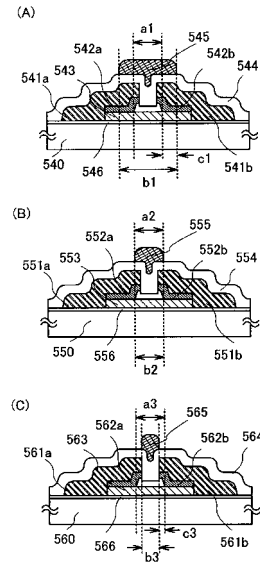
【図39】



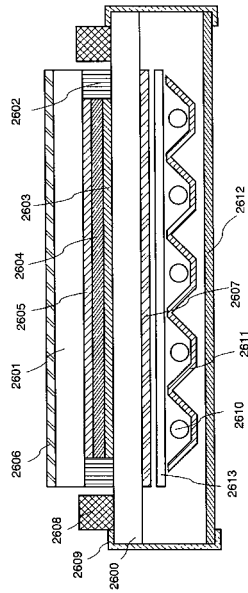
【図40】



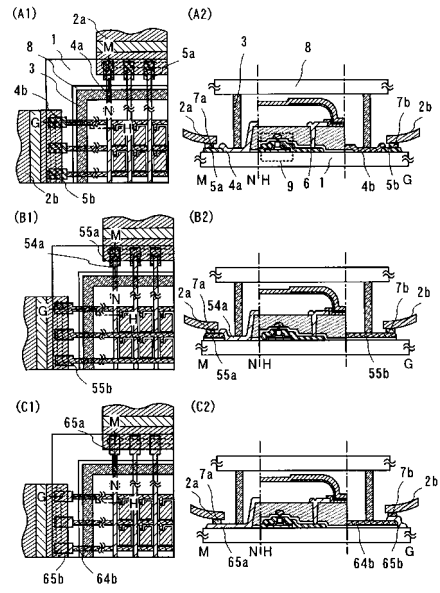
【図41】



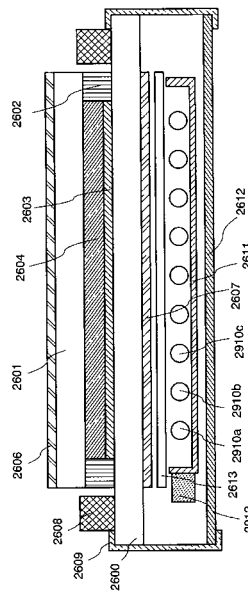
【 4 2 】



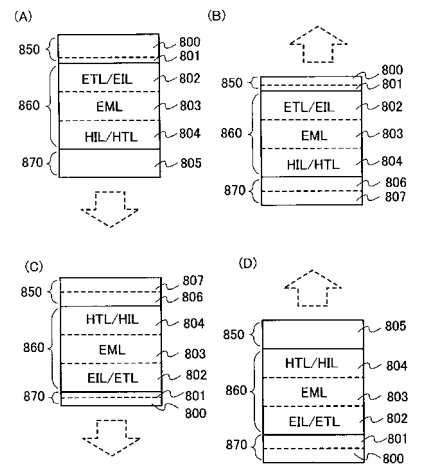
【 4 3 】



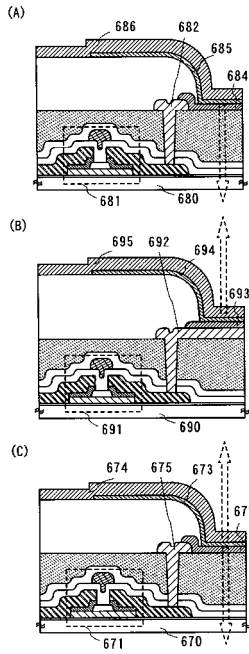
【 4 4 】



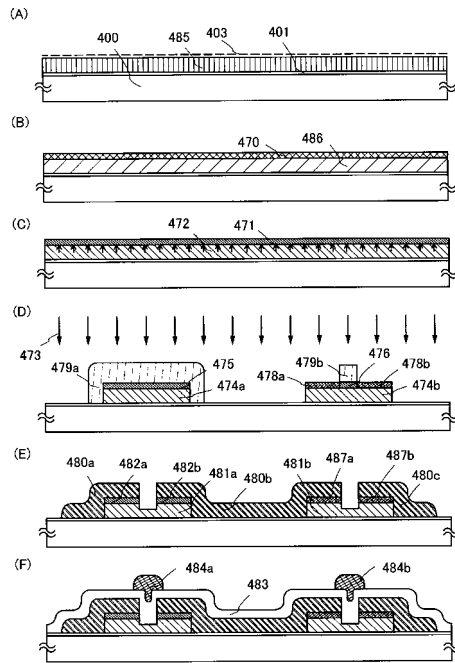
【 4 5 】



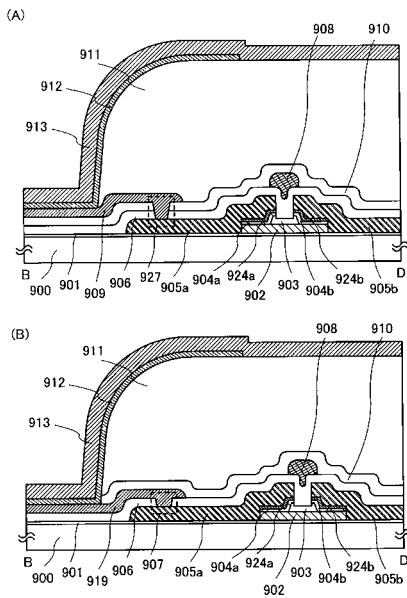
【 図 4 6 】



【 図 4 7 】



【 図 4 8 】



フロントページの続き

- (72)発明者 鈴木 幸恵
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
- (72)発明者 川俣 郁子
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
- (72)発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 綿引 隆

- (56)参考文献 特開2004-072083(JP,A)
特開2003-243327(JP,A)
特開2003-318120(JP,A)
特開2003-347567(JP,A)
特開平06-132292(JP,A)
特開平03-152938(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 29/786