

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-67048
(P2007-67048A)

(43) 公開日 平成19年3月15日(2007.3.15)

(51) Int. Cl. F I テーマコード(参考)
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 3 O 1 L 5 F 1 4 O
 HO 1 L 29/78 (2006.01)

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号	特願2005-249036 (P2005-249036)	(71) 出願人	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成17年8月30日(2005.8.30)	(74) 代理人	100102864 弁理士 工藤 実
		(72) 発明者	池田 典昭 東京都中央区八重洲2-2-1 エルピー ダメモリ株式会社内
		Fターム(参考)	5F140 AA26 AB03 BA01 BE07 BF01 BF04 BF11 BF17 BF18 BG08 BG09 BG11 BG12 BG14 BG20 BG22 BG38 BG39 BG52 BG53 BG54 BG58 BH15 BK02 BK13 BK21 BK25 CB04 CB08 CC01 CC03 CC08 CC12 CE07

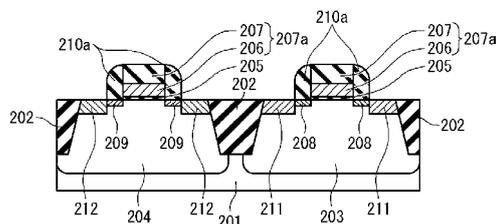
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】MISトランジスタの特性及び信頼性を損なうことなく、コンタクトを容易に形成することができる技術を提供すること。

【解決手段】半導体装置の製造方法は、(A)半導体基板201上にゲート絶縁膜205を形成する工程と、(B)ゲート絶縁膜205上にゲート電極206を形成する工程と、(C)少なくとも非晶質カーボン膜210を表面層として含む保護膜を全面に形成する工程と、(D)エッチバックによりゲート電極206の側面上記保護膜からなるサイドウォール210aを形成する工程と、(E)上記非晶質カーボン膜(210)だけを選択的に除去する工程とを有する。

【選択図】 図2H



【特許請求の範囲】

【請求項 1】

(A) 半導体基板上にゲート絶縁膜を形成する工程と、
 (B) 前記ゲート絶縁膜上にゲート電極を形成する工程と、
 (C) 少なくとも非晶質カーボン膜を表面層として含む保護膜を全面に形成する工程と

、
 (D) エッチバックにより前記ゲート電極の側面に前記保護膜からなるサイドウォールを形成する工程と

を有する

半導体装置の製造方法。

10

【請求項 2】

請求項 1 に記載の半導体装置の製造方法であって、
 更に、(E) 前記非晶質カーボン膜だけを除去する工程を有する
 半導体装置の製造方法。

【請求項 3】

請求項 2 に記載の半導体装置の製造方法であって、
 前記(E)工程において、前記非晶質カーボン膜は、酸素単独ガスのガスプラズマを用いることによって除去される

半導体装置の製造方法。

【請求項 4】

請求項 2 又は 3 に記載の半導体装置の製造方法であって、
 更に、(a) 前記サイドウォール及び前記ゲート電極をマスクとして用いるイオン注入により、前記半導体基板中に不純物拡散層を形成する工程を有し、

前記(a)工程は、前記(D)工程と前記(E)工程の間に行われる

半導体装置の製造方法。

20

【請求項 5】

請求項 1 乃至 4 のいずれかに記載の半導体装置の製造方法であって、
 更に、(b) 前記ゲート電極をマスクとして用いるイオン注入により、前記半導体基板中に LDD (Lightly Doped Drain) 領域を形成する工程を有し、

前記(b)工程は、前記(B)工程と前記(C)工程の間に行われる

半導体装置の製造方法。

30

【請求項 6】

請求項 1 乃至 5 のいずれかに記載の半導体装置の製造方法であって、
 前記(C)工程において、単層の非晶質カーボン膜が前記保護膜として形成される
 半導体装置の製造方法。

【請求項 7】

請求項 1 乃至 5 のいずれかに記載の半導体装置の製造方法であって、
 前記(C)工程は、

(C1) シリコン窒化膜を全面に形成する工程と、

(C2) 前記(C1)工程の後、前記非晶質カーボン膜を前記表面層として形成する工

程と

を含む

半導体装置の製造方法。

40

【請求項 8】

請求項 1 乃至 5 のいずれかに記載の半導体装置の製造方法であって、
 前記(C)工程は、

(C1) シリコン酸化膜を全面に形成する工程と、

(C2) 前記(C1)工程の後、前記非晶質カーボン膜を前記表面層として形成する工

程と

を含む

半導体装置の製造方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関する。特に、本発明は、MIS (Metal Insulator Semiconductor) トランジスタの製造方法に関する。

【背景技術】

【0002】

近年のMISトランジスタは、ゲート電極端部の下の電界集中を緩和するため、LDD (Lightly Doped Drain) 構造を有している。LDD構造を有するMISトランジスタの一般的な製造方法を、図1を参照しながら簡単に説明する。

10

【0003】

まず、半導体基板101中に、フィールド酸化膜等の素子分離構造102、P型ウェル103、及びN型ウェル104が形成される。また、半導体基板101上に、ゲート絶縁膜105が形成される。次に、ゲート電極材料膜106として、ポリシリコン膜やポリサイド膜、あるいは、ポリメタル膜が形成される。その堆積膜を所望のパターンに応じて加工することによって、ゲート電極107aが形成される。ここで、ゲート加工のために、ゲートマスク絶縁膜107が形成されていてもよい。その後、ゲート電極107aの側面、及び半導体基板101の表面に対して酸化処理が施される。

【0004】

次に、イオン注入によって、低濃度N型不純物拡散層108及び低濃度P型不純物拡散層109が半導体基板101中に形成される。ここで、ゲート電極107aが、マスクとして用いられる。また、短チャネル効果を抑制するため、ポケットイオン注入が行われることもある。次に、単層のシリコン窒化膜、または、シリコン窒化膜/シリコン酸化膜の積層膜が、CVD法により全面に堆積される。続いて、異方性ドライエッチングによって、堆積された膜がエッチバックされ、ゲート電極107aの側面にサイドウォール110が形成される。

20

【0005】

次に、イオン注入によって、高濃度N型不純物拡散層111および高濃度P型不純物拡散層112が半導体基板101中に形成される。ここで、ゲート電極107aと共に上記サイドウォール110が、マスクとして用いられる。その後、熱処理によって、高濃度不純物拡散層111、112の活性化が行われる。次に、層間絶縁膜113が形成される。その後、ドライエッチングによって、層間絶縁膜113及びゲート絶縁膜105を貫通するようにコンタクトホールが形成される。そして、そのコンタクトホールを導電膜で埋めることによって、高濃度不純物拡散層111、112につながるコンタクト114が形成される。

30

【0006】

尚、サイドウォールに関連する技術が、特許文献1に開示されている。その技術によれば、領域によってそれぞれ異なる特性のトランジスタが得られるようにサイドウォールが形成される。具体的には、まず、ある特性を有するトランジスタが形成される領域に、第1サイドウォールが形成される。そして、その第1サイドウォールを利用することによって、不純物イオンの注入が行われる。その後、第1サイドウォールは除去される。次に、別の特性を有するトランジスタが形成される領域に、第1サイドウォールと異なる第2サイドウォールが形成される。

40

【0007】

【特許文献1】特開2005-64535号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本願発明者は、次の点に着目した。MISトランジスタを微細化するためには、隣接するゲート電極107a間の距離を縮小する必要がある。これは、隣接するサイドウォール

50

110間の空間が狭くなることを意味する。その空間が狭くなると、層間絶縁膜113の埋設性が悪化する。更に、層間絶縁膜113の埋設後にコンタクトホールが形成される際、ドライエッチングによって、サイドウォール110を構成しているシリコン窒化膜も削られることになる。このように、MISトランジスタの微細化に伴い、コンタクト114を形成するためのドライエッチングがより困難になる。

【0009】

コンタクト114の加工を容易にするための方法として、層間絶縁膜113の堆積前に、上述のサイドウォール110（単層のシリコン窒化膜、または、シリコン窒化膜/シリコン酸化膜の積層膜）をウェットエッチングにより除去することが考えられる。そのウェットエッチングには、フッ酸（HF）、リン酸（ H_3PO_4 ）などが用いられる。しかしながらその場合、フィールド酸化膜（素子分離構造）102、ゲート絶縁膜105、ゲートマスク絶縁膜107といった絶縁膜まで除去されてしまう。特に、ゲート絶縁膜105の一部でも不所望に除去されることは、製造されるMISトランジスタの特性及び信頼性を著しく低下させる。

10

【0010】

本発明の目的は、MISトランジスタの特性及び信頼性を損なうことなく、コンタクトを容易に形成することができる技術を提供することにある。

【0011】

本発明の他の目的は、ゲート絶縁膜や素子分離構造に損傷を与えることなく、コンタクトが形成される空間を拡大することができる技術を提供することにある。

20

【0012】

本発明の更に他の目的は、ゲート絶縁膜や素子分離構造に影響を与えることなく選択的に除去され得るサイドウォールを提供することにある。

【課題を解決するための手段】

【0013】

以下に、[発明を実施するための最良の形態]で使用される番号・符号を用いて、[課題を解決するための手段]を説明する。これらの番号・符号は、[特許請求の範囲]の記載と[発明を実施するための最良の形態]との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

30

【0014】

本発明に係る半導体装置の製造方法は、(A)半導体基板(201)上にゲート絶縁膜(205)を形成する工程と、(B)ゲート絶縁膜(205)上にゲート電極(207a)を形成する工程と、(C)少なくとも非晶質カーボン膜(210)を表面層として含む保護膜を全面に形成する工程と、(D)エッチバックによりゲート電極(207a)の側面に保護膜からなるサイドウォール(210a)を形成する工程と、(E)非晶質カーボン膜(210)を除去する工程とを有する。

【0015】

その非晶質カーボン膜(210)は、他の構成材料に対して無限大の選択比で除去され得る。例えば、酸素単独ガスのガスプラズマを用いることによって、非晶質カーボン膜(210)だけを選択的に除去することが可能である。よって、上記(E)工程では、ゲート絶縁膜(205)や素子分離構造(202)に影響を与えることなく、サイドウォール(210a)の少なくとも一部が除去される。すなわち、ゲート絶縁膜(205)や素子分離構造(202)に損傷を与えることなく、コンタクト(215)が形成される空間を拡大することが可能となる。従って、その広がった空間に、層間絶縁膜(213)を埋め込むことが容易になり、また、コンタクト(215)を形成することが容易になる。このように、本発明によれば、MISトランジスタの特性及び信頼性を損なうことなく、コンタクト(215)を容易に形成することが可能になる。

40

【0016】

そのコンタクト(215)に接続するソース/ドレインとしての高濃度不純物拡散層(

50

211, 212) に関しては、上記(D)工程と上記(E)工程の間に形成されればよい。具体的には、上記(D)工程の後、サイドウォール(210a)及びゲート電極(207a)をマスクとして用いるイオン注入が行われる。これにより、半導体基板(201)中に高濃度不純物拡散層(211, 212)が自己整合的に形成される。

【0017】

また、LDD領域(208, 209)に関しては、上記(B)工程と上記(C)工程の間に形成されればよい。具体的には、上記(B)工程の後、ゲート電極(207a)をマスクとして用いるイオン注入が行われる。これにより、半導体基板(201)中にLDD領域(208, 209)が自己整合的に形成される。活性領域中のLDDによって、製造されるMISトランジスタの特性が向上する。

10

【0018】

上述の保護膜は、例えば、単層の非晶質カーボン膜(210)である。その場合、上記(C)工程において、単層の非晶質カーボン膜(210)が保護膜として形成される。また、上述の保護膜は、シリコン窒化膜(310b)と非晶質カーボン膜(310)を含む積層膜であってもよい。その場合、上記(C)工程は、(C1)シリコン窒化膜(310b)を全面に形成する工程と、(C2)非晶質カーボン膜(210)を表面層として形成する工程とを含む。また、上述の保護膜は、シリコン酸化膜(310b)と非晶質カーボン膜(310)を含む積層膜であってもよい。その場合、上記(C)工程は、(C1)シリコン酸化膜(310b)を全面に形成する工程と、(C2)非晶質カーボン膜(310)を表面層として形成する工程とを含む。

20

【発明の効果】

【0019】

本発明に係るサイドウォールは、少なくとも非晶質カーボン膜を表面層として含んでおり、その非晶質カーボン膜は、他の構成要素に対して無限大の選択比で除去され得る。従って、ゲート絶縁膜や素子分離構造に影響を与えることなく、そのサイドウォールの少なくとも一部を除去することが可能である。すなわち、ゲート絶縁膜や素子分離構造に損傷を与えることなく、コンタクトが形成される空間を拡大することができる。従って、MISトランジスタの特性及び信頼性を損なうことなく、コンタクトを容易に形成することが可能となる。また、層間絶縁膜の埋め込み性が向上する。このように、本発明に係る半導体装置の製造方法によれば、信頼性の高いMISトランジスタが提供される。

30

【発明を実施するための最良の形態】

【0020】

添付図面を参照して、本発明に係る半導体装置の製造方法を説明する。本実施の形態においては、例として、LDD構造を有するMISトランジスタが製造される。

【0021】

(第1の実施の形態)

図2A~図2Kは、本発明の第1の実施の形態に係る製造工程を順番に示す断面図である。まず、図2Aに示されるように、半導体基板201中に素子分離構造202が形成される。半導体基板201は、例えば、P型不純物が導入された単結晶シリコン基板である。素子分離構造202は、例えば、STI(Shallow Trench Isolation)構造である。

40

【0022】

次に、図2Bに示されるように、素子分離構造202で囲まれた半導体基板201中の領域に、P型ウェル203及びN型ウェル204が形成される。P型ウェル203は、N型ウェルとなる領域をフォトレジストでマスクし、イオン注入法によりP型不純物(例えば、ボロン(B)やフッ化ボロン(BF₂))を注入することにより形成される。同様に、N型ウェル204は、P型ウェル203をフォトレジストでマスクし、イオン注入法によりN型不純物(例えば、リン(P)や砒素(As))を注入することにより形成される。また、半導体基板201に導入された不純物を電氣的に活性化させるために、熱処理が行われる。

【0023】

50

次に、図 2 C に示されるように、半導体基板 2 0 1 上にゲート絶縁膜 2 0 5 が形成される。このゲート絶縁膜 2 0 5 は、例えば、熱酸化法や I S S G 酸化 (In-Situ Steam Generated Oxidation) 法によって形成されるシリコン酸化膜である。また、ゲート絶縁膜 2 0 5 として、酸化シリコン膜よりも誘電率の高い High - k 膜が使用されてもよい。続いて、ゲート絶縁膜 2 0 5 上に、ゲート電極の材料となる膜 2 0 6 が形成される。そのゲート電極材料膜 2 0 6 としては、単層のポリシリコン膜、ポリシリコン膜とタングステンシリサイド膜の積層膜 (ポリサイドゲート膜) 、ポリシリコン膜とタングステン膜の積層膜 (ポリメタルゲート膜) などが挙げられる。続いて、ゲート電極加工用のゲートマスク絶縁膜 2 0 7 が、C V D 法によってゲート電極材料膜 2 0 6 上に形成される。このゲートマスク絶縁膜 2 0 7 としては、シリコン窒化膜、シリコン酸化膜、または、シリコン窒化膜 / シリコン酸化膜の積層膜等が挙げられる。尚、このゲートマスク絶縁膜 2 0 7 は、無くてもよい。

10

【 0 0 2 4 】

次に、レジストが全面に塗布され、フォトリソグラフィ技術によって所望のパターンを有するレジストマスクが形成される。そのレジストマスクを用いた異方性ドライエッチングにより、所望のパターンに応じた領域のゲートマスク絶縁膜 2 0 7 及びゲート電極材料膜 2 0 6 が削られる。フォトレジストが除去されると、図 2 D に示されるように、ゲート絶縁膜 2 0 5 上に形成されたゲート電極 2 0 7 a が得られる。尚、上記レジストマスクを用いてゲートマスク絶縁膜 2 0 7 を異方性ドライエッチング法により加工した後、そのレジストマスクが酸素ガスプラズマにより除去されてもよい。この場合、加工されたゲートマスク絶縁膜 2 0 7 を次のマスクとして用いることにより、ゲート電極材料膜 2 0 6 が異方性ドライエッチングで加工される。この場合でも、図 2 D に示される構造が得られる。

20

【 0 0 2 5 】

次に、図 2 E に示されるように、ゲート電極 2 0 7 a をマスクとして用いるイオン注入によって、半導体基板 2 0 1 の表層部に L D D (Lightly Doped Drain) 領域 2 0 8 , 2 0 9 が自己整合的に形成される。具体的には、イオン注入法によって、P 型ウェル 2 0 3 及び N 型ウェル 2 0 4 のそれぞれに、低濃度 N 型不純物拡散層 2 0 8 及び低濃度 P 型不純物拡散層 2 0 9 が形成される。イオン注入される N 型不純物としては、例えばリン (P) や砒素 (A s) が用いられる。また、イオン注入される P 型不純物としては、例えばボロン (B) やフッ化ボロン (B F ₂) が用いられる。イオン注入が行われた後、不純物を電気的に活性化させるために熱処理が行われてもよい。

30

【 0 0 2 6 】

次に、図 2 F に示されるように、単層の非晶質カーボン膜 2 1 0 が全面に形成される。この非晶質カーボン膜 2 1 0 は、プラズマ励起の C V D 法により堆積され、原料ガスとしてはプロピレンが用いられる。また、非晶質カーボン膜 2 1 0 の膜厚は、M I S トランジスタの特性に要求される L D D 構造やサイドウォールのサイズに依存して決定される。

【 0 0 2 7 】

次に、異方性ドライエッチングによって、非晶質カーボン膜 2 1 0 のエッチバックが行われる。その結果、図 2 G に示されるように、ゲート電極 2 0 7 a の側面にサイドウォール 2 1 0 a が形成される。非晶質カーボン 2 1 0 に対する異方性ドライエッチングには、例えば、O₂ / A r の混合ガスが用いられる。形成されるサイドウォール 2 1 0 a は、単層の非晶質カーボン膜 2 1 0 からなり、その表面層も非晶質カーボン膜 2 1 0 である。

40

【 0 0 2 8 】

次に、図 2 H に示されるように、ゲート電極 2 0 7 a 及び上記サイドウォール 2 1 0 a をマスクとして用いるイオン注入によって、半導体基板 2 0 1 の表層部にソース・ドレイン拡散層 2 1 1、2 1 2 が自己整合的に形成される。具体的には、イオン注入法によって、P 型ウェル 2 0 3 及び N 型ウェル 2 0 4 のそれぞれに、高濃度 N 型不純物拡散層 2 1 1 及び高濃度 P 型不純物拡散層 2 1 2 が形成される。イオン注入される N 型不純物としては、例えばリン (P) や砒素 (A s) が用いられる。また、イオン注入される P 型不純物と

50

しては、例えばボロン(B)やフッ化ボロン(BF₂)が用いられる。尚、これら高濃度不純物拡散層211, 212のそれぞれにおける不純物濃度は、上述の低濃度不純物拡散層208, 209における不純物濃度よりも相対的に高い。

【0029】

次に、図2Iに示されるように、非晶質カーボン膜210からなるサイドウォール210aが、全面的に除去される。この工程は、非晶質カーボン膜210だけが除去されるように行われる。つまり、非晶質カーボン膜210は、他の構成材料に対して無限大の選択比で除去される。非晶質カーボン膜210だけを選択的に除去するためには、例えば、酸素単独ガスのガスプラズマが用いられればよい。このように、本実施の形態によれば、ゲート絶縁膜205や素子分離構造202に影響を与えることなく、非晶質カーボン膜210だけが除去される。サイドウォール210aは単層の非晶質カーボン膜210から構成されているので、本実施の形態においては、サイドウォール210aが全て除去されることになる。従って、そのサイドウォール210aの分だけ、後にコンタクトが形成される空間が拡大する。尚、非晶質カーボン膜210が除去された後、高濃度不純物拡散層211, 212を電気的に活性化させるために、熱処理が行われる場合もある。

10

【0030】

次に、図2Jに示されるように、薄いシリコン窒化膜214が全面に形成された後、層間絶縁膜213が形成される。この層間絶縁膜213は、シリコン酸化膜であり、例えばCVD法により堆積される。層間絶縁膜213表面の平坦化には、CMP(Chemical Mechanical Polishing)法が使用される。上述の通り、ゲート絶縁膜205や素子分離構造202に損傷を与えることなく、コンタクトが形成される空間は拡大している。そのため、その空間に層間絶縁膜213を埋め込むことが容易になる、すなわち、層間絶縁膜213の“埋め込み性”が向上している。尚、薄いシリコン窒化膜214は、上述のサイドウォール210aの厚さより十分薄くなるように形成されると好適である。

20

【0031】

次に、ドライエッチングによって、層間絶縁膜213及びゲート絶縁膜205を貫通するようにコンタクトホールが形成される。そして、そのコンタクトホールを導電膜で埋めることにより、図2Kに示されるように、高濃度不純物拡散層211, 212につながるコンタクト215が形成される。このようにして、要求されたLDD構造を有するMISトランジスタが製造される。

30

【0032】

以上に説明されたように、本実施の形態に係るサイドウォール210aは、非晶質カーボン膜210を表面層として含んでおり、他の構成要素に対して無限大の選択比で除去される。従って、サイドウォール210a除去時に、ゲート絶縁膜205や素子分離構造202の形状が損なわれることが防止される。このことは、製造されるMISトランジスタの特性や信頼性が劣化することを防止する。

【0033】

また、サイドウォール210aが除去されるため、コンタクト215が形成される空間が拡大する。従って、層間絶縁膜213の埋め込み性が向上する。そして、サイドウォール210aが残存しないため、コンタクト215が従来のようなシリコン窒化膜やシリコン酸化膜等で形成されたサイドウォールに接することがない。そのため、コンタクト215(コンタクトホール)を形成するためのドライエッチングが容易となる。このように、本実施の形態によれば、MISトランジスタの特性及び信頼性を損なうことなく、コンタクト215を容易に形成することが可能となる。

40

【0034】

更に、LDD構造は、MISトランジスタの特性の向上に寄与している。本実施の形態によれば、優れた信頼性を持つMISトランジスタが提供される。

【0035】

(第2の実施の形態)

サイドウォールの材料は、第1の実施の形態で示された単層の非晶質カーボン膜210

50

に限られない。少なくとも非晶質カーボン膜を表面層として含む保護膜が用いられれば、本発明による効果は得られる。例えば、シリコン窒化膜と非晶質カーボン膜の積層膜が用いられる。あるいは、シリコン酸化膜と非晶質カーボン膜の積層膜が用いられてもよい。いずれの場合においても、非晶質カーボン膜は、積層膜の最上面に形成される。

【0036】

本実施の形態に係るMISトランジスタの製造工程を、図3A～図3Dを参照しながら以下に説明する。本実施の形態に係る製造工程は、第1の実施の形態で示された製造工程と途中まで同じであり、図2A～図2Eで示された工程と同じ工程が最初に行われる。その結果、図3Aに示されるように、半導体基板301中に、素子分離構造302、P型ウェル303、N型ウェル304、低濃度不純物拡散層(LDD)308、309が形成されている。また、半導体基板301上に、ゲート絶縁膜305を介してゲート電極307aが形成されている。ゲート電極307aは、ゲート電極材料膜306とゲートマスク絶縁膜307からなる。

10

【0037】

次に、同じく図3Aに示されるように、シリコン窒化膜310bまたはシリコン酸化膜310bが、CVD法によって全面に形成される。以下の説明においては、シリコン窒化膜310bの場合が例として説明される。シリコン酸化膜310aの場合であっても、以下に示される工程は同じである。コンタクトが形成される空間を確保するために、このシリコン窒化膜310bは、できる限り薄く形成されることが望ましい。続いて、非晶質カーボン膜310が、CVD法によりシリコン窒化膜310b上に形成される。後に形成されるサイドウォールのサイズは、シリコン窒化膜310bの膜厚と非晶質カーボン膜310の膜厚の和により決まる。よって、MISトランジスタの要求されるサイドウォールサイズに応じて、非晶質カーボン膜310の膜厚が決定される。

20

【0038】

次に、異方性ドライエッチングによって、非晶質カーボン膜310及びシリコン窒化膜310bの積層膜のエッチバックが行われる。その結果、図3Bに示されるように、ゲート電極307aの側面にサイドウォール310aが形成される。この異方性ドライエッチングにおいて、まず非晶質カーボン膜310をエッチバックするために、例えばO₂/Arの混合ガスが最初に用いられる。そして、下地であるシリコン窒化膜310bが露出した時点で、エッチングガスは、例えばCHF₃/CF₄/O₂/Arの混合ガスに切り替えられる。その混合ガスによって、シリコン窒化膜310bがエッチバックされる。その結果形成されるサイドウォール310aは、シリコン窒化膜310bと非晶質カーボン膜210の積層膜からなり、その表面層は非晶質カーボン膜210である。

30

【0039】

次に、第1の実施の形態と同様に、ゲート電極307a及びサイドウォール310aをマスクとして用いるイオン注入によって、半導体基板301の表層部にソース・ドレイン拡散層311、312が自己整合的に形成される。具体的には、イオン注入法によって、P型ウェル303及びN型ウェル304のそれぞれに、高濃度N型不純物拡散層311及び高濃度P型不純物拡散層312が形成される。

【0040】

次に、サイドウォール310aの非晶質カーボン膜310だけが選択的に除去される。非晶質カーボン膜310だけを選択的に除去するためには、例えば、酸素単独ガスのガスプラズマが用いられればよい。その結果、図3Cに示されるように、ゲート電極307aの側面には、シリコン窒化膜310bで形成されたサイドウォールのみが残存することになる。そして、除去された非晶質カーボン膜310の分だけ、後にコンタクトが形成される空間が拡大している。

40

【0041】

次に、第1の実施の形態と同様に、薄いシリコン窒化膜314が全面に形成された後、層間絶縁膜313が形成される。続いて、層間絶縁膜313及びゲート絶縁膜305を貫通するようにコンタクトホールが形成された後、高濃度不純物拡散層311、312につ

50

ながるコンタクト315が形成される。このようにして、図3Dに示されるように、LDD構造を有するMISトランジスタが製造される。

【0042】

以上に説明されたように、本実施の形態に係るサイドウォール310aは、非晶質カーボン膜310を表面層として含んでおり、他の構成要素に対して無限大の選択比で除去される。従って、非晶質カーボン膜310除去時に、ゲート絶縁膜305や素子分離構造302の形状が損なわれることが防止される。このことは、製造されるMISトランジスタの特性や信頼性が劣化することを防止する。

【0043】

また、サイドウォール310aの一部が除去されるため、隣接するサイドウォール310a間の空間、すなわちコンタクト315が形成される空間が拡大する。従って、層間絶縁膜313の埋め込み性が向上し、また、コンタクト315を容易に形成することが可能となる。このように、本実施の形態によれば、MISトランジスタの特性及び信頼性を損なうことなく、コンタクト315を容易に形成することが可能となる。更に、LDD構造は、MISトランジスタの特性の向上に寄与している。本実施の形態によれば、優れた信頼性を持つMISトランジスタが提供される。

【図面の簡単な説明】

【0044】

【図1】図1は、従来のMISトランジスタの構造を示す断面図である。

【図2A】図2Aは、本発明の第1の実施の形態に係るMISトランジスタの製造工程を示す断面図である。

【図2B】図2Bは、図2Aに示された工程の次の工程を示す断面図である。

【図2C】図2Cは、図2Bに示された工程の次の工程を示す断面図である。

【図2D】図2Dは、図2Cに示された工程の次の工程を示す断面図である。

【図2E】図2Eは、図2Dに示された工程の次の工程を示す断面図である。

【図2F】図2Fは、図2Eに示された工程の次の工程を示す断面図である。

【図2G】図2Gは、図2Fに示された工程の次の工程を示す断面図である。

【図2H】図2Hは、図2Gに示された工程の次の工程を示す断面図である。

【図2I】図2Iは、図2Hに示された工程の次の工程を示す断面図である。

【図2J】図2Jは、図2Iに示された工程の次の工程を示す断面図である。

【図2K】図2Kは、図2Jに示された工程の次の工程を示す断面図である。

【図3A】図3Aは、本発明の第2の実施の形態に係るMISトランジスタの製造工程を示す断面図である。

【図3B】図3Bは、図3Aに示された工程の次の工程を示す断面図である。

【図3C】図3Cは、図3Bに示された工程の次の工程を示す断面図である。

【図3D】図3Dは、図3Cに示された工程の次の工程を示す断面図である。

【符号の説明】

【0045】

- 101 半導体基板
- 102 素子分離構造
- 103 P型ウェル
- 104 N型ウェル
- 105 ゲート絶縁膜
- 106 ゲート電極材料膜
- 107 ゲートマスク絶縁膜
- 107a ゲート電極
- 108 低濃度N型不純物拡散層
- 109 低濃度P型不純物拡散層
- 110 サイドウォール
- 111 高濃度N型不純物拡散層

10

20

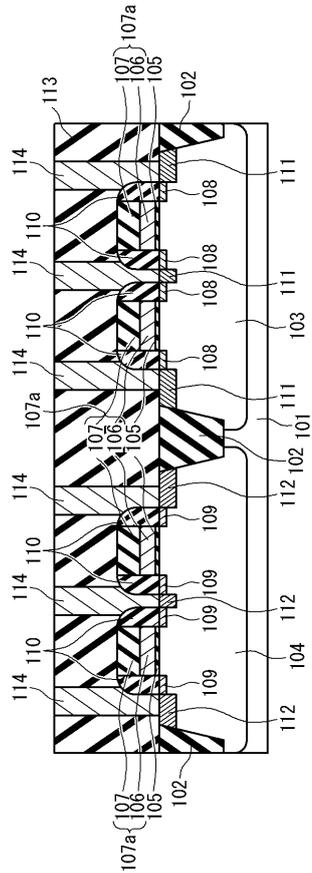
30

40

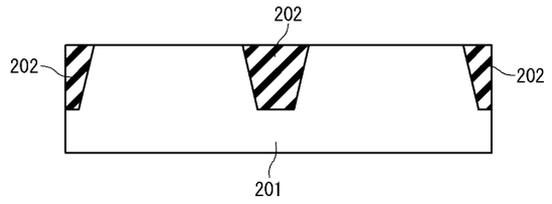
50

1 1 2	高濃度 P 型不純物拡散層	
1 1 3	層間絶縁膜	
1 1 4	コンタクト	
2 0 1	半導体基板	
2 0 2	素子分離構造	
2 0 3	P 型ウェル	
2 0 4	N 型ウェル	
2 0 5	ゲート絶縁膜	
2 0 6	ゲート電極材料膜	
2 0 7	ゲートマスク絶縁膜	10
2 0 7 a	ゲート電極	
2 0 8	低濃度 N 型不純物拡散層	
2 0 9	低濃度 P 型不純物拡散層	
2 1 0	非晶質カーボン膜	
2 1 0 a	サイドウォール	
2 1 1	高濃度 N 型不純物拡散層	
2 1 2	高濃度 P 型不純物拡散層	
2 1 3	層間絶縁膜	
2 1 4	シリコン窒化膜	
2 1 5	コンタクト	20
3 0 1	半導体基板	
3 0 2	素子分離構造	
3 0 3	P 型ウェル	
3 0 4	N 型ウェル	
3 0 5	ゲート絶縁膜	
3 0 6	ゲート電極材料膜	
3 0 7	ゲートマスク絶縁膜	
3 0 7 a	ゲート電極	
3 0 8	低濃度 N 型不純物拡散層	
3 0 9	低濃度 P 型不純物拡散層	30
3 1 0	非晶質カーボン膜	
3 1 0 a	サイドウォール	
3 1 0 b	シリコン窒化膜またはシリコン酸化膜	
3 1 1	高濃度 N 型不純物拡散層	
3 1 2	高濃度 P 型不純物拡散層	
3 1 3	層間絶縁膜	
3 1 4	シリコン窒化膜	
3 1 5	コンタクト	

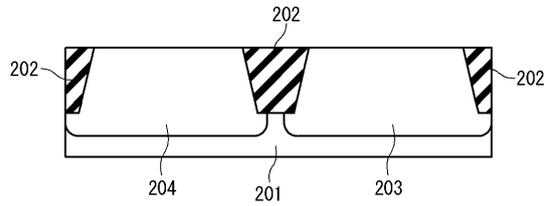
【 図 1 】



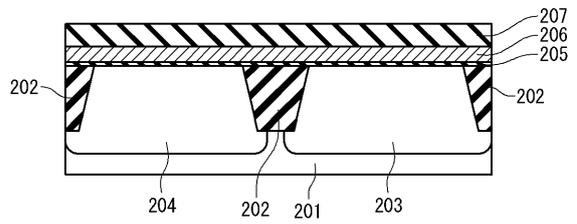
【 図 2 A 】



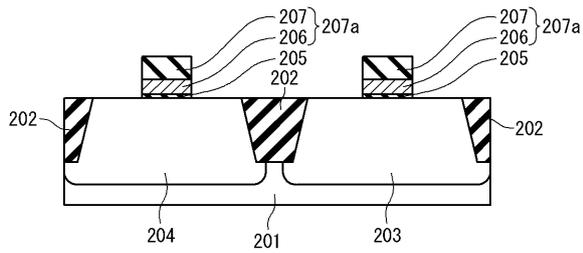
【 図 2 B 】



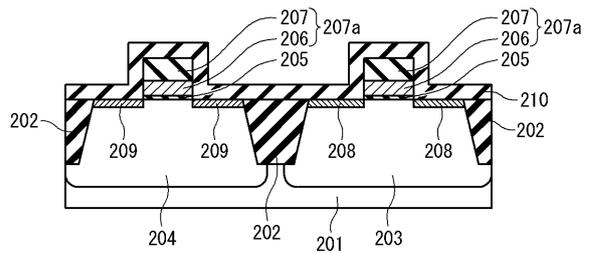
【 図 2 C 】



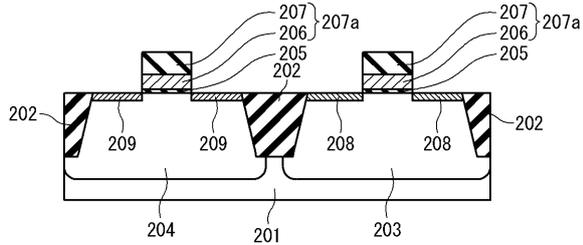
【 図 2 D 】



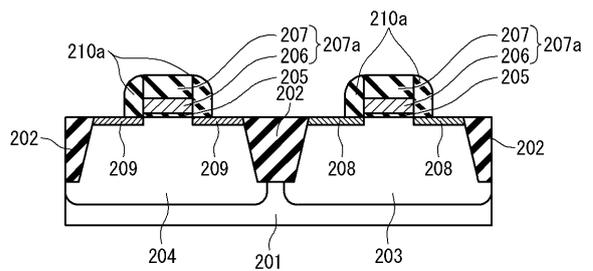
【 図 2 F 】



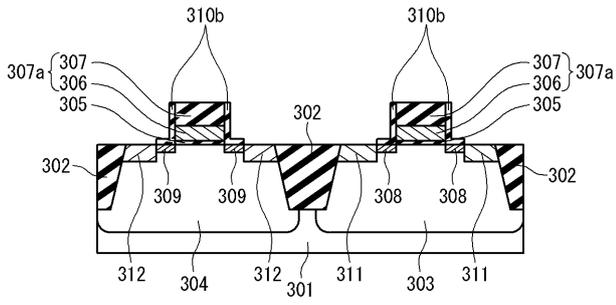
【 図 2 E 】



【 図 2 G 】



【 図 3 C 】



【 図 3 D 】

