

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4312915号
(P4312915)

(45) 発行日 平成21年8月12日(2009.8.12)

(24) 登録日 平成21年5月22日(2009.5.22)

(51) Int.Cl.	F I
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 B
HO 1 L 27/088 (2006.01)	HO 1 L 27/04 U
HO 1 L 21/822 (2006.01)	HO 1 L 29/78 3 O 1 X
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 3 O 1 S
HO 1 L 29/78 (2006.01)	HO 1 L 27/10 4 6 1

請求項の数 7 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2000-12574 (P2000-12574)	(73) 特許権者	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(22) 出願日	平成12年1月21日(2000.1.21)	(74) 代理人	100080001 弁理士 筒井 大和
(65) 公開番号	特開2001-203275 (P2001-203275A)	(72) 発明者	齊藤 朋広 東京都青梅市新町六丁目16番地の3 株 式会社日立製作所 デバイス開発センタ内
(43) 公開日	平成13年7月27日(2001.7.27)	(72) 発明者	宮本 正文 東京都青梅市新町六丁目16番地の3 株 式会社日立製作所 デバイス開発センタ内
審査請求日	平成18年2月2日(2006.2.2)	(72) 発明者	三谷 真一郎 東京都青梅市新町六丁目16番地の3 株 式会社日立製作所 デバイス開発センタ内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

2種以上の電源電圧を有する半導体装置において、相対的に低い電源電圧で駆動する電界効果トランジスタにおいては、

半導体基板中に形成された第2導電型の第1ウェルと、

前記第1ウェル中に形成された前記第2導電型とは逆の導電型である第1導電型の第1ソースおよび第1ドレインと、

前記第1ウェル中に形成され、かつ、前記第1ソースおよび前記第1ドレインに接するようにして形成された前記第2導電型の第1半導体領域と、

前記第1ウェル中に形成され、前記第1ソース、前記第1ドレインおよび前記第1半導体領域に接しないようにして形成され、かつ、前記第1ソース、前記第1ドレインおよび前記第1半導体領域よりも深い位置に形成された前記第2導電型の第2半導体領域とを有し、

相対的に高い電源電圧で駆動する電界効果トランジスタにおいては、

前記半導体基板中に形成された前記第2導電型の第2ウェルと、

前記第2ウェル中に形成された前記第1導電型の第2ソースおよび第2ドレインと、

前記第2ウェル中に形成され、前記第2ソースおよび前記第2ドレインに接しないように形成され、かつ、前記第2ソースおよび前記第2ドレインよりも深い領域に形成された前記第2導電型の第3半導体領域とを有することを特徴とする半導体装置。

【請求項2】

10

20

相対的に低い電源電圧で駆動する第1導電型の第1電界効果トランジスタと、相対的に高い電源電圧で駆動する前記第1導電型の第2電界効果トランジスタとを有し、

前記第1電界効果トランジスタにおいては、

半導体基板中に形成された前記第1導電型とは逆の導電型である第2導電型の第1ウェルと、

前記第1ウェル中に形成された前記第1導電型の第1ソースおよび第1ドレインと、

前記第1ウェル中に形成され、かつ、前記第1ソースおよび前記第1ドレインに接するようにして形成された前記第2導電型の第1半導体領域と、

前記第1ウェル中に形成され、前記第1ソース、前記第1ドレインおよび前記第1半導体領域に接しないようにして形成され、かつ、前記第1ソースのピーク濃度領域、前記第1ドレインのピーク濃度領域および前記第1半導体領域のピーク濃度領域よりも深い位置にピーク濃度領域が形成された前記第2導電型の第2半導体領域とを有し、

前記第2電界効果トランジスタにおいては、

前記半導体基板中に形成された前記第2導電型の第2ウェルと、

前記第2ウェル中に形成された前記第1導電型の第2ソースおよび第2ドレインと、

前記第2ウェル中に形成され、前記第2ソースおよび前記第2ドレインに接しないようにして形成され、かつ、前記第2ソースのピーク濃度領域および前記第2ドレインのピーク濃度領域よりも深い領域にピーク濃度領域が形成された前記第2導電型の第3半導体領域とを有し、

前記第1半導体領域は、前記第1ソース側と前記第1ドレイン側とに分かれて形成されていることを特徴とする半導体装置。

【請求項3】

相対的に低い電源電圧で駆動する第1導電型の第1電界効果トランジスタと、相対的に高い電源電圧で駆動する前記第1導電型の第2電界効果トランジスタとを有し、

前記第1電界効果トランジスタにおいては、

半導体基板中に形成された前記第1導電型とは逆の導電型である第2導電型の第1ウェルと、

前記第1ウェル中に形成された前記第1導電型の第1ソースおよび第1ドレインと、

前記第1ウェル中に形成され、かつ、前記第1ソースおよび前記第1ドレインに接するようにして形成された前記第2導電型の第1半導体領域と、

前記第1ウェル中に形成され、前記第1ソース、前記第1ドレインおよび前記第1半導体領域に接しないようにして形成され、かつ、前記第1ソースのピーク濃度領域、前記第1ドレインのピーク濃度領域および前記第1半導体領域のピーク濃度領域よりも深い位置にピーク濃度領域が形成された前記第2導電型の第2半導体領域とを有し、

前記第2電界効果トランジスタにおいては、

前記半導体基板中に形成された前記第2導電型の第2ウェルと、

前記第2ウェル中に形成された前記第1導電型の第2ソースおよび第2ドレインと、

前記第2ウェル中に形成され、前記第2ソースおよび前記第2ドレインに接しないようにして形成され、かつ、前記第2ソースのピーク濃度領域および前記第2ドレインのピーク濃度領域よりも深い領域にピーク濃度領域が形成された前記第2導電型の第3半導体領域とを有し、

前記第1半導体領域および前記第2半導体領域は、前記第1ソース側と前記第1ドレイン側とに分かれて形成され、

前記第3半導体領域は、前記第2ソース側と前記第2ドレイン側とに分かれて形成されていることを特徴とする半導体装置。

【請求項4】

請求項1～3のいずれか一項に記載の半導体装置において、

前記第1半導体領域、前記第2半導体領域、および、前記第3半導体領域は、パンチスルーを防止するために形成されていることを特徴とする半導体装置。

【請求項5】

10

20

30

40

50

請求項 1 ~ 4 のいずれか一項に記載の半導体装置において、
前記第 1 導電型は N 型であり、前記第 2 導電型は P 型であることを特徴とする半導体装置。

【請求項 6】

請求項 1 ~ 4 のいずれか一項に記載の半導体装置において、
前記第 1 導電型は P 型であり、前記第 2 導電型は N 型であることを特徴とする半導体装置。

【請求項 7】

請求項 1 ~ 6 のいずれか一項に記載の半導体装置において、
前記第 2 半導体領域および前記第 3 半導体領域の濃度と、前記第 1 半導体領域の濃度とは、異なっていることを特徴とする半導体装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、2種以上の電源電圧を有する半導体装置およびその製造技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】

本発明者が検討した技術によれば、2種以上の電源電圧を有する半導体装置において、電界効果トランジスタのパンチスルーストップには、電源電圧の高低にかかわらず、電界効果トランジスタのソース、ドレイン用の半導体領域やそのチャンネル側端部に設けられた低濃度の半導体領域（いわゆる LDD (Lightly Doped drain)）のチャンネル側近傍に、その半導体領域とは逆導電型の半導体領域（いわゆるポケット）を設ける構造が採用されている。

20

【0003】

特に、高電圧で駆動する電界効果トランジスタ（以下、単に高電圧電界効果トランジスタともいう）においては、その高いドレイン電圧によるホットキャリア耐性劣化を考慮して、上記 LDD や上記ポケットを、低電圧で駆動する電界効果トランジスタ（以下、単に低電圧電界効果トランジスタともいう）の LDD やポケットとは別に専用のマスクを用いて、低電圧で駆動する電界効果トランジスタの LDD やポケットよりも低濃度になるように作り分けて形成している。高電圧で駆動する電界効果トランジスタにおいては、その高いドレイン電圧に起因して LDD やソース・ドレイン用の半導体領域の空乏層が広がるので、チャンネル長の短い低電圧の電界効果トランジスタと同様、パンチスルーを抑制または防止するためにポケットが必要である。

30

【0004】

なお、パンチスルーについては、例えば日刊工業新聞社、昭和 62 年 9 月 29 日発行「CMOS デバイスハンドブック」p 344 ~ p 345 に記載があり、ポケット構造等について開示されている。

【0005】

【発明が解決しようとする課題】

ところが、高電圧で駆動する電界効果トランジスタにおいて上記ポケットは、以下の課題を有することを本発明者は見出した。

40

【0006】

すなわち、第 1 は、ホットキャリア耐性の劣化である。第 2 は、LDD およびソース・ドレイン用の半導体領域とウエルとの間において逆導電型の高濃度の半導体領域同士が接触するので、バンド - バンド間のトンネル接合リーク電流が増加する課題である。第 3 は、ウエルとドレインとの間の耐圧の劣化である。

【0007】

本発明の目的は、2種以上の電源電圧を有する半導体装置において低電圧電界効果トランジスタの性能を維持したまま、高電圧で駆動する電界効果トランジスタのホットキャリア

50

耐性を向上させることのできる技術を提供することにある。

【0008】

また、本発明の他の目的は、2種以上の電源電圧を有する半導体装置において低電圧電界効果トランジスタの性能を維持したまま、高電圧で駆動する電界効果トランジスタのソース・ドレイン用の半導体領域とウエルとの間のバンド-バンド間のトンネル接合リーク電流を低減することのできる技術を提供することにある。

【0009】

また、本発明の他の目的は、2種以上の電源電圧を有する半導体装置において低電圧電界効果トランジスタの性能を維持したまま、高電圧で駆動する電界効果トランジスタのウエルとドレインとの間の耐圧を向上させることのできる技術を提供することにある。

10

【0010】

さらに、本発明の他の目的は、2種以上の電源電圧を有する半導体装置において、プロセスを複雑化することなく、高性能で、かつ、信頼性の高い半導体装置を実現することのできる技術を提供することにある。

【0011】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

20

【0013】

すなわち、本発明は、2種以上の電源電圧を有する半導体装置において、相対的に低電圧で駆動する電界効果トランジスタにおいてはその電界効果トランジスタのチャンネルとは逆導電型の半導体領域を2重構造とし、相対的に高電圧で駆動する電界効果トランジスタにおいてはその電界効果トランジスタのチャンネルとは逆導電型の半導体領域を1重構造としたものである。

【0014】

また、本発明は、2種以上の電源電圧を有する半導体装置の製造方法において、相対的に高い電源電圧で駆動する電界効果トランジスタおよび相対的に低い電源電圧で駆動する電界効果トランジスタの両方の形成領域にその電界効果トランジスタのチャンネルとは逆導電型の第1の半導体領域を形成する工程と、相対的に低い電源電圧で駆動する電界効果トランジスタの形成領域にその電界効果トランジスタのチャンネルとは逆導電型の第2の半導体領域を形成する工程とを有するものである。

30

【0015】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態においては、電界効果トランジスタ(MISFET; Metal Insulator Semiconductor Field Effect Transistor)をMISと略し、pチャンネル型のMISFETをpMISと略し、nチャンネル型のMISFETをnMISと略す。また、本明細書中において、短(ショート)チャンネル効果とは、トランジスタのゲート長を短くしていき、ソースがドレイン近傍の空間電荷領域(ドレイン電圧の影響で電位が高くなっている領域)に接する状態となったときに、ゲート電極から遠い深い部分の電位がゲート電圧を下げてでもドレイン電圧の影響で高いままとなる結果、トランジスタをオフしようとしてゲート電圧を0(零)Vにしてもこの基板の電位の高い部分を通して漏れ電流が流れてしまう現象をいう。この短チャンネル効果の程度が大きく、ドレイン電流が流れたままの状態となる現象をパンチスルーという。短チャンネル効果の程度が小さい場合は、しきい値電圧の低下となって現れる。

40

【0016】

50

(実施の形態1)

本実施の形態1においては、例えば2種以上の電源電圧を有し、かつ、最小加工寸法が0.14 μ m程度のCMOS(Complementary MOS)を有するASIC(Application Specific IC:半導体装置)に本発明を適用した場合について説明する。

【0017】

図1は、そのASICの要部断面図を示している。半導体基板1は、例えばp形のシリコン(Si)単結晶からなり、その主面には、例えばpウエル2pおよびnウエル2nが形成されている。pウエル2pには、例えばホウ素(B)が導入され、nウエル2nには、例えばリン(P)またはヒ素(As)が導入されている。また、半導体基板1の主面には、例えば溝型の分離部(トレンチアイソレーション)3が形成されている。この分離部3は、半導体基板1の厚さ方向に掘られた溝内に、例えば酸化シリコン膜からなる絶縁膜が埋め込まれて形成されている。なお、分離部3をLOCOS(Local Oxidization of Silicon)法等によって形成されたフィールド絶縁膜で形成しても良い。

10

【0018】

この分離部3によって囲まれた活性領域には、nMISQN1、QN2およびpMISQP1、QP2が形成されている。nMISQN1およびpMISQP1は、相対的に高い電源電圧(例えば3.3V)で駆動するMISである(以下、単に高電圧nMISQN1、高電圧pMISQP1ともいう)。nMISQN2およびpMISQP2は、相対的に低い電源電圧(例えば1.5V)で駆動するMISである(以下、単に低電圧nMISQN2、低電圧pMISQP2ともいう)。

20

【0019】

nMISQN1、QN2およびpMISQP1、QP2は、LDD(Lightly Doped Drain)構造を有している。すなわち、nMISQN1、QN2の半導体領域4a、4bは、例えばリンまたはヒ素が半導体基板1に導入されてなり、LDD用の低濃度領域4a1、4b1と、ソース・ドレイン用の高濃度領域4a2、4b2とを有している。また、pMISQP1、QP2のソース・ドレイン用の半導体領域5a、5bは、例えばホウ素が半導体基板1に導入されてなり、低濃度領域5a1、5b1と高濃度領域5a2、5b2とを有している。低濃度領域4a1、4b1、5a1、5b1は、相対的に不純物濃度が低く、チャンネル側に設けられている。また、高濃度領域4a2、4b2、5a1、5b1は、相対的に不純物濃度が高く、チャンネルから低濃度領域4a1、4b1、5a1、5b1分だけ半導体基板1の主面に水平な方向に離間した位置に形成されている。高電圧MIS形成領域におけるnMISQN1およびpMISQP1のチャンネル長は、例えば0.4 μ m程度であり、低電圧MIS形成領域におけるpMISQN2、QP2のチャンネル長は、例えば0.14 μ m程度である。

30

【0020】

nMISQN1、QN2およびpMISQP1、QP2のゲート絶縁膜6は、例えば酸化シリコン膜からなるが、高電圧MIS形成領域におけるnMISQN1およびpMISQP1のゲート絶縁膜6の方が、低電圧MIS形成領域におけるnMISQN2およびpMISQP2のゲート絶縁膜6よりも厚く形成されている。なお、高電圧nMISQN1および高電圧pMISQP1のゲート絶縁膜6はほぼ同じ厚さである。このゲート絶縁膜6に対して窒化処理を施すことにより、ゲート絶縁膜6と半導体基板1との界面に窒素を偏析させても良い。これにより、各nMISQN1、QN2およびpMISQP1、QP2のホットキャリア耐性を向上させることができるので、nMISQN1、QN2およびpMISQP1、QP2の信頼性を向上させることが可能となる。

40

【0021】

また、nMISQN1、QN2およびpMISQP1、QP2のゲート電極7は、例えば低抵抗ポリシリコンの単体膜からなる。ただし、ゲート電極7は、例えば低抵抗ポリシリコン膜上にタングステンシリサイド等のようなシリサイド膜を設けた、いわゆるポリサイド構造としても良いし、低抵抗ポリシリコン膜上に窒化チタンや窒化タングステン等のようなバリア層を介してタングステン等のような金属膜を設けた、いわゆるポリメタル構造

50

としても良い。なお、ゲート電極7の側面には、例えば酸化シリコン膜または窒化シリコン膜からなるサイドウォールSWが形成されている。また、ゲート電極7の上面に、例えば酸化シリコン膜または窒化シリコン膜からなるキャップ絶縁膜を形成しても良い。

【0022】

ところで、本実施の形態1においては、高電圧nMIS形成領域および高電圧pMIS形成領域に1つの半導体領域8a(8ap, 8an)が形成され、低電圧nMIS形成領域および低電圧pMIS形成領域に2つの半導体領域8a(8ap, 8an), 8b(8bp, 8bn)が形成されている。

【0023】

この半導体領域8a(8ap, 8an)、8b(8bp, 8bn)は、短チャネル効果を抑制または防止し、パンチスルーを抑制または防止する機能を持った領域である。半導体領域8ap、8bpは、例えばホウ素が導入されてp型に設定され、半導体領域8an、8bnは、例えばリンまたはヒ素が導入されてn型に設定されている。ただし、半導体領域8a、8bは、別々に形成され、その不純物濃度も別々に設定されている。半導体領域8apは、そのピーク濃度領域が、低電圧および高電圧のMISの短チャネル効果を抑制または防止(すなわち、パンチスルーを抑制または防止)する深さに形成されており、ソース・ドレイン用の高濃度領域4a2, 4b2よりも深い位置に、平面で見た場合に各MIS形成領域における活性領域(分離部3に囲まれた半導体基板1の領域)の全面にわたって形成されている。また、半導体領域8anは、そのピーク濃度領域が、低電圧および高電圧のMISの短チャネル効果を抑制または防止(すなわち、パンチスルーを抑制または防止)する深さに形成されており、ソース・ドレイン用の高濃度領域5a2, 5b2よりも深い位置に、平面的に見た場合に各MIS形成領域における活性領域の全面にわたって形成されている。一方、半導体領域8b(8bp, 8bn)は、そのピーク濃度領域が、低電圧MISの短チャネル効果を抑制または防止(すなわち、パンチスルーを抑制または防止)する深さに形成されており、半導体領域4b, 5bよりも深く、半導体領域8a(8ap, 8an)よりも浅い位置になるように、かつ、半導体領域4b、5bに平面的にほぼ重なるように形成されている。また、半導体領域8b(8bp, 8bn)は、その一部の不純物分布が半導体領域4b, 5b, 8aに重なっている。

【0024】

このように本実施の形態1においては、2種以上の電源電圧を有する半導体装置において、高電圧nMISQN1および高電圧pMISQP1のパンチスルーストップパを1重構造とすることにより、LDD用の低濃度領域4a1, 5a1およびソース・ドレイン用の高濃度領域4a2, 5a2と接するpウエル2pおよびnウエル2nの不純物濃度を低減させることが可能となる。これにより、高電圧nMISQN1および高電圧pMISQP1のドレイン端の電界を緩和することができ、ホットキャリアの発生を低減させることができるので、高電圧nMISQN1および高電圧pMISQP1のホットキャリア耐性を向上させることが可能となる。また、LDD用の低濃度領域4a1, 5a1およびソース・ドレイン用の高濃度領域4a2, 5a2とpウエル2pおよびnウエル2nとの間のバンド-バンド間のトンネル接合リーク電流を低減することが可能となる。さらに、ウエル(pウエル2p、nウエル2n)-ドレイン間の耐圧を向上させることが可能となる。一方、低電圧nMISQN2および低電圧pMISQP2のパンチスルーストップパを2重構造とすることにより、チャンネル長の短い低電圧nMISQN2および低電圧pMISQP2でもパンチスルーを防止することが可能となる。したがって、製品全体としては、高性能で、かつ、信頼性の高い半導体装置を実現することが可能となる。

【0025】

半導体基板1の主面上には、例えば酸化シリコン膜からなる層間絶縁膜9aが形成されている。層間絶縁膜9aには、例えば平面略円形状の複数の接続孔10aが穿孔されている。また、層間絶縁膜9aの上面には、第1層配線11Lが形成されている。第1層配線11Lは、例えばアルミニウム、アルミニウム-シリコン-銅合金等からなり、接続孔10aを通じて半導体領域4a, 4b, 5a, 5bと電氣的に接続されている。

10

20

30

40

50

【 0 0 2 6 】

次に、本実施の形態 1 の半導体装置の製造方法の一例を説明する。

【 0 0 2 7 】

まず、図 2 に示すように、半導体基板（この段階では、例えば平面略円形状のシリコン単結晶からなる半導体ウエハ）1 に分離部 3 を形成した後、p ウエル 2 p および n ウエル 2 n を形成する。

【 0 0 2 8 】

分離部 3 は、半導体基板 1 に溝を形成した後、半導体基板 1 の主面上に酸化シリコン膜等からなる絶縁膜を C V D (Chemical Vapor Deposition) 法等によって堆積し、さらにその絶縁膜が溝内のみに残されるようにその絶縁膜を化学機械研磨法 (C M P : Chemical Mechanical Polish) によって研磨することで形成する。

10

【 0 0 2 9 】

また、p ウエル 2 p は、分離部 3 形成後の半導体基板 1 の主面上に、n M I S 形成領域が露出され、それ以外が覆われるようなフォトリソ膜を形成した後、それをマスクとして、例えばホウ素または 2 フッ化ホウ素 ($B F_2$) を半導体基板 1 にイオン打ち込みすることで形成する。また、n ウエル 2 n は、分離部 3 形成後の半導体基板 1 の主面上に、p M I S 形成領域が露出され、それ以外が覆われるようなフォトリソ膜を形成した後、それをマスクとして、例えばリンまたはヒ素を半導体基板 1 にイオン打ち込みすることで形成する。なお、p ウエル 2 p および n ウエル 2 n を形成するための不純物のイオン打ち込み工程は、分離部 3 を形成する前に行っても良い。

20

【 0 0 3 0 】

続いて、図 3 に示すように、半導体基板 1 に第 1 の半導体領域 8 a (8 a n , 8 a p) を形成する。

【 0 0 3 1 】

半導体領域 8 a p は、半導体基板 1 の主面上に、高電圧および低電圧の n M I S 形成領域が露出され、それ以外が覆われるようなフォトリソ膜を形成した後、それをマスクとして、例えばホウ素または 2 フッ化ホウ素 ($B F_2$) を半導体基板 1 にイオン打ち込みすることで形成する。また、半導体領域 8 a n は、半導体基板 1 の主面上に、高電圧および低電圧の p M I S 形成領域が露出され、それ以外が覆われるようなフォトリソ膜を形成した後、それをマスクとして、例えばリンまたはヒ素を半導体基板 1 にイオン打ち込みすることで形成する。この第 1 の半導体領域 8 a を形成するためのイオン打ち込み工程においては、電源電圧の高低にかかわらず、同じ導電型のチャネルの M I S 形成領域に同時にイオン打ち込みするので、工程の複雑化を招くことがない。

30

【 0 0 3 2 】

その後、図 4 に示すように、半導体基板 1 の主面上にゲート絶縁膜 6 を形成した後、その上にゲート電極 7 を形成する。

【 0 0 3 3 】

ゲート絶縁膜 6 は、高電圧 M I S 形成領域側の方が、耐圧を確保する観点から低電圧 M I S 形成領域よりも相対的に厚く形成されている。このような厚さの異なるゲート絶縁膜 6 を形成するには、例えば次のようにする。まず、半導体基板 1 に対して熱酸化処理を施すことにより、高電圧 M I S 形成領域および低電圧 M I S 形成領域の両方に同じ厚さの第 1 のゲート絶縁膜を形成する。続いて、半導体基板 1 の主面上に低電圧 M I S 形成領域が露出され、それ以外が覆われるようなフォトリソ膜を形成した後、そのフォトリソ膜から露出される第 1 のゲート絶縁膜（すなわち、低電圧 M I S 形成領域の第 1 のゲート絶縁膜）を除去する。その後、そのフォトリソ膜を除去した後、2 回目の熱酸化処理を施す。これにより、半導体基板 1 の主面上において、低電圧 M I S 形成領域に相対的に薄いゲート絶縁膜 6 を形成すると同時に高電圧 M I S 形成領域に相対的に厚いゲート絶縁膜 6 を形成する。この際の酸化処理においては、低電圧 M I S に必要なゲート絶縁膜厚となるようにする。なお、高電圧 n M I S および高電圧 p M I S のゲート絶縁膜 6 はほぼ同じ厚さである。

40

50

【0034】

また、ゲート電極7は、ゲート絶縁膜6形成後の半導体基板1の主面上に、例えば低抵抗ポリシリコンからなる導体膜をCVD(Chemical Vapor Deposition)法等によって堆積した後、これを通常のフォトリソグラフィ技術およびドライエッチング技術によってパターンニングすることにより形成する。ポリサイド構造の場合には、低抵抗ポリシリコン膜上にシリサイド膜を形成した後にパターンニングすれば良いし、ポリメタル構造の場合には、低抵抗ポリシリコン上にバリア金属層を介して金属層を形成した後にパターンニングすれば良い。ゲート電極7上にキャップ絶縁膜を形成したい場合には、ゲート電極材料膜を堆積し、その上にキャップ用の絶縁膜を堆積した後、その積層膜をパターンニングすれば良い。

【0035】

次いで、図5に示すように、半導体基板1の主面上に、低電圧nMIS形成領域が露出され、それ以外の低電圧pMIS形成領域および高電圧MIS(pMISおよびnMIS)形成領域が覆われるようなフォトレジスト膜R1を形成した後、このフォトレジスト膜R1とゲート電極7とをマスクとして、半導体基板1に、例えばホウ素をイオン打ち込みする。これにより、第2の半導体領域8bpをゲート電極7に対して自己整合的に形成する。このイオン打ち込みに際しては、半導体領域8bpの不純物濃度ピーク領域が、第1の半導体領域8apのピーク濃度領域よりも浅くなるようにする。

【0036】

続いて、フォトレジスト膜R1を除去した後、図6に示すように、半導体基板1の主面上に、低電圧pMIS形成領域が露出され、それ以外の低電圧nMIS形成領域および高電圧MIS形成領域が覆われるようなフォトレジスト膜R2を形成した後、このフォトレジスト膜R2とゲート電極7とをマスクとして、半導体基板1に、例えばリンをイオン打ち込みする。これにより、第2の半導体領域8bnをゲート電極7に対して自己整合的に形成する。このイオン打ち込みに際しては、半導体領域8bnの不純物濃度ピーク領域が、第1の半導体領域8anのピーク濃度領域よりも浅くなるようにする。なお、高電圧MIS形成領域には第2のパンチスルーストップを形成する必要がないので、そのためのフォトレジスト膜を形成する必要がなくなる。したがって、フォトレジスト膜の塗布、露光、現像、洗浄および乾燥等のような一連の処理を無くせるので、製造プロセスの簡略化が可能となる。

【0037】

その後、図7に示すように、nMISの低濃度領域4a1, 4b1を形成した後、pMISの低濃度領域5a1, 5b1を形成する。低濃度領域4a1, 4b1は、半導体基板1の主面上にnMIS形成領域が露出され、それ以外が覆われるようなフォトレジスト膜を形成した後、そのフォトレジスト膜とゲート電極7とをマスクとして、半導体基板1に、例えばリンまたはヒ素をイオン打ち込みすることによりゲート電極7に対して自己整合的に形成する。低濃度領域5a1, 5b1は、半導体基板1の主面上にpMIS形成領域が露出され、それ以外が覆われるようなフォトレジスト膜を形成した後、そのフォトレジスト膜とゲート電極7とをマスクとして、半導体基板1に、例えばホウ素をイオン打ち込みすることによりゲート電極7に対して自己整合的に形成する。

【0038】

次いで、半導体基板1の主面上に、例えば酸化シリコン膜または窒化シリコン膜をCVD法等によって堆積した後、これをドライエッチング法によってエッチバックすることにより、図8に示すように、ゲート電極7の側面にサイドウォールSWを形成する。

【0039】

続いて、nMISの高濃度領域4a2, 4b2およびpMISの高濃度領域5a2, 5b2を形成する。高濃度領域4a2, 4b2は、半導体基板1の主面上にnMIS形成領域が露出され、それ以外が覆われるようなフォトレジスト膜を形成した後、そのフォトレジスト膜、ゲート電極7およびサイドウォールSWをマスクとして、半導体基板1に、例えばリンまたはヒ素をイオン打ち込みすることによりゲート電極7に対して自己整合的に形成する。また、高濃度領域5a2, 5b2は、半導体基板1の主面上にpMIS形成領域

10

20

30

40

50

が露出され、それ以外が覆われるようなフォトリソグロフ膜を形成した後、そのフォトリソグロフ膜、ゲート電極 7 およびサイドウォール SW をマスクとして、半導体基板 1 に、例えばホウ素をイオン打ち込みすることによりゲート電極 7 に対して自己整合的に形成する。

【 0 0 4 0 】

その後、図 1 に示したように、半導体基板 1 の主面上に、例えば酸化シリコン膜からなる層間絶縁膜 9 a を CVD 法等によって堆積した後、接続孔 10 a をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。さらに、層間絶縁膜 9 a 上に、例えばアルミニウム、アルミニウム - シリコン - 銅合金をスパッタリング法等によって堆積した後、これをフォトリソグラフィ技術およびドライエッチング技術によってパターンニングすることにより第 1 層配線 11 L を形成する。

10

【 0 0 4 1 】

(実施の形態 2)

本実施の形態 2 においては、図 9 に示すように、低電圧 MIS 形成領域における半導体領域 8 c (8 c p, 8 c n) が、MIS の半導体領域 4 b、5 b のチャネル側端部近傍のみならず、MIS のチャネル下にも平面的に広がって形成されている。すなわち、半導体領域 8 c p は、低電圧 nMISQN2 のソース用の高濃度領域 4 b 2 の端部からドレイン用の高濃度領域 4 b 2 の端部にわたり広がって形成されている。また、半導体領域 8 c n は、低電圧 pMISQP2 のソース用の高濃度領域 5 b 2 の端部からドレイン用の高濃度領域 5 b 2 の端部にわたり広がって形成されている。この半導体領域 8 c (8 c p, 8 c n) は、短チャネル効果を抑制または防止し、パンチスルーを抑制または防止する機能を持った領域である。半導体領域 8 c p, 8 c n の不純物分布は、MIS の半導体領域 4 b, 5 b と重なって (接して) いるが、そのピーク濃度領域が半導体領域 8 a p, 8 a n よりも浅い位置に形成されており、半導体領域 8 a p, 8 a n に重る (接する) ことのないように形成されている。これ以外の構造は前記実施の形態 1 と同じなので説明を省略する。

20

【 0 0 4 2 】

このような半導体領域 8 c p, 8 c n を形成するには、例えば次のようにする。まず、前記実施の形態 1 で用いた図 3 の工程後、半導体基板 1 の主面上に、低電圧 nMIS 形成領域が露出され、それ以外の低電圧 pMIS 形成領域および高電圧 MIS (nMIS および pMIS) 形成領域が覆われるようなフォトリソグロフ膜を形成し、これをマスクとして半導体基板 1 に、例えばホウ素をイオン打ち込みすることにより、半導体領域 8 c p を形成する。続いて、半導体基板 1 の主面上に、低電圧 pMIS 形成領域が露出され、それ以外の低電圧 nMIS 形成領域および高電圧 MIS (nMIS および pMIS) 形成領域が覆われるようなフォトリソグロフ膜を形成し、これをマスクとして半導体基板 1 に、例えばリンまたはヒ素をイオン打ち込みすることにより半導体領域 8 c n を形成する。これ以降の工程は、通常 MISFET の形成工程と同じなので説明を省略する。

30

【 0 0 4 3 】

本実施の形態 2 においても前記実施の形態 1 と同様の効果を得ることが可能となる。

【 0 0 4 4 】

(実施の形態 3)

本実施の形態 3 においては、図 10 に示すように、高電圧 MIS 形成領域および低電圧 MIS 形成領域のいずれにおいても、第 1 の半導体領域 8 d (8 d p, 8 d n) が、ゲート電極 7 に対して自己整合的に形成されており、MIS のチャネル下には形成されず、平面で見た場合に、MIS の半導体領域 4 a, 4 b, 5 a, 5 b と平面的に重なる平面位置に形成されている。この半導体領域 8 d (8 d p, 8 d n) は、短チャネル効果を抑制または防止し、パンチスルーを抑制または防止する機能を持った領域であり、そのピーク濃度領域は、断面で見た場合に、MIS の半導体領域 4 a, 4 b, 5 a, 5 b よりも深い位置に形成され、半導体領域 4 a, 4 b, 5 a, 5 b と重なる (接する) ことのないように形成されている。

40

【 0 0 4 5 】

また、第 2 の半導体領域 8 e (8 e p, 8 e n) も、ゲート電極 7 に対して自己整合的に

50

形成されており、MISのチャンネル下には形成されず、半導体領域4b, 5bのチャンネル側端部近傍に形成されている。この半導体領域8d(8dp, 8dn)は、短チャンネル効果を抑制または防止し、パンチスルーを抑制または防止する機能を持った領域であり、そのピーク濃度領域は、断面で見た場合に、MISの半導体領域4b, 5bのピーク濃度領域よりは深く(あるいはほぼ同じ位置)、第1の半導体領域8d(8dp, 8dn)よりは浅い位置に形成されている。この半導体領域8e(8ep, 8en)のピーク濃度領域は、断面で見た場合に、MISの半導体領域4b, 5bとは重なって(接して)いるが、半導体領域8d(8dp, 8dn)とは重なる(接する)ことのないように形成されている。これ以外の構造は前記実施の形態1, 2と同じなので説明を省略する。

【0046】

このような半導体領域8d, 8eを形成するには、例えば次のようにする。まず、図2に示した工程後に半導体基板1上にゲート電極7を形成する。続いて、nMIS形成領域が露出され、それ以外が覆われるようなフォトリソ膜を形成した後、そのフォトリソ膜およびゲート電極7をマスクとして、半導体基板1に、例えばホウ素または2フッ化ホウ素等をイオン打ち込みすることにより、第1の半導体領域8dpをゲート電極7に対して自己整合的に形成する。続いて、そのフォトリソ膜を除去した後、半導体基板1の主面上に、pMIS形成領域が露出され、それ以外が覆われるようなフォトリソ膜を形成した後、そのフォトリソ膜およびゲート電極7をマスクとして、半導体基板1に、例えばリンまたはヒ素をイオン打ち込みすることにより、第1の半導体領域8dnをゲート電極7に対して自己整合的に形成する。

【0047】

その後、そのフォトリソ膜を除去した後、半導体基板1上に、低電圧nMIS形成領域が露出され、それ以外の領域が覆われるようなフォトリソ膜を形成した後、そのフォトリソ膜およびゲート電極7をマスクとして、半導体基板1に、例えばホウ素または2フッ化ホウ素等をイオン打ち込みすることにより、第2の半導体領域8epをゲート電極7に対して自己整合的に形成する。この際は、第1の半導体領域8dpよりも浅い位置に形成されるようにする。続いて、そのフォトリソ膜を除去した後、半導体基板1上に、低電圧pMIS形成領域が露出され、それ以外の領域が覆われるようなフォトリソ膜を形成した後、そのフォトリソ膜およびゲート電極7をマスクとして、半導体基板1に、例えばリンまたはヒ素等をイオン打ち込みすることにより、第2の半導体領域8enをゲート電極7に対して自己整合的に形成する。この際は、第1の半導体領域8dnよりも浅い位置に形成されるようにする。これ以降は前記実施の形態1, 2と同じなので説明を省略する。

【0048】

本実施の形態3においては、前記実施の形態1で得られた効果の他に以下の効果を得ることが可能となる。すなわち、MISのチャンネル下に第1, 第2のパンチスルーストップ用の半導体領域8d, 8eを設けないようにしてあるので、MISのしきい値電圧が必要以上に上昇してしまうのを抑制することが可能となる。

【0049】

(実施の形態4)

本実施の形態4においては、図11に示すように、高電圧MIS形成領域には、半導体領域8c(8cp, 8cn)のみが配置され、低電圧MIS形成領域には、半導体領域8c(8cp, 8cn)および半導体領域8d(8dp, 8dn)が配置されている。これ以外は、前記実施の形態1~3と同じなので説明を省略する。

【0050】

このような半導体領域8c, 8dを形成するには、例えば次のようにする。まず、図2に示した工程後に半導体基板1上に高電圧nMIS形成領域および低電圧nMIS形成領域が露出し、それ以外が覆われるようなフォトリソ膜を形成した後、これをマスクとして、半導体基板1に、例えばホウ素または2フッ化ホウ素をイオン打ち込みすることにより、半導体領域8cnを形成する。続いて、そのフォトリソ膜を除去した後、高電圧

10

20

30

40

50

p M I S 形成領域および低電圧 p M I S 形成領域が露出し、それ以外が覆われるようなフォトレジスト膜を形成した後、これをマスクとして、半導体基板 1 に、例えばリンまたはヒ素をイオン打ち込みすることにより、半導体領域 8 c p を形成する。その後、そのフォトレジスト膜を除去した後、半導体基板 1 上にゲート電極 7 を形成する。

【 0 0 5 1 】

次いで、低電圧 n M I S 形成領域が露出され、それ以外が覆われるようなフォトレジスト膜を形成した後、そのフォトレジスト膜およびゲート電極 7 をマスクとして、半導体基板 1 に、例えばホウ素または 2 フッ化ホウ素等をイオン打ち込みすることにより、パンチスルーストップ用の半導体領域 8 d p をゲート電極 7 に対して自己整合的に形成する。この際は、パンチスルーストップ用の半導体領域 8 c p よりも深い位置に形成されるようにする。

10

【 0 0 5 2 】

続いて、そのフォトレジスト膜を除去した後、半導体基板 1 の主面上に、低電圧 p M I S 形成領域が露出され、それ以外が覆われるようなフォトレジスト膜を形成した後、そのフォトレジスト膜およびゲート電極 7 をマスクとして、半導体基板 1 に、例えばリンまたはヒ素をイオン打ち込みすることにより、半導体領域 8 d n をゲート電極 7 に対して自己整合的に形成する。この際は、半導体領域 8 c n よりも深い位置に形成されるようにする。これ以降は前記実施の形態 1 ~ 3 と同じなので説明を省略する。

【 0 0 5 3 】

本実施の形態 4 においても前記実施の形態 1 と同様の効果を得ることができるほか、チャンネル直下に半導体領域 8 d の不純物分布が存在しないことから、前記実施の形態 1 の場合よりも M I S F E T のしきい値電圧の必要以上の上昇を抑制することが可能となる。

20

【 0 0 5 4 】

(実施の形態 5)

本実施の形態 5 においては、半導体基板として S O I (Silicon On Insulator) 基板を用いる。図 1 2 に示すように、半導体基板 1 は、支持基板 1 a 上に埋込絶縁層 1 b を介して半導体層 1 c を設けた S O I 基板が使用されている。支持基板 1 a は、例えばシリコン単結晶からなり、半導体基板 1 の機械的強度を保つ機能を有している。埋込絶縁層 1 b は、例えば酸化シリコン膜からなり、支持基板 1 a と半導体層 1 c とを貼り付け、かつ、電氣的に絶縁する機能を有している。半導体層 1 c は、例えばシリコン単結晶からなり、半導体素子を形成する薄い層である。この半導体層 1 c には、埋込絶縁層 1 b に達する溝が形成されており、その溝内に酸化シリコン膜等からなる絶縁膜が埋め込まれて分離部 (トレンチアイソレーション) 3 が形成されている。半導体層 1 c において、分離部 3 に囲まれた活性領域には、前記高電圧 n M I S Q N 1、低電圧 n M I S Q N 2、高電圧 p M I S Q P 1 および低電圧 p M I S Q P 2 が形成されている。

30

【 0 0 5 5 】

本実施の形態 5 においては、低電圧 n M I S Q N 2 および低電圧 p M I S Q P 2 のみに前記半導体領域 8 b (8 b p、8 b n) が形成されている。この半導体領域 8 b は、ゲート電極 7 に対して自己整合的に形成されている。これ以外は、前記実施の形態 1 と同じなので説明を省略する。また、半導体領域 8 b の形成方法も、前記実施の形態 1 と同じなので説明を省略する。本実施の形態 5 においても前記実施の形態 1 と同様の効果を得ることができる。

40

【 0 0 5 6 】

(実施の形態 6)

本実施の形態 6 は、前記実施の形態 5 の変形例を説明するものである。

【 0 0 5 7 】

本実施の形態 6 においては、図 1 3 に示すように、S O I 構造の半導体基板 1 に形成された低電圧 n M I S Q N 2 および低電圧 p M I S Q P 2 の半導体層 1 c に前記半導体領域 8 c が形成されている。それ以外は、前記実施の形態 5 と同じなので説明を省略する。また、半導体領域 8 c の形成方法も、前記実施の形態 2 と基本的に同じなので説明を省略する

50

。本実施の形態 5 においても前記実施の形態 1 と同様の効果を得ることができる。

【0058】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態 1 ~ 6 に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0059】

例えば前記実施の形態 1 ~ 6 においては、半導体基板として通常の半導体基板、SOI 基板を用いた場合について説明したが、これに限定されるものではなく、例えば通常のシリコン単結晶からなる半導体基板の表面に、シリコン単結晶等からなるエピタキシャル層を形成してなるエピタキシャルウエハを用いることもできる。

10

【0060】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である CMOS を有する ASIC に適用した場合について説明したが、それに限定されるものではなく、例えば DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) またはフラッシュメモリ (EEPROM; Electric Erasable Programmable Read Only Memory) 等のようなメモリ回路を有する半導体装置、マイクロプロセッサ等のような論理回路を有する半導体装置あるいは上記メモリ回路と論理回路とを同一半導体基板に設けている混載型の半導体装置にも適用できる。

【0061】

【発明の効果】

20

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

(1). 本発明によれば、2 種以上の電源電圧を有する半導体装置において低電圧電界効果トランジスタの性能を維持したまま、高電圧で駆動する電界効果トランジスタのホットキャリア耐性を向上させることが可能となる。

(2). 本発明によれば、2 種以上の電源電圧を有する半導体装置において低電圧電界効果トランジスタの性能を維持したまま、高電圧で駆動する電界効果トランジスタのソース・ドレイン用の半導体領域とウエルとの間のバンド - バンド間のトンネル接合リーク電流を低減することが可能となる。

(3). 本発明によれば、2 種以上の電源電圧を有する半導体装置において低電圧電界効果トランジスタの性能を維持したまま、高電圧で駆動する電界効果トランジスタのウエルとドレインとの間の耐圧を向上させることが可能となる。

30

(4). 本発明によれば、2 種以上の電源電圧を有する半導体装置において、プロセスを複雑化することなく、高性能で、かつ、信頼性の高い半導体装置を実現することが可能となる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態である半導体装置の要部断面図である。

【図 2】図 1 の半導体装置の製造工程中における要部断面図である。

【図 3】図 2 に続く半導体装置の製造工程中における要部断面図である。

【図 4】図 3 に続く半導体装置の製造工程中における要部断面図である。

40

【図 5】図 4 に続く半導体装置の製造工程中における要部断面図である。

【図 6】図 5 に続く半導体装置の製造工程中における要部断面図である。

【図 7】図 6 に続く半導体装置の製造工程中における要部断面図である。

【図 8】図 7 に続く半導体装置の製造工程中における要部断面図である。

【図 9】本発明の他の実施の形態である半導体装置の要部断面図である。

【図 10】本発明の他の実施の形態である半導体装置の要部断面図である。

【図 11】本発明の他の実施の形態である半導体装置の要部断面図である。

【図 12】本発明の他の実施の形態である半導体装置の要部断面図である。

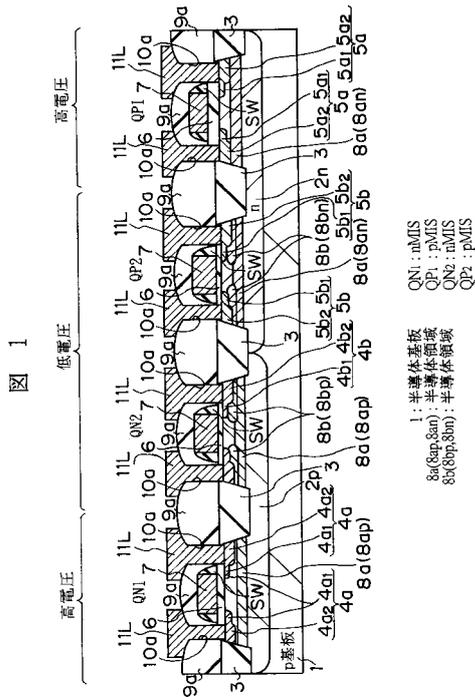
【図 13】本発明のさらに他の実施の形態である半導体装置の要部断面図である。

【符号の説明】

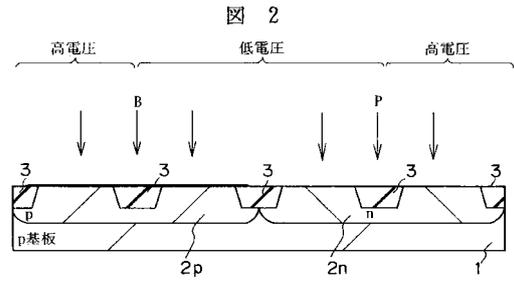
50

1	半導体基板	
1 a	支持基板	
1 b	埋込絶縁層	
1 c	半導体層	
2 p	pウエル	
2 n	nウエル	
3	分離部	
4 a , 4 b	半導体領域	
4 a 1	低濃度領域	
4 a 2	高濃度領域	10
5 a , 5 b	半導体領域	
5 a 1	低濃度領域	
5 a 2	高濃度領域	
6	ゲート絶縁膜	
7	ゲート電極	
8 a	半導体領域	
8 a n	半導体領域	
8 a p	半導体領域	
8 b	半導体領域	
8 b n	半導体領域	20
8 b p	半導体領域	
8 c	半導体領域	
8 c n	半導体領域	
8 c p	半導体領域	
8 d	半導体領域	
8 d n	半導体領域	
8 d p	半導体領域	
8 e	半導体領域	
8 e n	半導体領域	
8 e p	半導体領域	30
9 a	層間絶縁膜	
1 0 a	接続孔	
1 1 L	第1層配線	
Q P 1	p M I S	
Q P 2	p M I S	
Q N 1	n M I S	
Q N 2	n M I S	
R 1 , R 2	フォトレジスト膜	
S W	サイドウォール	

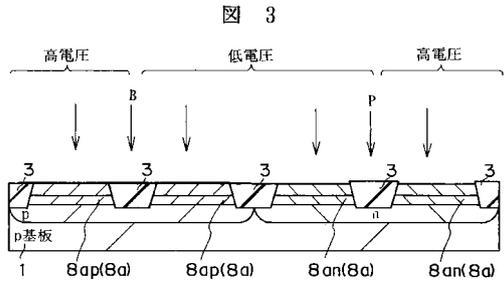
【 図 1 】



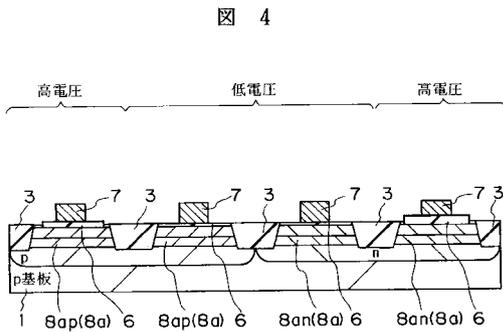
【 図 2 】



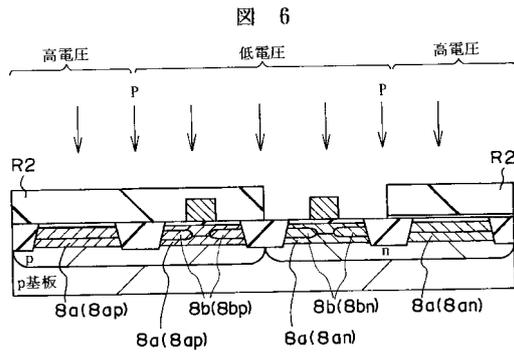
【 図 3 】



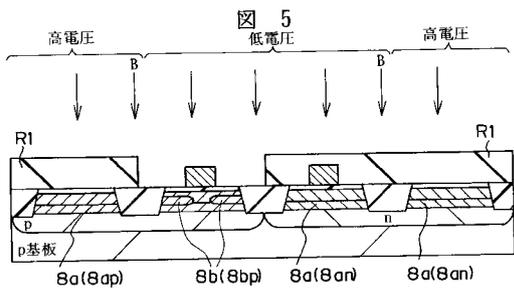
【 図 4 】



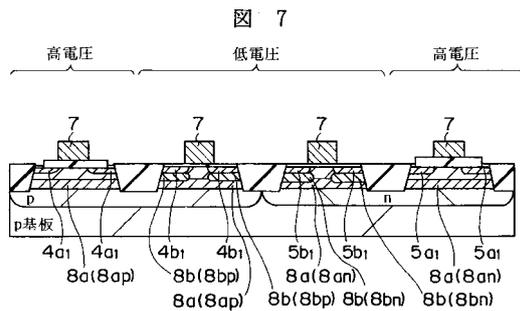
【 図 6 】



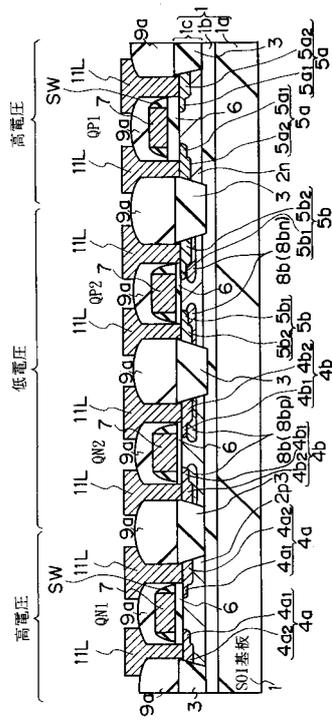
【 図 5 】



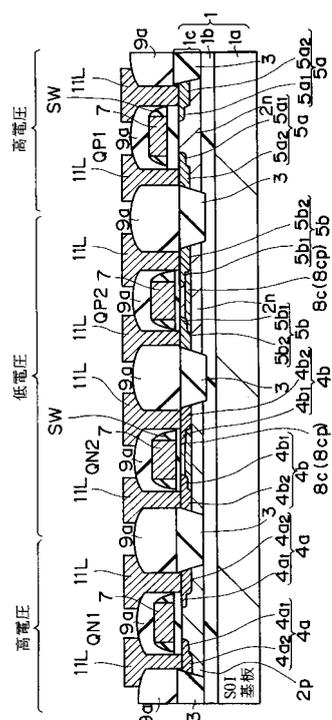
【 図 7 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/10 (2006.01) H 0 1 L 29/78 6 1 6 V
H 0 1 L 29/786 (2006.01)

(72)発明者 野中 裕介
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
(72)発明者 柳沢 泰伸
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

審査官 宇多川 勉

(56)参考文献 特開平11-220036(JP,A)
特開平10-107160(JP,A)
国際公開第98/045876(WO,A1)
特開平10-326838(JP,A)
特開平11-354785(JP,A)
特開2000-040747(JP,A)
特開2000-068388(JP,A)
特開2001-085533(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8234
H01L 21/822
H01L 27/04
H01L 27/088
H01L 27/092
H01L 27/10
H01L 29/78
H01L 29/786