



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월30일
(11) 등록번호 10-0780767
(24) 등록일자 2007년11월23일

(51) Int. Cl.

G11C 8/18 (2006.01)

(21) 출원번호 10-2006-0032370
(22) 출원일자 2006년04월10일
심사청구일자 2006년04월10일
(65) 공개번호 10-2007-0101412
공개일자 2007년10월17일

(56) 선행기술조사문헌

KR100159074 B1
KR1020030003857 A
KR1020030035987 A

전체 청구항 수 : 총 10 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

조용덕

경기 이천시 부발읍 아미리 하이닉스반도체

(74) 대리인

특허법인아주

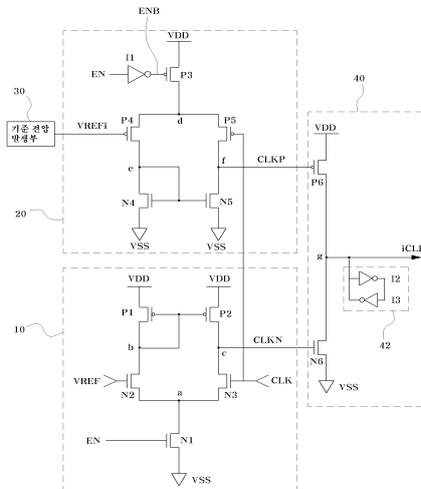
심사관 : 손윤식

(54) 클럭 입력회로

(57) 요약

본 발명은 외부 클럭신호와 제 1 기준전압 신호를 차동증폭하여 제 1 클럭신호를 발생하는 제 1 클럭 버퍼부; 상기 외부 클럭신호와 제 2 기준전압 신호를 차동증폭하여 제 2 클럭신호를 발생하는 제 2 클럭 버퍼부; 및 상기 제 1 클럭신호 및 상기 제 2 클럭신호에 응답하여 내부 클럭신호를 발생하는 드라이버부를 포함하는 클럭 입력회로를 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

외부 클럭신호와 제 1 기준전압 신호를 차동증폭하여 제 1 클럭신호를 발생하는 제 1 클럭 버퍼부;

상기 외부 클럭신호와 상기 제 1 기준전압 신호에 발생되는 노이즈에 관계없이 안정적으로 발생하는 제 2 기준전압 신호를 차동증폭하여 제 2 클럭신호를 발생하는 제 2 클럭 버퍼부; 및

상기 제 1 클럭신호에 응답하여 풀다운구동되고 상기 제 2 클럭신호에 응답하여 풀업구동되는 내부 클럭신호를 발생하는 드라이버부를 포함하는 클럭 입력회로.

청구항 2

제 1 항에 있어서,

상기 제 1 기준전압 신호는 외부에서 설정되는 제1 기준전압 신호인 것을 특징으로 하는 클럭 입력회로.

청구항 3

제 1 항에 있어서,

상기 제 2 기준전압 신호는 밴드갭 기준전압 발생기로부터 생성되는 것을 특징으로 하는 클럭 입력회로.

청구항 4

제 1 항에 있어서,

상기 제1 기준전압 신호의 전압레벨에 따라서 상기 제 1 클럭신호 및 상기 제 2 클럭신호의 상승시간 및 하강시간이 결정되는 것을 특징으로 하는 클럭 입력회로.

청구항 5

제 1 항에 있어서,

상기 제 1 클럭 버퍼부는 접지전압과 제 1 노드 사이에 연결되고, 인에이블 신호에 응답하여 상기 제 1 노드를 풀-다운 구동하는 풀-다운소자와;

상기 제 1 노드와 제 2 노드 사이에 연결되고, 상기 제 1 기준전압 신호에 응답하여 턴-온되는 제 1 트랜지스터와;

상기 제 1 노드와 상기 제 1 클럭신호의 출력노드 사이에 연결되고, 상기 외부 클럭신호에 응답하여 턴-온되는 제 2 트랜지스터와;

상기 제 2 노드에 게이트를 공유하는 제 3 트랜지스터 및 제 4 트랜지스터를 포함하되,

상기 제 3 트랜지스터는 전원전압과 상기 제 2 노드 사이에 연결되고, 상기

제 4트랜지스터는 전원전압과 상기 제 1 클럭신호의 출력노드 사이에 연결되는 것을 특징으로 하는 클럭 입력회로.

청구항 6

제 5항에 있어서,

상기 풀-다운 소자와 제 1 트랜지스터 및 제 2 트랜지스터는 NMOS 트랜지스터이고, 상기 제 3 트랜지스터 및 제 4 트랜지스터는 PMOS 트랜지스터인 것을 특징으로 하는 클럭 입력회로.

청구항 7

제 1 항에 있어서,

상기 제 2 클럭 버퍼부는 전원전압과 제 1 노드 사이에 연결되고, 인에이블 신호를 버퍼링한 신호에 응답하여 상기 제 1 노드를 풀-업 구동하는 풀-업소자와;

상기 제 1 노드와 제 2 노드 사이에 연결되고, 상기 제 2 기준전압 신호에 응답하여 턴-온되는 제 1 트랜지스터와;

상기 제 1 노드와 상기 제 2 클럭신호의 출력노드 사이에 연결되고, 상기 외부 클럭신호에 응답하여 턴-온되는 제 2 트랜지스터와;

상기 제 2 노드에 게이트를 공유하는 제 3 트랜지스터 및 제 4 트랜지스터를 포함하되,

상기 제 3 트랜지스터는 접지전압과 상기 제 2 노드 사이에 연결되고, 상기

제 4트랜지스터는 접지전압과 상기 제 2 클럭신호의 출력노드 사이에 연결되는 것을 특징으로 하는 클럭 입력 회로.

청구항 8

제 7항에 있어서,

상기 풀-업소자와 상기 제 1 및 제 2 트랜지스터는 PMOS 트랜지스터이고, 상기 제 3 및 제 4 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 클럭 입력회로.

청구항 9

제 1항에 있어서,

상기 드라이버부는 상기 제 1 클럭신호에 응답하여 상기 내부 클럭신호 출력단을 풀-다운 구동하는 풀-다운 소자 및;

상기 제 2 클럭신호에 응답하여 상기 내부 클럭신호 출력단을 풀-업 구동하는 풀-업 소자를 포함하여 구성되는 클럭 입력회로.

청구항 10

제 9항에 있어서,

상기 드라이버부는 상기 내부 클럭신호 출력단에 연결되어, 상기 내부 클럭신호를 래치하는 래치부를 더 포함하는 클럭 입력회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 클럭 입력회로에 관한 것으로, 더욱 구체적으로는 외부 클럭신호와 내부 클럭신호 간의 지연시간 및 내부 클럭신호의 듀티 사이클 변동폭을 최소화할 수 있도록 한 클럭 입력회로에 관한 것이다.
- <12> 도 1은 종래의 반도체 소자의 클럭 입력회로의 회로도들을 도시한 것이다. 도 1을 참조하면, 종래의 클럭 입력회로는 전류미러로 동작하는 PMOS 트랜지스터(P1, P2)와, 게이트에 각각 제공되는 제1 기준전압 신호(VREF)과 외부 클럭신호(CLK)를 차동입력신호로 하여 클럭신호(CLKN)를 발생하는 NMOS 트랜지스터(N1, N2)와, 인에이블신호(EN)에 응답하여 상기 NMOS 트랜지스터(N1, N2)를 인에이블시켜 주는 NMOS 트랜지스터(N3)와, 상기 클럭신호(CLKN)를 반전시켜 내부 클럭신호(iCLK)를 발생하는 인버터(I1)를 구비한다.
- <13> 상기 인에이블신호(EN)에 의해 상기 NMOS 트랜지스터(N3)가 턴-온되면, NMOS 트랜지스터(N1, N2)는 각각 게이트에 제공되는 기준전압 신호(Vref)의 전압레벨과 외부 클럭신호(CLK)의 전압레벨의 차를 증폭하여 클럭신호(CLKN)를 발생한다. 상기 클럭신호(CLKN)는 인버터(I1)를 통해 반전되어 디지털 전압레벨의 내부 클럭신호(iCLK)를 발생한다.
- <14> 그러나, 종래의 클럭 입력회로는 NMOS 트랜지스터로 구성된 차동증폭소자만으로 구성되므로, 도 4에 도시된 바와 같이 제1 기준전압 신호(VREF)의 전압레벨이 증가함에 따라 외부 클럭신호(CLK)와 내부 클럭신호(iCLK) 간의

지연시간(td)이 증가되는 문제가 있었다. 또한, 도 5에 도시된 바와 같이 제1 기준전압 신호(VREF)의 전압레벨이 증가함에 따라 내부 클럭신호(iCLK)의 듀티 사이클이 감소되고, 듀티 사이클의 감소량도 커지는 문제도 있었다. 이와 같은 문제들은 반도체 칩 내부에서 클럭신호와 관련된 데이터 셋업 타임과 홀드타임이 기준전압 신호(VREF)의 노이즈에 민감하게 반응하여 상기 클럭신호와 반도체칩 내부의 여러 가지 제어신호들과의 타이밍 마진이 감소되어 야기된 것이다.

발명이 이루고자 하는 기술적 과제

<15> 따라서, 본 발명이 이루고자 하는 기술적 과제는 외부 클럭신호와 내부 클럭신호 간의 지연시간 및 내부 클럭신호의 듀티 사이클 변동폭을 최소화할 수 있도록 한 클럭 입력회로를 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

<16> 상기 기술적 과제를 달성하기 위하여, 본 발명은 외부 클럭신호와 제 1 기준전압 신호를 차동증폭하여 제 1 클럭신호를 발생하는 제 1 클럭 버퍼부; 상기 외부 클럭신호와 제 2 기준전압 신호를 차동증폭하여 제 2 클럭신호를 발생하는 제 2 클럭 버퍼부; 및 상기 제 1 클럭신호 및 상기 제 2 클럭신호에 응답하여 내부 클럭신호를 발생하는 드라이버부를 포함하는 클럭 입력회로를 제공한다.

<17> 본 발명에 있어서, 상기 제 1 기준전압 신호는 외부에서 설정되는 제1 기준전압 신호인 것을 특징으로 하는 것이 바람직하다.

<18> 본 발명에 있어서, 상기 제 2 기준전압 신호는 밴드갭 기준전압 발생기로부터 생성되는 것을 특징으로 하는 것이 바람직하다.

<19> 본 발명에 있어서, 상기 제2기준전압 신호의 전압레벨에 따라서 상기 제 1 클럭신호 및 상기 제 2 클럭신호의 상승시간 및 하강시간이 결정되는 것을 특징으로 하는 것이 바람직하다.

<20> 본 발명에 있어서, 상기 제 1 클럭 버퍼부는 접지전압과 제 1 노드 사이에 연결되고, 인에이블 신호에 응답하여 상기 제 1 노드를 풀-다운 구동하는 풀-다운소자와; 상기 제 1 노드와 제 2 노드 사이에 연결되고, 상기 제 1 기준전압 신호에 응답하여 턴-온되는 제 1 트랜지스터와; 상기 제 1 노드와 상기 제 1 클럭신호의 출력노드 사이에 연결되고, 상기 외부 클럭신호에 응답하여 턴-온되는 제 2 트랜지스터와; 상기 제 2 노드에 게이트를 공유하는 제 3 트랜지스터 및 제 4 트랜지스터를 포함하되, 상기 제 3 트랜지스터는 전원전압과 상기 제 2 노드 사이에 연결되고, 상기 제 4 트랜지스터는 전원전압과 상기 제 1 클럭신호의 출력노드 사이에 연결되는 것을 특징으로 하는 것이 바람직하다.

<21> 본 발명에 있어서, 상기 풀-다운 소자와 제 1 트랜지스터 및 제 2 트랜지스터는 NMOS 트랜지스터이고, 상기 제 3 트랜지스터 및 제 4 트랜지스터는 PMOS 트랜지스터인 것을 특징으로 하는 것이 바람직하다.

<22> 본 발명에 있어서, 상기 제 2 클럭 버퍼부는 전원전압과 제 1 노드 사이에 연결되고, 인에이블 신호를 버퍼링한 신호에 응답하여 상기 제 1 노드를 풀-업 구동하는 풀-업소자와; 상기 제 1 노드와 제 2 노드 사이에 연결되고, 상기 제 2 기준전압 신호에 응답하여 턴-온되는 제 1 트랜지스터와; 상기 제 1 노드와 상기 제 2 클럭신호의 출력노드 사이에 연결되고, 상기 외부 클럭신호에 응답하여 턴-온되는 제 2 트랜지스터와; 상기 제 2 노드에 게이트를 공유하는 제 3 트랜지스터 및 제 4 트랜지스터를 포함하되, 상기 제 3 트랜지스터는 접지전압과 상기 제 2 노드 사이에 연결되고, 상기 제 4 트랜지스터는 접지전압과 상기 제 2 클럭신호의 출력노드 사이에 연결되는 것을 특징으로 하는 것이 바람직하다.

<23> 본 발명에 있어서, 상기 풀-업소자와 상기 제 1 및 제 2 트랜지스터는 PMOS 트랜지스터이고, 상기 제 3 및 제 4 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 것이 바람직하다.

<24> 본 발명에 있어서, 상기 드라이버부는 상기 제 1 클럭신호에 응답하여 상기 내부 클럭신호 출력단을 풀-다운 구동하는 풀-다운 소자 및; 상기 제 2 클럭신호에 응답하여 상기 내부 클럭신호 출력단을 풀-업 구동하는 풀-업 소자를 포함하여 구성되는 것이 바람직하다.

<25> 본 발명에 있어서, 상기 드라이버부는 상기 내부 클럭신호 출력단에 연결되어, 상기 내부 클럭신호를 래치하는 래치부를 더 포함하는 것이 바람직하다.

<26> 이하, 실시예를 통하여 본 발명을 더욱 상세히 설명하기로 한다. 이들 실시예는 단지 본 발명을 예시하기 위한 것이며, 본 발명의 권리 보호 범위가 이들 실시예에 의해 제한되는 것은 아니다.

- <27> 도 2는 본 발명의 실시예에 따른 클럭 입력회로를 도시한 것이다.
- <28> 도 2에서 도시한 바와 같이, 본 발명의 실시예에 따른 클럭 입력회로는 외부 클럭신호(CLK)와 제 1 기준전압 신호(VREF)를 차동증폭하여 제 1 클럭신호(CLKN)를 발생하는 제 1 클럭 버퍼부(10)와; 상기 외부 클럭신호(CLK)와 제 2 기준전압 신호(VREFi)를 차동증폭하여 제 2 클럭신호(CLKP)를 발생하는 제 2 클럭 버퍼부(20)와; 상기 제 2 기준전압 신호(VREFi)를 생성하여 출력하는 밴드갭 기준전압 발생기(30) 및; 상기 제 1 클럭신호(CLKN) 및 상기 제 2 클럭신호(CLKP)에 응답하여 내부 클럭신호(iCLK)를 발생하는 드라이버부(40)를 포함한다.
- <29> 여기서, 상기 제 1 기준전압 신호(VREF)는 외부에서 설정되는 제1 기준전압 신호이고, 상기 제 2 기준전압 신호(VREFi)를 생성하는 밴드갭(Bandgap) 기준전압 발생기는 온도계수를 극소화시킨 기준전압을 생성하는 회로로서 반도체 장치에서 일반적으로 사용되는 회로이다.
- <30> 상기 제 1 클럭 버퍼부(10)는 접지전압(VSS)과 노드(a) 사이에 연결되고, 인에이블 신호(EN)에 응답하여 노드(a)를 풀-다운 구동하는 제 1 NMOS 트랜지스터(N1)와, 상기 노드(a)와 노드(b) 사이에 연결되고, 상기 제 1 기준전압 신호(VREF)에 응답하여 턴-온되는 제 2 NMOS 트랜지스터(N2)와; 상기 노드(a)와 상기 제 1 클럭신호(CLKN)이 출력되는 노드(c) 사이에 연결되고, 상기 외부 클럭신호(CLK)에 응답하여 턴-온되는 제 3 NMOS 트랜지스터(N3)와, 상기 노드(b)에 게이트를 공유하는 제 1 PMOS 트랜지스터(P1) 및 제 2 PMOS 트랜지스터(P2)를 포함하여 구성되되, 상기 제 1 PMOS 트랜지스터(P1)는 전원전압(VDD)과 상기 노드(b) 사이에 연결되고, 상기 제 2 PMOS 트랜지스터(P2)는 전원전압(VDD)과 상기 노드(c) 사이에 연결된다.
- <31> 상기 제 2 클럭 버퍼부(20)는 전원전압(VDD)과 노드(d) 사이에 연결되고, 인에이블 신호(EN)가 인버터(I1)를 통해 버퍼링된 신호에 응답하여 노드(d)를 풀-업 구동하는 제 3 PMOS 트랜지스터(P3)와, 상기 노드(d)와 노드(e) 사이에 연결되고, 상기 제 2 기준전압 신호(VREFi)에 응답하여 턴-온되는 제 4 PMOS 트랜지스터(P4)와; 상기 노드(d)와 상기 제 2 클럭신호(CLKP)이 출력되는 노드(f) 사이에 연결되고, 상기 외부 클럭신호(CLK)에 응답하여 턴-온되는 제 5 PMOS 트랜지스터(P5)와, 상기 노드(e)에 게이트를 공유하는 제 4 NMOS 트랜지스터(N4) 및 제 5 NMOS 트랜지스터(N5)를 포함하여 구성되되, 상기 제 4 NMOS 트랜지스터(N4)는 상기 노드(e)와 접지전압(VSS) 사이에 연결되고, 상기 제 5 NMOS 트랜지스터(N5)는 접지전압(VSS)과 상기 노드(f) 사이에 연결된다.
- <32> 상기 드라이버부(40)는 상기 제 1 클럭신호(CLKN)에 응답하여 상기 내부 클럭신호(iCLK)가 출력되는 노드(g)를 풀-다운 구동하는 제 6 NMOS 트랜지스터(N6)와, 상기 제 2 클럭신호(CLKP)에 응답하여 상기 노드(g)를 풀-업 구동하는 제 6 PMOS 트랜지스터(P6) 및, 상기 노드(g)에 연결되어, 상기 내부 클럭신호(iCLK)를 래치하는 복수의 인버터(I2, I3)로 구성된 래치부(42)를 포함하여 구성된다.
- <33> 이와 같은 구성을 갖는 본 발명의 클럭 입력회로의 동작을 도 3을 참조하여 설명하면 다음과 같다.
- <34> 먼저, 제1 기준전압 신호(VREF)와 제2 기준전압 신호(VREFi)의 전압레벨이 동일하다고 가정한다. 상기 제 1 클럭 버퍼부(10)는 상기 인에이블신호(EN)에 제 1 NMOS 트랜지스터(N1)가 턴-온되면, 제 2 및 제 3 NMOS 트랜지스터(N3, N4)가 구동되어 각각의 게이트에 인가되는 제1 기준전압 신호(VREF)와 외부 클럭신호(CLK)를 차동증폭한다. 이때, 상기 외부 클럭신호(CLK)가 상기 제1 기준전압 신호(VREF)보다 전압레벨이 큰 경우에는, 상기 제 1 클럭 버퍼부(10)는 로우레벨의 제 1 클럭신호(CLKN)를 발생한다.
- <35> 또한, 상기 제2클럭 버퍼부(20)는 반전 인에이블신호(ENB)에 의해 제 3 PMOS 트랜지스터(P3)가 턴-온되면 제 4 및 제 5 PMOS 트랜지스터(P4, P5)가 동작하여 각각 게이트에 제공되는 제2 기준전압 신호(VREFi)와 외부 클럭신호(CLK)를 차동증폭한다. 이때, 상기 외부 클럭신호(CLK)가 상기 제2 기준전압 신호(VREFi)보다 전압레벨이 큰 경우에는, 로우레벨의 제 2 클럭신호(CLKP)를 발생한다.
- <36> 그리고, 상기 드라이버부(40)는 상기 제 1 클럭 버퍼부(10)로부터 제공되는 로우레벨의 제 1 클럭신호(CLKN)와 상기 제 2 클럭 버퍼부(20)로부터 제공되는 로우레벨의 제 2 클럭신호(CLKP)에 의해 제 6 NMOS 트랜지스터(N6)는 턴-오프되고, 제 6 PMOS 트랜지스터(P6)는 턴-온된다. 그 결과, 상기 드라이버부(40)는 노드(g)를 통해 하이레벨의 내부 클럭신호(iCLK)를 발생한다.
- <37> 한편, 상기 외부 클럭신호(CLK)가 상기 제1 기준전압 신호(VREF)보다 전압레벨이 작은 경우에는, 상기 제 1 클럭 버퍼부(10)는 하이레벨의 제 1 클럭신호(CLKN)를 발생하고, 상기 제 2 클럭 버퍼부(20)는 하이레벨의 제 2 클럭신호(CLKP)를 발생한다. 따라서, 상기 드라이버부(40)의 제 6 PMOS 트랜지스터(P6)는 턴-오프되고, 제 6 NMOS 트랜지스터(N6)는 턴-온된다. 따라서, 노드(g)를 통해 로우레벨의 내부 클럭신호(iCLK)를 발생한다.
- <38> 앞서 살펴본 바와 같이, 제 2 클럭 버퍼부(20)에서 기준전압신호로서 제2 기준전압 신호(VREFi)를 사용하는데,

이때, 상기 제2 기준전압 신호(VREFi)는 밴드갭 기준전압 발생기(30)를 통해 반도체 내부에서 생성되므로, 외부에서 제공되는 기준전압 신호(VREF)에 비해 노이즈가 작다. 그 결과, 제 2 클럭 버퍼부(20)에서 발생하는 제2클럭신호(CLKP)는 외부 기준전압신호(VREF)의 전압레벨의 변동과 무관하게 동작하고, 드라이버부(40)의 제 6 PMOS 트랜지스터(P6)의 턴-온시간은 일정하게 유지되므로 발생하는 내부 클럭신호(iCLK)의 지연시간(td) 변동폭은 매우 작아지게 된다.

- <39> 한편, 드라이버부(40)의 제 6 NMOS 트랜지스터(N6)의 턴-온시간은 제 1 클럭 버퍼부(10)에서 발생하는 제1클럭신호(CLKN)의 상승시간과 하강시간에 의존하게 되며, 제1클럭신호(CLKN)의 상승시간과 하강시간은 제1 기준전압신호(VREF)의 전압레벨에 의존하게 된다. 또한, 상기 제 6 NMOS 트랜지스터(N6)의 턴-온시간은 제 6 PMOS 트랜지스터(P6)와 제 6 NMOS 트랜지스터(N6)가 접속되어 있는 노드(g)를 통해 제 2 클럭신호(CLKP)의 상승시간과 하강시간에도 의존하게 된다.
- <40> 도 3은 내부 클럭신호(iCLK)의 지연시간 및 듀티사이클을 보여주는 도면으로서, 외부 클럭신호(CLK)에 대한 내부 클럭신호(iCLK)의 위상차가 내부 클럭신호(iCLK)의 지연시간(td)으로 된다. 내부 클럭신호(iCLK)의 듀티 사이클(duty cycle)은 $PW/T \times 100$ [%] 로 표현된다. 이때, T 는 내부 클럭신호(iCLK)의 1주기를 나타내고, PW 는 내부 클럭신호(iCLK)의 하이레벨구간을 나타낸다.
- <41> 상기 내부 클럭신호(iCLK)의 지연시간 변동폭이나 듀티 사이클의 변동 폭을 최소화하기 위해서는 회로 시뮬레이션이나 반도체 칩 테스트를 통해 제2 기준전압 신호(VREFi)의 전압레벨을 최적으로 설계하는 것이 바람직하다. 드라이버부(40)의 제 6 PMOS 트랜지스터(P6)의 턴-온시간을 빠르게 하고, 상기 듀티 사이클의 변동폭을 최소화하기 위해서는 상기 제2 기준전압 신호(VREFi)의 전압레벨을 상기 제1 기준전압 신호(VREF)의 전압레벨보다 약간 작게 되도록 설계하는 것이 바람직하다.
- <42> 상기 노드(g)에 인버터(I2, I3)로 구성된 래치가 연결되어 있으므로, 노드(g)가 플로팅되지 않고 로우레벨 또는 하이레벨의 상기 내부 클럭신호(iCLK)를 유지하게 된다.
- <43> 도 4는 제1 기준전압 신호(VREF)에 대한 내부 클럭신호(iCLK)의 지연시간(delay time)을 도시한 것이다. 도 4를 참조하면, 종래의 클럭 입력회로에서는 외부 기준전압신호(VREF)의 전압레벨이 증가함에 따라 지연시간이 증가하는 반면에, 본 발명에서는 제1 기준전압 신호(VREF)의 전압레벨이 증가함에 따라 내부 클럭신호(iCLK)의 지연시간이 크게 변화하지 않음을 알 수 있다. 따라서, 본 발명의 클럭 입력회로는 제1 기준전압 신호(VREF)의 변동량에 거의 관계없는 지연시간을 갖는 내부 클럭신호(iCLK)를 발생함을 알 수 있다.
- <44> 도 5는 제1 기준전압 신호(VREF)에 대한 내부 클럭신호(iCLK)의 듀티 사이클을 도시한 것이다. 도 5를 참조하면, 제1 기준전압 신호(VREF)의 전압레벨이 변화함에 따라 듀티 사이클이 변화함을 알 수 있다. 그러나, 본 발명의 클럭 입력회로는 제1 기준전압 신호(VREF)의 전압레벨이 변화함에 따라 듀티 사이클의 변동량이 작음에 비하여, 종래에는 제1 기준전압 신호(VREF)의 전압레벨에 따라 듀티 사이클이 상당히 크게 변화함을 알 수 있다.

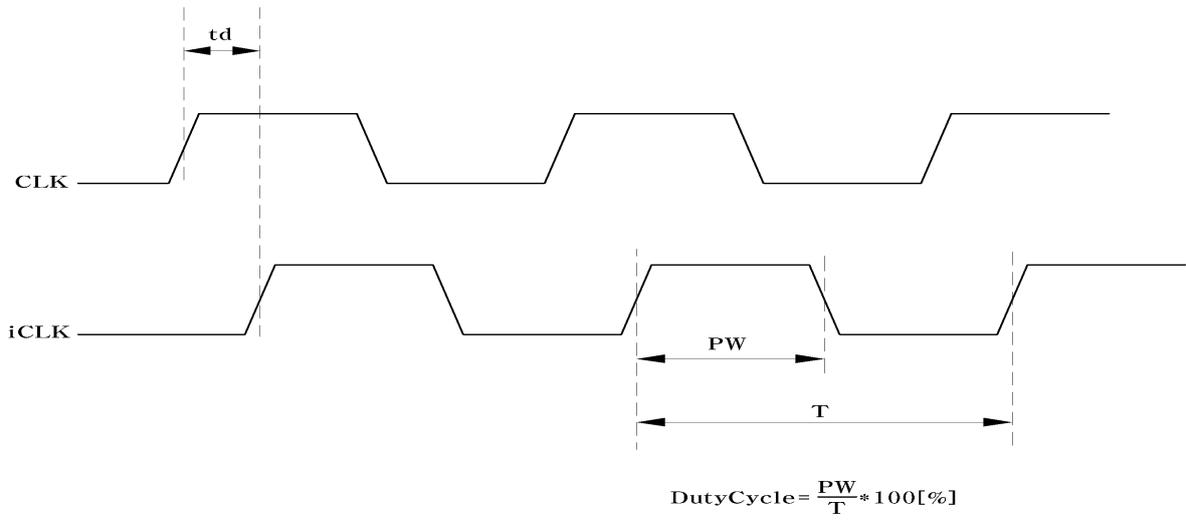
발명의 효과

- <45> 이상 설명한 바와 같이, 본 발명에 따른 클럭 입력회로는 반도체 소자 내부의 밴드갭에 의해 안정적으로 발생된 기준전압 신호를 이용하여 제1 기준전압 신호에 포함된 노이즈가 내부 클럭신호에 미치는 영향을 감소시킴으로써, 외부 클럭신호와 내부 클럭신호 간의 지연시간 및 내부 클럭신호의 듀티 사이클 변동폭을 최소화할 수 있는 효과를 가진다.
- <46> 또한, 본 발명의 클럭입력회로에 의하면 반도체 칩 내부의 데이터 셋업타임이나 홀드타임 등을 개선하여 타이밍 마진을 개선할 수 있는 이점도 가진다.

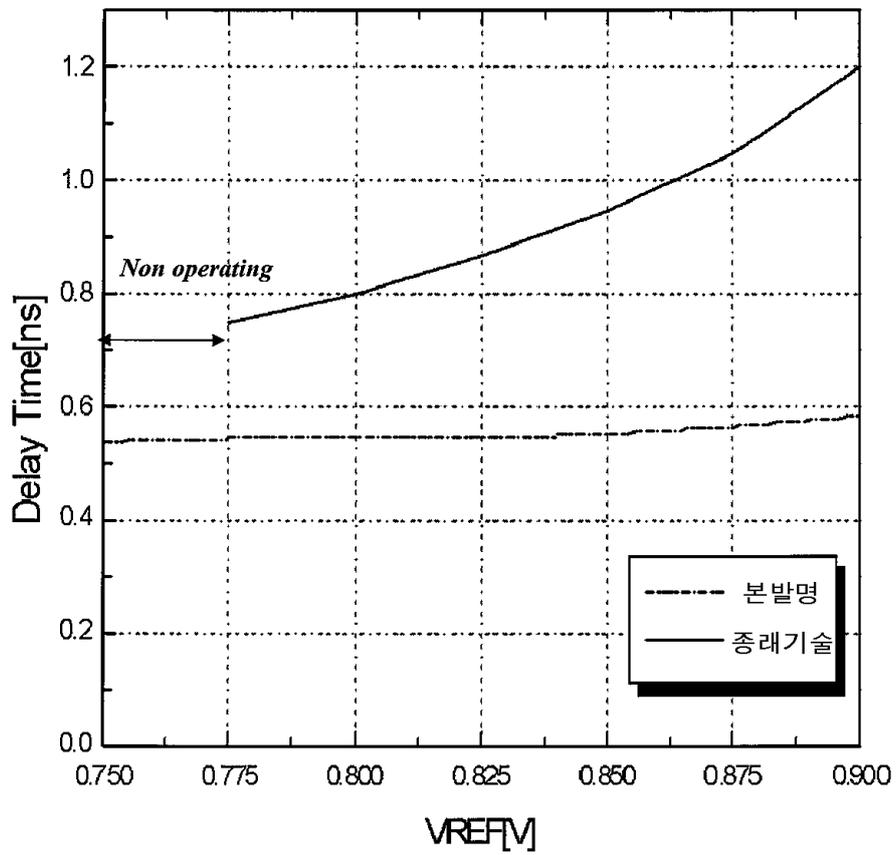
도면의 간단한 설명

- <1> 도 1은 종래의 클럭 입력회로의 회로도이다.
- <2> 도 2는 본 발명의 실시예에 따른 클럭 입력회로의 회로도이다.
- <3> 도 3은 외부 클럭신호에 대한 내부 클럭신호의 지연시간 및 듀티 사이클을 보여주는 도면이다.
- <4> 도 4는 본 발명과 종래의 클럭 입력회로에 있어서, 제1 기준전압 신호에 대한 내부 클럭신호의 지연시간을 보여주는 도면이다.

도면3



도면4



도면5

