

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.		(45) 공고일자	2006년08월11일
H05B 33/00 (2006.01)		(11) 등록번호	10-0611886
H01L 29/786 (2006.01)		(24) 등록일자	2006년08월04일
G09G 3/30 (2006.01)			

(21) 출원번호	10-2004-0048314	(65) 공개번호	10-2005-0122692
(22) 출원일자	2004년06월25일	(43) 공개일자	2005년12월29일

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575		
(72) 발명자	최웅식 경기도 부천시 오정구 원종동 332-31번지 엘리트주택 라동 201호		
(74) 대리인	신영무		

심사관 : 김기영

(54) 개량된 구조의 트랜지스터를 구비한 화소 회로 및 유기발광 표시장치

요약

본 발명은 패널 내의 트랜지스터의 균일도를 향상시켜 화질을 개선한 화소 회로 및 이를 채용한 유기 발광 표시장치에 관한 것이다. 본 발명에 따른 화소 회로는 선택 신호에 응답하여 데이터 신호를 전달하는 스위칭 소자와, 전달된 데이터 신호에 상응하는 전압을 저장하는 캐패시터, 그리고 캐패시터에 저장된 전압에 상응하는 전류를 유기 발광 소자에 공급하는 구동 트랜지스터를 포함하며, 구동 트랜지스터는, 사각 링 모양의 채널과 이 채널의 마주하는 두 모서리 부분에 각각 접속되는 소오스 및 드레인을 가지는 반도체층과, 절연층을 사이에 두고 채널과 마주하는 게이트를 구비하는 것을 특징으로 한다.

대표도

도 1

색인어

유기 발광, 표시장치, TFT, 균일도, 채널

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 구동 트랜지스터에 대한 평면도이다.

도 2는 본 발명의 제1 실시예에 따른 구동 트랜지스터에 고밀도의 결함부가 형성된 경우를 설명하기 위한 평면도이다.

도 3a는 도 1의 I-I 선을 따라 취한 구동 트랜지스터의 단면도이다.

도 3b는 도 1의 II-II 선을 따라 취한 구동 트랜지스터의 단면도이다.

도 4는 본 발명의 제1 실시예에 따른 구동 트랜지스터를 채용한 화소에 대한 레이아웃 도면이다.

도 5는 도 4의 IV-IV 선을 따라 취한 화소의 단면도이다.

도 6은 본 발명의 제1 실시예에 따른 구동 트랜지스터를 채용할 수 있는 다른 화소 회로에 대한 회로도이다.

도 7은 본 발명의 제1 실시예에 따른 구동 트랜지스터를 채용한 유기 발광 표시장치에 대한 구성도이다.

<도면의 주요 부분에 부호의 설명>

100: 트랜지스터 110: 절연기판

120: 반도체층 122: 채널

124: 소오스 126: 드레인

128: 절연층 140: 게이트 전극

150: 소오스 전극 152: 제1 콘택홀

160: 드레인 전극 162: 제2 콘택홀

A, B: 전류 패스 400: 화소

700: 유기 발광 표시장치

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 트랜지스터, 화소 회로 및 유기 발광 표시장치에 관한 것으로, 보다 상세하게는 패널 내의 구동 트랜지스터의 균일도를 높여 표시장치의 화질을 개선하는 화소 회로 및 유기 발광 표시장치에 관한 것이다.

일반적으로 액티브 매트릭스(active matrix)형 유기 발광 표시장치는 패널 내에 박막 트랜지스터(thin film transistor; 이하, "TFT"라고 함) 어레이(array)를 포함한다. 또한 액티브 매트릭스형 유기 발광 표시장치는 적색, 녹색, 청색, 또는 백색을 표시하는 화소 내에 적어도 2개의 박막 트랜지스터를 구비한다. 이들 박막 트랜지스터는 각 화소의 동작을 제어하는 스위칭 트랜지스터 및 유기 발광 소자를 구동시키는 구동 트랜지스터로 이루어진다.

한편, 액티브 매트릭스형 유기 발광 표시장치 내의 패널 내에서 구동 트랜지스터의 특성에 대한 균일도가 떨어지면, 패널 내에 랜덤 무라(random mura)가 증가하고, 제조 공정에 따라 엑시머 레이저 어닐링(excimer laser annealing: ELA) 라인에 따른 무라가 나타나 화질이 떨어지는 중대한 요인이 된다.

통상 구동 트랜지스터의 특성에 대한 불균일은 엑시머 레이저 어닐링의 특성에 기인하는 데 폴리 실리콘 TFT를 만들기 위해 사용하는 ELA는 그 자체의 특성상 ELA의 진행 방향과 ELA 빔 내에 불균일한 에너지가 분포한다. 이것은 패널 내의 구동 TFT에 대한 불균일도를 높인다.

이를 위해, 종래의 액티브 매트릭스형 표시장치에서는 ELA에 의한 TFT 패널의 불균일도를 개선하기 위한 방법으로 여러 가지 보상회로를 각각의 화소 회로에 적용하여 구동 트랜지스터의 문턱 전압을 보상한다. 이러한 방법을 통해, 종래의 액티브 매트릭스형 표시장치에서는 화질 개선을 시도하고 있다.

그러나, 상술한 종래 기술을 이용하면, 화소를 복잡하게 만들고 개구율을 떨어뜨리며, 복잡한 화소 구조에 의해 수율이 감소된다는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상술한 종래의 문제점을 해결하기 위해 도출된 것으로, 본 발명의 목적은 ELA의 불균일에 의해 TFT의 채널의 특정 부위에 결함 상태 밀도(Density of defect state)가 증가하여도 그 채널 부위를 제외한 다른 채널 부위로 전류 패스가 형성되어 전체적인 전류 흐름을 일정하게 유지할 수 있는 박막 트랜지스터를 제공하는 것이다.

본 발명의 다른 목적은 채널 내에 절연섬이 형성되어 있는 박막 트랜지스터를 채용하여 화질을 개선시킨 화소 회로 및 유기 발광 표시장치를 제공하는 것이다.

### 발명의 구성 및 작용

상술한 목적으로 달성하기 위하여, 본 발명의 일 측면에 따르면, 선택 신호에 응답하여 데이터 신호를 전달하는 제1 스위칭 소자, 상기 전달된 데이터 신호에 상응하는 전압을 저장하는 스토리지 캐패시터, 및 상기 스토리지 캐패시터에 저장된 전압에 상응하는 전류를 유기 발광 소자에 공급하는 구동 트랜지스터를 포함하며, 상기 구동 트랜지스터는, 사각 링 모양의 채널과 상기 채널의 마주하는 두 모서리 부분에 각각 접속되는 소오스 및 드레인을 가지는 반도체층과, 절연층을 사이에 두고 상기 채널과 마주하는 게이트를 구비하는 유기 발광 표시장치의 화소 회로가 제공된다.

본 발명의 다른 측면에 따르면, 데이터 신호를 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 그리고 이웃하는 두 데이터선과 이웃하는 두 주사선에 의해 정의되는 화소 영역에 형성되며, 상기 화소 회로를 포함하는 유기 발광 표시장치가 제공된다.

본 발명의 또 다른 측면에 따르면, 절연 기판 상에 형성되며, 사각 링 모양의 채널과 상기 채널의 마주하는 두 모서리 부분에 각각 접속되는 소오스 및 드레인을 포함하는 반도체층, 상기 채널에 접하여 형성되는 절연층, 및 상기 절연층을 사이에 두고 상기 채널과 마주하는 게이트를 구비하는 트랜지스터가 제공된다.

바람직한 일 실시예에서, 상기 반도체층은 폴리 실리콘층으로 형성된다.

또한, 상기 반도체층은 비정질 실리콘층을 결정화하는 결정화 공정에 의해 형성된다.

또한, 상기 결정화 공정은 엑시머 레이저 어닐링 공정을 포함한다.

또한, 상기 채널은 상기 소오스 및 상기 드레인 사이에 형성되는 두 개의 전류 패스를 가진다.

이하, 본 발명을 첨부한 도면을 참조하여 상세히 설명한다

도 1은 본 발명의 제1 실시예에 따른 구동 트랜지스터에 대한 평면도이다. 도 2는 본 발명의 제1 실시예에 따른 구동 트랜지스터에 고밀도의 결함부가 형성된 경우를 설명하기 위한 평면도이다. 도 3a는 도 1의 I-I 선을 따라 취한 구동 트랜지스터의 단면도이다. 그리고, 도 3b는 도 1의 II-II 선을 따라 취한 구동 트랜지스터의 단면도이다.

도 1 내지 도 3b를 참조하면, 구동 트랜지스터(100)는 절연 기판(110) 상에 형성된 반도체층(120), 반도체층(120) 상에 형성된 절연층(130), 그리고 절연층(130)을 사이에 두고 반도체층(120) 내의 채널(122)과 마주하는 게이트 또는 게이트 전극(140)을 포함한다. 이러한 구동 트랜지스터(100)는 게이트 전극(140)에 인가되는 전압에 따라 소정의 채널(122)을 형성한다. 채널(122)은 소정의 전류가 흐를 수 있는 통로가 된다.

반도체층(120)은 채널(122), 소오스(124), 드레인(126)으로 이루어진다. 소오스(124) 및 드레인(126)의 위치는 서로 바뀌어질 수 있다. 채널(122)은 사각 링 모양으로 형성된다. 구체적으로, 채널(122)의 내측에는 채널(122) 내의 전류 패스를 적어도 두 개의 전류 패스(A, B)로 나누는 절연섬(128)이 형성된다. 절연섬(128)은 반도체층(120)의 형성시 패터닝되어 홈으로 형성된 후, 게이트 절연막 등의 절연층(130)을 이루는 절연 물질로 채워진다.

소오스(124)와 드레인(126)은 채널(122)의 마주하는 두 모서리 부분에 각각 접속된다. 예를 들면, 소오스(124)와 드레인(126)은 채널(122) 내에 가로와 세로 방향의 두 개의 전류 패스(A, B)를 형성하도록 대략 90° 방향으로 배치된다. 이때, 드레인(126)은 도 1에서와 같이 채널(122)의 상부에 접속되지 않고, 채널(122)의 왼쪽 측면 상부에 접속될 수 있다. 이러한 구성은 소오스(124)에 대하여도 동일하게 적용될 수 있다.

반도체층(120)의 상부에는 절연층(130)이 형성된다. 절연층(130)은 소오스(124)와 드레인(126)을 각각 노출시키는 제1 및 제2 콘택홀(132, 134)을 포함한다. 그리고, 절연층(130)의 상부에는 게이트 전극(140), 소오스 전극(150), 및 드레인 전극(160)이 형성된다. 소오스 전극(150) 및 드레인 전극(160)은 제1 및 제2 콘택홀(132, 134)를 통해 각각 소오스(124) 및 드레인(126)에 각각 접속된다. 여기서, 게이트 전극(140)의 일단(게이트)은 절연층(130)을 사이에 두고 채널(122)과 마주하도록 형성된다. 상기 구조의 상부에는 필요에 따라 보호막이나 절연막(170)이 추가적으로 형성될 수 있다.

상술한 구성에 의해, 본 발명은 채널 내의 특정 부위에 결함 상태 밀도가 증가하는 경우에도, 구동 트랜지스터의 전류 흐름을 일정하게 유지할 수 있다. 다시 말해서, 도 2에 나타난 바와 같이, 본 발명은 채널 내에 고밀도의 결함부(123)가 발생되어 하나의 전류 패스(A)가 불량한 경우에도, 또 다른 전류 패스(B)를 통해 전체적인 전류 흐름을 일정하게 유지할 수 있는 구동 트랜지스터를 제공한다.

한편, 상술한 실시예에서는 코플래너 구조 또는 상부 게이트 구조의 박막 트랜지스터에 대하여 설명하였다. 하지만, 본 발명은 그러한 구성으로 한정되지 않고 스테거드 구조나 하부 게이트 구조 등의 다른 구조에도 적용할 수 있다. 예를 들면, 본 발명은, 채널 내에 절연섬이 형성되어 적어도 2개의 채널 패스를 갖음으로써, ELA 특성 등에 의해 특정 부위에 결함 상태 밀도가 증가하는 경우에도 전체적인 전류 흐름을 유지할 수 있는 다양한 구조의 박막 트랜지스터에 적용가능하다.

다음은 상술한 구동 트랜지스터를 채용한 유기 발광 표시장치용 화소 구조에 대하여 설명한다. 도 4는 본 발명의 제1 실시예에 따른 구동 트랜지스터를 채용한 화소에 대한 레이아웃 도면이다. 도 4의 레이아웃에 대한 회로도가 도 7의 유기 발광 표시장치의 화소 영역 내에 도시되어 있다.

도 4를 참조하면, 화소(400)는 스위칭 트랜지스터(440), 캐패시터(capacitor; 450), 구동 트랜지스터(460), 및 유기 발광 소자(organic light emitting device: OLED; 470)를 포함한다. 스위칭 트랜지스터(440) 및 구동 트랜지스터(460)는 박막 트랜지스터로 구현될 수 있으며, 각각 게이트, 소오스 및 드레인을 가진다. 캐패시터(450)는 제1 단자 및 제2 단자를 가진다.

스위칭 트랜지스터(440)는 주사선(410)에서 연장된 게이트, 제1 콘택홀(422)을 통해 데이터선(420)에 접속되는 소오스, 그리고 제2 콘택홀(454)을 통해 상부 전극(452)의 일단에 접속되는 드레인을 포함한다. 스위칭 트랜지스터(440)는 주사선(410)에 인가되는 주사 신호에 따라 데이터선(420)에 인가되는 데이터 신호를 샘플링(sampling)하기 위해 이용된다.

캐패시터(450)는 제3 콘택홀(432)를 통해 전원전압선(430)에 연결되는 상부 전극(452)과 스위칭 트랜지스터(440)의 반도체층과 함께 패터닝되는 하부 전극(456)으로 이루어진다. 여기서, 상부 전극(452)은 캐패시터(450)의 제1 단자가 되고 하부 전극(456)은 제2 단자가 된다. 캐패시터(450)는 스위칭 트랜지스터(440)가 온 상태인 기간 동안에 데이터선(420)에 인가되는 데이터 신호에 상응하는 전압을 저장하고, 스위칭 트랜지스터(440)가 오프 상태인 기간 동안에, 저장된 전압을 유지하는 기능을 수행한다. 이러한 과정에 의해, 캐패시터(450)에는 화소에서 표시하고자 하는 계조가 프로그래밍된다.

구동 트랜지스터(460)는 상부 전극(452)의 타단에 연결되는 게이트 전극(462)과, 사각 링 모양으로 형성된 채널(464)과, 제4 콘택홀(434)을 통해 전원전압선(430)에 연결되는 소오스(466), 그리고 제5 콘택홀(438)을 통해 드레인 전극(436)에 연결되는 드레인(468)을 포함한다. 구동 트랜지스터(460)는 캐패시터(450)의 제1 단자와 제2 단자 사이에 걸린 전압에 상응하는 전류를 유기 발광 소자에 공급하는 기능을 수행한다.

상술한 사각 링 모양의 채널(464)은 소정의 절연층을 사이에 두고 게이트 전극(462)과 마주한다. 채널(464)의 내측에는 채널(464) 내의 전류 패스를 적어도 두 개의 전류 패스로 나누는 절연섬(465)이 형성된다. 절연섬(465)은 반도체층(120)의 형성시 패터닝되어 소정의 홈으로 형성된 후, 게이트 절연막으로 채워진다. 이러한 절연섬(465)은 사각형 모양 이외에 타원형이나 다각형 모양으로 형성될 수 있다.

사각 링 모양의 채널(464)의 마주하는 두 모서리 부분에는 소오스(466)와 드레인(468)이 각각 접속된다. 보다 구체적으로, 소오스(466)와 드레인(468)은 채널(464) 내에 가로와 세로 방향의 두 개의 전류 패스가 형성될 수 있도록 사각 링 모양의 채널(464)의 마주하는 두 모서리 부분에 대략 90° 방향으로 배치된다.

상술한 구성에 의해, 본 발명은 유기 발광 표시장치의 화소(400)에 적용할 수 있는 화소 회로에 있어서, 구동 트랜지스터(460)의 채널(464) 내의 하나의 전류 패스 상의 특정 부위에 고밀도의 결합부가 형성되는 경우에도 전체적으로 전류 흐름을 일정하게 유지하여 패널 내의 구동 트랜지스터의 특성 균일도를 높여 화질을 향상시킨다.

유기 발광 소자(470)는 제6 콘택홀(474)을 통해 드레인 전극(436)에 연결되는 제1 전극(472)과, 제1 전극(472) 상에 형성되는 유기 박막(476), 그리고 유기 박막(476) 상에 형성되는 제2 전극(미도시)을 포함한다. 여기서, 제1 전극(472)은 애노드 전극을 포함하고, 제2 전극은 캐소드 전극을 포함한다. 캐소드 전극은 ITO 전극(Indium Tin Oxide)으로 형성될 수 있다.

유기 박막(476)은 제1 전극(472)과 제2 전극으로부터 전자와 전공의 주입 특성을 향상시키기 위해 발광층(emitting layer)의 양측에 정공 주입층(hole injecting layer) 및 전자 주입층(electron injecting layer)을 포함하는 다층 구조로 이루어진다. 또한, 유기 박막(476)은 유기 발광 소자의 발광 특성을 향상시키기 위해 전자 수송층(electron transporting layer), 정공 수송층(hole transporting layer), 정공 저지층(hole blocking layer) 등을 선택적으로 포함할 수 있다.

상술한 구성에 의해, 유기 발광 소자(470)는 구동 트랜지스터(460)에 의해 공급되는 전류에 반응하여 소정의 휘도로 발광한다.

한편, 상술한 실시예에서는 P-타입의 스위칭 트랜지스터와 구동 트랜지스터를 예를 들어 설명하였다. 하지만, 본 발명은 그러한 구성으로 한정되지 않고, N-타입의 트랜지스터를 이용하여 구현할 수 있다.

또한, 상술한 실시예에서는 화소 회로 내에 하나의 스위칭 트랜지스터와 하나의 구동 트랜지스터를 포함한 경우에 대하여 설명하였지만, 본 발명은 그러한 구성으로 한정되지 않는다. 예를 들면, 본 발명에 따른 화소 회로는 적어도 두 개의 구동 트랜지스터나 적어도 두 개의 스위칭 트랜지스터를 포함하도록 이루어질 수 있다. 또한, 본 발명에 따른 화소 회로는 하나의 구동 트랜지스터에 연결된 적어도 두 개의 유기 발광 소자를 포함하도록 이루어질 수 있다. 이러한 경우, 화소 회로는 두 개의 유기 발광 소자가 소정의 시간차를 두고 순차적으로 구동되는 순차 구동 방식으로 구동될 수 있다. 이때, 적어도 두 개의 유기 발광 소자는 서로 다른 색을 표시할 수 있다. 더욱이, 본 발명에 따른 화소 회로는 앞서 설명한 전압 프로그래밍 구조의 화소 회로뿐만 아니라 다른 전압 프로그래밍 구조의 화소 회로나 전류 프로그래밍 구조의 화소 회로로 설계될 수 있다. 전류 프로그래밍 구조의 화소 회로에 대하여는 도 6을 참조하여 후술한다.

다음은 본 발명의 제1 실시예에 따른 트랜지스터를 채용한 화소의 단면 구조에 대하여 설명한다. 도 5는 본 발명의 제1 실시예에 따른 트랜지스터를 채용한 화소의 단면 구조에 대한 단면도이다. 도 5의 단면 구조는 도 4의 IV-IV선을 따라 취한 단면에 대응된다. 이하에서, 화소는 유기 발광 소자 및 화소 회로를 포함하는 것을 나타낸다. 도 5에서 참조부호는 주로 제조 공정에 기초한 단면상의 층을 나타내므로 도 4의 참조부호와는 별개로 나타낸다.

도 5를 참조하면, 본 발명에 따른 트랜지스터를 구비한 화소의 단면 구조는, 먼저 유리 등의 절연 기판(401a) 상에 질화막 또는 산화막으로 형성된 버퍼층(buffer layer: 401b)을 포함한다. 버퍼층(401b)은 금속 이온 등의 불순물이 반도체층 내의 액티브 채널(active channel)로 확산되는 것을 방지하기 위해 형성된 것이다. 이러한 버퍼층(401b)은 화학 기상 증착(chemical vapor deposition: CVD), 스퍼터링(sputtering) 등의 방법으로 형성될 수 있다.

다음, 버퍼층(401b)이 형성된 기판(401a) 상에 CVD, 스퍼터링 등의 공정을 통해 비정질 실리콘(amorphous silicon) 층을 형성하고, 약 430°C 정도의 온도에서 가열하여 비정질 실리콘층 내부에 함유된 수소 성분을 제거하는 탈수소 처리 공정을 수행한 후, 탈수소 처리된 비정질 폴리실리콘 층을 소정의 방법으로 결정화하여 반도체층(402)으로 형성한다. 이때, 커패시터(Cs)의 하부 전극(402c)도 같이 형성된다.

비정질 실리콘을 증착한 후 결정화하는 방법에는 고상결정화(solid phase crystallization: SPC)법, 엑시머 레이저 결정화(excimer laser crystallization: ELC/excimer laser anneal: ELA)법, 연속측면 고상화(sequential lateral solidification: SLS)법, 금속 유도 결정화(metal induced crystallization: MIC)법, 금속 유도 측면 결정화(metal induced lateral crystallization: MILC)법 등이 있다.

이때, 반도체층(402)은 채널(C)이 형성될 영역 내에 소정의 홈을 가진 사각 링 모양으로 패터닝된다. 또한, 반도체층(402)은 채널(C)의 마주하는 두 모서리 부분에 소오스(402b)와 드레인(402a)이 각각 형성될 수 있도록 패터닝된다.

이어서, 반도체층(402)이 형성된 기판(400) 전면에 게이트 절연막(403)을 형성하고, 게이트 절연막(403) 위에 알루미늄 등의 게이트 전극 물질을 전면 증착한 후 패터닝하여 게이트 전극(407a)을 형성한다. 이때, 커패시터(Cs)의 상부 전극(407b)도 게이트 전극(407a)의 형성과 함께 패터닝된다. 그 후, 게이트 전극(407a)을 마스크로 이용하여 소정의 불순물을 이온 주입하여 소오스(402b) 및 드레인(402a)을 형성한다. 여기서, 게이트 절연막(403)을 사이에 두고 게이트 전극(407a) 아래에 위치하는 반도체층(402)의 영역은 절연섬(N)을 가진 사각 링 모양의 채널(C)이 형성되는 영역이 된다.

다음, 상기 구조 상에 층간 절연막(404)을 형성하고, 층간 절연막(404) 내에 소오스(402b) 및 드레인(402a)을 각각 노출시키는 제1 및 제2 콘택홀(413, 412)을 형성한다. 이때, 상부 전극(407b)을 노출시키는 제3 콘택홀(414)도 함께 형성된다. 그 후, 금속층(405)을 전면 증착하고 패터닝하여 소오스 전극 및 드레인 전극을 형성한다. 드레인 전극과 소오스 전극은 제1 콘택홀(412)과 제2 콘택홀(413)을 통해 드레인 영역(402a)과 소오스 영역(402b)에 각각 연결된다. 커패시터(Cs)의 상부 전극(407b)은 제3 콘택홀(414)을 통해 금속층(405)에 연결된다.

다음, 금속층(405) 상부에 보호막(406)이 형성된다. 보호막(406)은 드레인 전극을 노출시키는 제4 콘택홀(415)을 포함한다. 그 후, 보호막(406) 상부의 일부 영역에 애노드 전극(408)이 증착되고 패터닝된다. 애노드 전극(408)은 제4 콘택홀(415)을 통해 드레인 전극에 전기적으로 연결된다.

다음, 상기 구조의 상부에 절연물로 이루어진 평탄화막(409)이 형성되고 패터닝된다. 평탄화막(409)에는 애노드 전극(408)을 노출시키는 개구부가 형성된다. 그 후, 개구부에 유기 발광 물질(410)이 도포된다. 그리고, 유기 발광 물질(410)을 포함한 상기 구조 상에 캐소드 전극(411)이 형성된다.

상술한 구성에 의해, 사각 링 모양의 채널과, 이 채널에 대하여 대략 90° 방향으로 접속되는 소오스 및 드레인, 그리고 게이트 절연층을 사이에 두고 채널과 마주하는 게이트 전극을 구비하는 구동 트랜지스터(MD)가 형성된다. 그리고, 하부 전극과, 게이트 절연층을 사이에 두고 하부 전극과 마주하는 상부 전극에 의해 커패시터(Cs)가 형성된다. 또한, 제1 전극과, 유기 박막, 및 제2 전극에 의해 유기 발광 소자(OLED)가 형성된다.

한편, 상술한 실시예에서는 PMOS 구조의 박막 트랜지스터를 포함한 화소의 제조 방법에 대하여 언급하였다. 하지만, 본 발명은 그러한 구성으로 한정되지 않고, NMOS 구조나 CMOS 구조 등의 다른 박막 트랜지스터 구조를 포함한 화소의 제조 방법에 용이하게 적용할 수 있다.

또한, 상술한 실시예에서는 커패시터(Cs)의 하부 전극과 상부 전극을 반도체층과 게이트 전극의 형성시에 함께 형성하였지만, 본 발명은 그러한 구성으로 한정되지 않는다. 예를 들면, 커패시터(Cs)는 게이트 전극과 동일한 층에 형성되는 하부 전극과 소오스 또는 드레인 전극과 동일한 층에 형성되는 상부 전극을 포함하도록 형성될 수 있다.

도 6은 본 발명의 제1 실시예에 따른 구동 트랜지스터를 채용할 수 있는 다른 화소 회로에 대한 회로도이다.

도 6을 참조하면, 화소 회로(600)는 구동 트랜지스터(MD), 커패시터(Cs) 및 제1 내지 제3 스위칭 트랜지스터(M1, M2, M3)를 포함한다. 구동 트랜지스터(MD) 및 제1 내지 제3 스위칭 트랜지스터(M1, M2, M3)는 각각 게이트, 소오스 및 드레인을 가진다. 커패시터(Cs)는 제1 단자 및 제2 단자를 가진다.

제1 스위칭 트랜지스터(M1)의 게이트는 제1 주사선(Sn)에 접속되고, 소오스는 제1 노드(N1)에 접속되며, 드레인은 데이터선(Dm)에 접속된다. 제1 스위칭 트랜지스터(M1)는 제1 주사선(Sn)에 인가되는 제1 주사 신호에 응답하여 커패시터(C)에 전하를 충전하는 기능을 수행한다.

제2 스위칭 트랜지스터(M2)의 게이트는 제1 주사선(Sn)에 접속되고, 소오스는 제2 노드(N2)에 접속되며, 드레인은 데이터선(Dm)에 접속된다. 제2 스위칭 트랜지스터(M2)는 제1 주사선(Sn)에 인가되는 제1 주사 신호에 응답하여 데이터선(Dm)에 흐르는 데이터전류를 구동 트랜지스터(MD)에 전달하는 기능을 수행한다.

제3 스위칭 트랜지스터(M3)의 게이트는 제2 주사선(En)에 접속되고, 소오스는 제2 노드(N2)에 접속되며, 드레인은 유기 발광 소자(OLED)에 접속된다. 제3 스위칭 트랜지스터(M3)는 제2 주사선(En)에 인가되는 제2 주사 신호에 응답하여 구동 트랜지스터(MD)에 흐르는 전류를 유기 발광 소자(OLED)에 공급하는 기능을 수행한다.

캐패시터(Cs)의 제1 단자에는 전원전압(VDD)이 인가되고, 제2 단자는 제1 노드(N1)에 접속된다. 캐패시터(Cs)는 제1 및 제2 스위칭 트랜지스터(M1, M2)가 온 상태인 기간 동안에 구동 트랜지스터(MD)에 흐르는 데이터 전류에 상응하는 전압을 충전한다. 캐패시터(Cs)에 충전된 전압은 구동 트랜지스터(MD)의 게이트 소오스간 전압(V<sub>GS</sub>)에 대한 전하량에 상응한다. 그리고, 캐패시터(Cs)는 제1 및 제2 스위칭 트랜지스터(M1, M2)가 오프 상태인 기간 동안에 구동 트랜지스터(MD)의 게이트 전압을 유지하는 기능을 수행한다.

구동 트랜지스터(MD)의 게이트는 제1 노드(N1)에 접속되고, 소오스에는 전원전압이 인가되며, 드레인은 제2 노드(N2)에 접속된다. 구동 트랜지스터(MD)는 제3 스위칭 트랜지스터(M3)가 온 상태인 기간 동안에 캐패시터(Cs)의 제1 단자와 제2 단자 사이에 걸린 전압에 상응하는 전류를 유기 발광 소자(OLED)에 공급하는 기능을 수행한다.

이때, 구동 트랜지스터(MD)는 사각 링 모양의 채널과 이 채널의 마주하는 모서리 부분에 접속되는 소오스 및 드레인, 그리고 절연층을 사이에 두고 채널과 마주하는 게이트를 구비하도록 이루어진다.

이와 같이, 본 발명에 따른 화소 회로를 이용하면, 액티브 매트릭스형 표시 장치의 경우, 소정의 구동 트랜지스터의 채널 내의 특정 부위에 결함 상태 밀도가 증가하는 경우에도 전체적인 전류 흐름을 일정하게 하여 패널 내의 구동 트랜지스터의 균일도를 높여 화질을 개선할 수 있다. 다시 말해서, 본 발명은 비정질 실리콘층을 결정화하여 형성된 다결정 실리콘 박막 트랜지스터를 구비하는 전류 프로그래밍 방식의 화소 회로에 용이하게 적용가능하다.

한편, 상술한 실시예에서는 유기 발광 표시장치용 화소 회로에 대하여 설명하였지만, 본 발명은 그러한 구성으로 한정되지 않는다. 예를 들면, 본 발명은 구동 박막 트랜지스터를 이용하는 액티브 매트릭스 구동 방식의 TFT-LCD, 플라즈마 디스플레이 패널, 전계 방출 표시장치(field emission display device) 등의 다른 종류의 표시장치에도 용이하게 적용할 수 있다.

도 7은 본 발명의 제1 실시예에 따른 구동 트랜지스터를 채용한 유기 발광 표시장치에 대한 구성도이다.

도 7을 참조하면, 유기 발광 표시장치(700)는 주사 구동부(scan driver; 710), 데이터 구동부(data driver; 720), 및 화상 표시부(730)를 포함한다. 화상표시부(730)는 복수의 화소(740)를 포함한다. 화소(740)는 스위칭 트랜지스터(MS), 캐패시터(Cs), 구동 트랜지스터(MD), 및 유기 발광 소자(OLED)를 포함한다. 여기서, 구동 트랜지스터(MD)는, 도 7에 확대하여 나타낸 것과 같이, 사각 링 모양의 채널과, 이 채널의 마주하는 두 모서리 부분에 접속하는 소오스 및 드레인, 그리고 절연층을 사이에 두고 채널과 마주하는 게이트를 포함하도록 이루어진다.

여기서, 구동 트랜지스터(MD)는 캐패시터의 양단자 사이에 걸린 전압에 상응하는 전류를 유기 발광 소자(OLED)에 공급한다. 캐패시터(Cs)는 구동 트랜지스터(MD)의 소오스와 게이트 사이에 연결되어, 스위칭 트랜지스터(MS)를 통해 인가되는 데이터 전압을 일정 기간 동안 유지한다. 이러한 구성에 의하면, 먼저 스위칭 트랜지스터(MS)의 게이트에 인가되는 주사 신호에 응답하여 스위칭 트랜지스터(MS)가 온 되면, 데이터선(Dm)을 통해 인가되는 데이터 전압이 캐패시터(Cs)에 저장된다. 그 후, 스위칭 트랜지스터(MS)가 오프되면, 캐패시터(Cs)에 저장된 전압에 상응하는 전류가 구동 트랜지스터(MD)를 통해 유기 발광 소자(OLED)에 공급된다. 유기 발광 소자(OLED)는 공급된 전류에 상응하여 소정의 휘도로 발광한다.

또한, 유기 발광 표시장치(700)는 n×m개의 화소(740), 가로 방향으로 연장된 n개의 주사선(S1, S2, ..., Sn) 및 세로 방향으로 연장된 m개의 데이터선(D1, D2, D3, ..., Dm)을 포함한다. 주사 구동부(710)는 순차적으로 주사선(S1, S2, ..., Sn)에 주사 신호를 공급한다. 주사 신호는 화소(740)에 전달된다. 데이터 구동부(720)는 데이터선(D1, D2, D3, ..., Dm)에 데이터 신호를 공급한다. 데이터 전압은 화소(740)에 전달된다.

화소(740)는 주사 구동부(710)에서 전달되는 주사 신호에 응답하여 데이터 구동부(720)에서 전달되는 데이터 신호를 샘플링하고, 샘플링된 데이터 신호에 상응하여 소정의 계조를 표시한다.

한편, 상술한 실시예에서는 화소 회로 내에 하나의 스위칭 트랜지스터와 하나의 구동 트랜지스터를 포함한 경우에 대하여 설명하였지만, 본 발명은 그러한 구성으로 한정되지 않는다. 예를 들면, 본 발명에 따른 유기 발광 표시장치는 적어도 두 개의 구동 트랜지스터나 적어도 두 개의 스위칭 트랜지스터를 포함하는 화소 회로를 포함할 수 있다. 또한, 본 발명에 따른 유기 발광 표시장치는 하나의 구동 트랜지스터에 연결된 적어도 두 개의 유기 발광 소자를 포함하는 화소 회로를 포함할 수 있다. 이러한 경우, 화소 회로는 두 개의 유기 발광 소자가 소정의 시간차를 두고 순차적으로 구동되는 순차 구동 방식으로 구동된다. 더욱이, 본 발명에 따른 유기 발광 표시장치는 앞서 설명한 전압 프로그래밍 구조의 화소 회로뿐만 아니라 다른 전압 프로그래밍 구조의 화소 회로나 전류 프로그래밍 구조의 화소 회로를 포함할 수 있다.

이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

### 발명의 효과

이상과 같이, 본 발명에 의하면, ELA 등의 결정화 공정상의 불균일성에 의해 TFT 채널의 특정 부위에 결함 상태 밀도 (Density of defect state)가 증가하는 경우에도 그 채널 부위를 제외한 다른 채널 부위로 전류 패스가 형성되어 전체적인 전류 흐름을 일정하게 유지할 수 있는 트랜지스터를 제공할 수 있다.

또한, 본 발명에 의하면, 채널 내에 절연섬이 형성되어 있는 구동 트랜지스터를 채용하여 패널 내의 구동 트랜지스터의 균일도를 높임으로써, 화질을 높일 수 있는 화소 회로 및 이를 채용한 유기 발광 표시장치를 제공할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

선택 신호에 응답하여 데이터 신호를 전달하는 제1 스위칭 소자;

상기 전달된 데이터 신호에 상응하는 전압을 저장하는 스토리지 캐패시터; 및

상기 스토리지 캐패시터에 저장된 전압에 상응하는 전류를 유기 발광 소자에 공급하는 구동 트랜지스터를 포함하며,

상기 구동 트랜지스터는, 사각 링 모양의 채널과 상기 채널의 마주하는 두 모서리 부분에 각각 접속되는 소오스 및 드레인을 가지는 반도체층과, 절연층을 사이에 두고 상기 채널과 마주하는 게이트를 구비하는 유기 발광 표시장치의 화소 회로.

#### 청구항 2.

제1항에 있어서,

상기 반도체층은 폴리 실리콘층으로 형성되는 유기 발광 표시장치의 화소 회로.

#### 청구항 3.

제1항에 있어서,

상기 반도체층은 비정질 실리콘층을 결정화하여 이루어지는 유기 발광 표시장치의 화소 회로.



**청구항 4.**

삭제

**청구항 5.**

제1항에 있어서,

상기 채널은 상기 소오스 및 상기 드레인 사이에 두 개의 전류 패스를 포함하는 유기 발광 표시장치의 화소 회로.

**청구항 6.**

제1항에 있어서,

상기 데이터 신호는 전압 또는 전류인 유기 발광 표시장치의 화소 회로.

**청구항 7.**

데이터 신호를 전달하는 복수의 데이터선;

선택 신호를 전달하는 복수의 주사선; 및

이웃하는 두 데이터선과 이웃하는 두 주사선에 의해 정의되는 화소 영역에 형성되며, 제1항 내지 제7항 중 어느 하나에 기재된 화소 회로를 포함하는 유기 발광 표시장치.

**청구항 8.**

절연 기판 상에 형성되며, 사각 링 모양의 채널과 상기 채널의 마주하는 두 모서리 부분에 각각 접속되는 소오스 및 드레인을 포함하는 반도체층;

상기 채널에 접하여 형성되는 절연층; 및

상기 절연층을 사이에 두고 상기 채널과 마주하는 게이트를 구비하는 유기 발광 표시장치의 화소 회로용 트랜지스터.

**청구항 9.**

제8항에 있어서,

상기 반도체층은 폴리 실리콘층으로 형성되는 유기 발광 표시장치의 화소 회로용 트랜지스터.

**청구항 10.**

제8항에 있어서,

상기 반도체층은 비정질 실리콘을 결정화하여 이루어지는 유기 발광 표시장치의 화소 회로용 트랜지스터.

**청구항 11.**

삭제

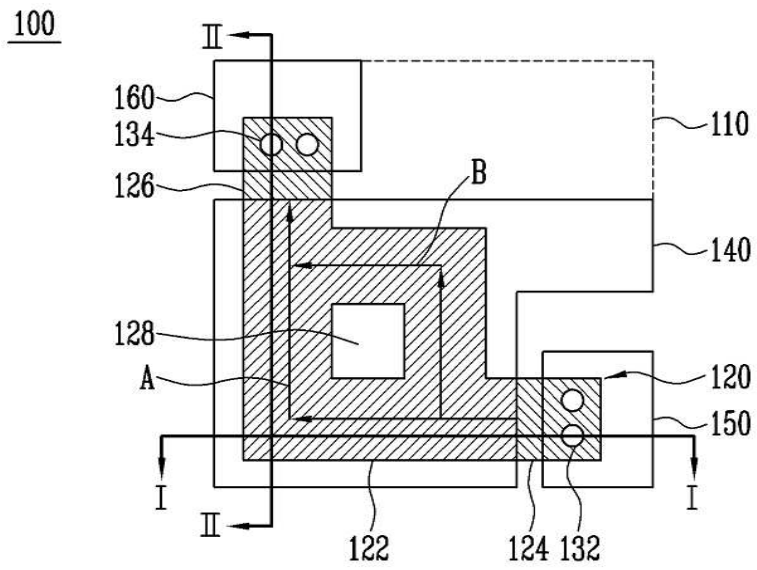
청구항 12.

제8항에 있어서,

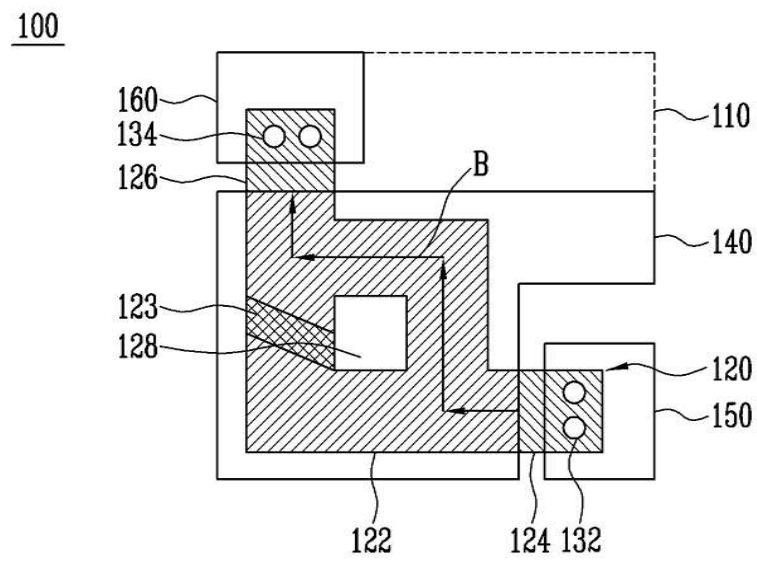
상기 채널은 상기 소오스 및 상기 드레인 사이에 형성되는 두 개의 전류 패스를 포함하는 유기 발광 표시장치의 화소 회로용 트랜지스터.

도면

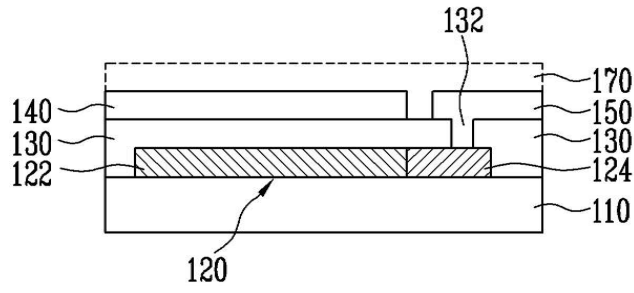
도면1



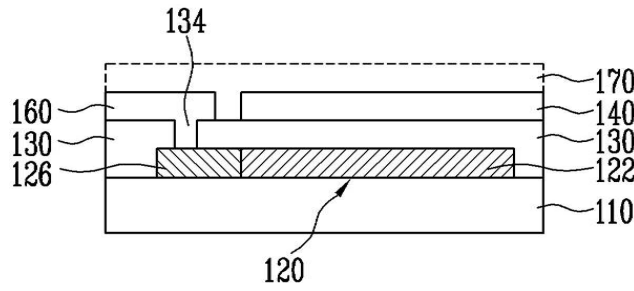
도면2



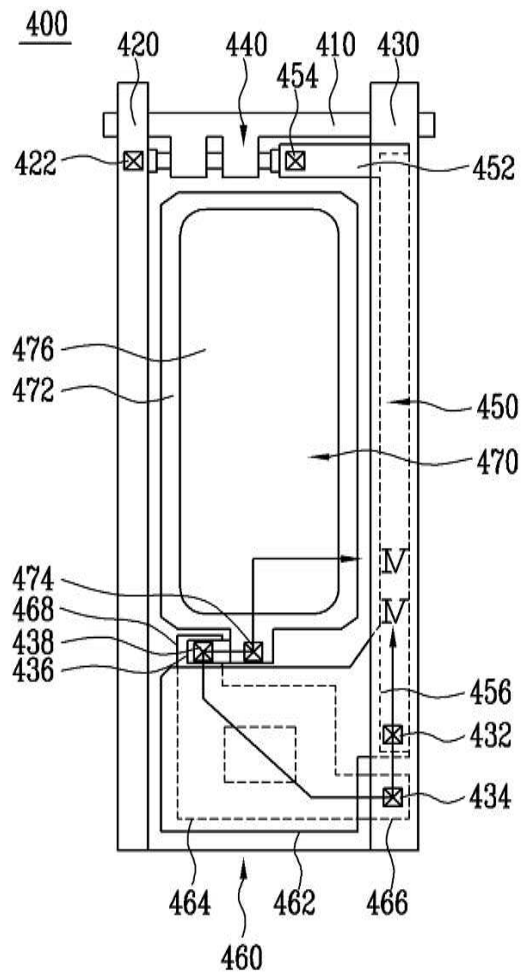
도면3a



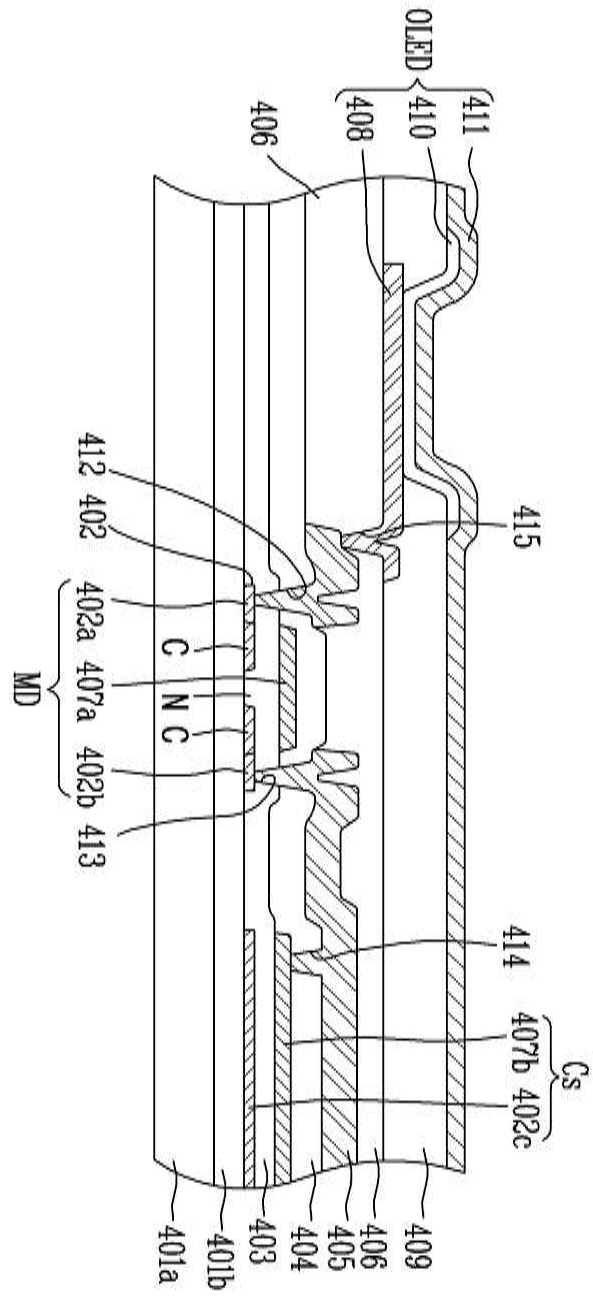
도면3b



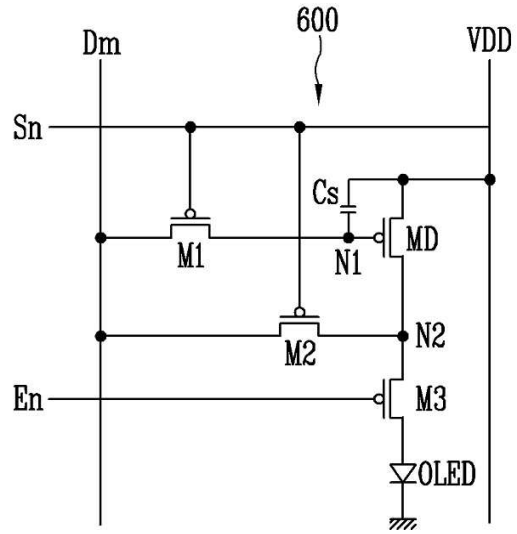
도면4



도면5



도면6



도면7

