



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년03월09일  
(11) 등록번호 10-1114261  
(24) 등록일자 2012년02월02일

(51) 국제특허분류(Int. Cl.)  
*H01L 21/31* (2006.01)  
(21) 출원번호 10-2005-0058567  
(22) 출원일자 2005년06월30일  
심사청구일자 2010년03월16일  
(65) 공개번호 10-2007-0002870  
(43) 공개일자 2007년01월05일  
(56) 선행기술조사문헌  
KR1020050062860 A\*  
US20020132397 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
주식회사 하이닉스반도체  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
조홍재  
경기도 이천시 대월면 경충대로2041번길 167, 현  
대아이파크아파트 105-904  
임관용  
경기도 수원시 영통구 영통로 498, 황골마을 주공  
아파트 139동 1001호 (영통동)  
성민규  
서울특별시 마포구 신수로 15, 마포 106-502 (현  
석동, 강변 현대홈타운)  
(74) 대리인  
특허법인 신성

전체 청구항 수 : 총 1 항

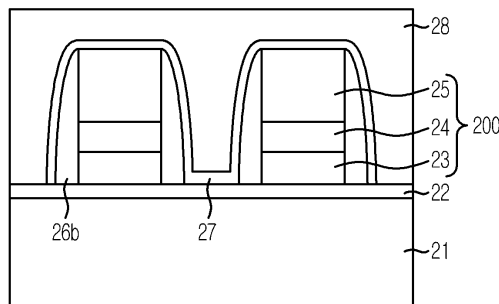
심사관 : 장지혜

(54) 발명의 명칭 **반도체소자의 층간절연막 형성 방법**

**(57) 요약**

본 발명은 게이트 스택과 같은 전도체 스택 사이를 절연시키기 위한 층간절연막 형성시 보이드가 발생하는 것을 방지할 수 있는 반도체소자의 층간절연막 형성 방법을 제공하기 위한 것으로, 본 발명의 반도체소자의 층간절연막 형성 방법은 반도체 기판 상에 전극물질과 하드마스크질화막의 순서로 적층되는 전도체 스택을 형성하는 단계, 상기 전도체 스택의 양측벽에 접하는 스페이서를 형성하는 단계, 상기 스페이서의 표면 일부를 산화시켜 산화막시드층을 형성하는 단계, 및 상기 산화막시드층을 시드로 이용하여 상기 전도체 스택 사이를 깎필하는 층간절연막을 형성하는 단계를 포함하며, 이와 같은 본 발명은 라디칼산화 공정을 통해 하부구조물을 산화시켜 산화막시드층을 미리 형성해주고, 이 산화막 시드층을 시드로 이용하므로 보이드없이 층간절연막을 깎필하여 반도체소자의 전기적 신뢰성을 향상시킬 수 있는 효과가 있다.

**대표도** - 도2c



**특허청구의 범위**

**청구항 1**

반도체 기판 상에 전극물질과 하드마스크질화막의 순서로 적층되는 전도체 스택을 형성하는 단계;  
 상기 전도체 스택의 양측벽에 접하는 질화막 스페이서를 형성하는 단계;  
 상기 질화막 스페이서의 표면 일부를 산화시켜 산화막시드층을 형성하는 단계; 및  
 상기 산화막시드층을 시드로 이용하여 상기 전도체 스택 사이를 갭필하는 층간절연막을 형성하는 단계를 포함하는 반도체소자의 층간절연막 형성 방법.

**청구항 2**

청구항 2은(는) 설정등록료 납부시 포기되었습니다.  
 제1항에 있어서,  
 상기 산화막시드층을 형성하는 단계는,  
 라디칼산화 공정으로 진행하는 것을 특징으로 하는 반도체소자의 층간절연막 형성 방법.

**청구항 3**

청구항 3은(는) 설정등록료 납부시 포기되었습니다.  
 제2항에 있어서,  
 상기 라디칼산화 공정은, 열라디칼산화공정으로 진행하는 것을 특징으로 하는 반도체소자의 층간절연막 형성 방법.

**청구항 4**

청구항 4은(는) 설정등록료 납부시 포기되었습니다.  
 제3항에 있어서,  
 상기 열라디칼산화 공정은,  
 700℃ ~ 1000℃의 온도와 10mTorr ~ 100Torr의 저압에서 진행하며, 산화분위기는 H<sub>2</sub>/O<sub>2</sub>의 혼합가스 또는 D<sub>2</sub>/O<sub>2</sub>의 혼합가스를 이용하는 것을 특징으로 하는 반도체소자의 층간절연막 형성 방법.

**청구항 5**

청구항 5은(는) 설정등록료 납부시 포기되었습니다.  
 제2항에 있어서,  
 상기 라디칼산화 공정은, 플라즈마 산화공정으로 진행하는 것을 특징으로 하는 반도체소자의 층간절연막 형성 방법.

**청구항 6**

청구항 6은(는) 설정등록료 납부시 포기되었습니다.  
 제5항에 있어서,  
 상기 플라즈마산화 공정은,

25℃ ~ 700℃의 저온에서 진행하며, 산화소스는 O<sub>2</sub>, H<sub>2</sub>/O<sub>2</sub> 또는 D<sub>2</sub>/O<sub>2</sub> 중에서 선택되고, 플라즈마를 형성하기 위해서 소스플라즈마파워는 10W ~ 5000W로 인가하고, 바이어스플라즈마파워는 0W ~ 1000W로 인가하여 진행하는 것을 특징으로 하는 반도체소자의 층간절연막 형성 방법.

#### 청구항 7

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

제6항에 있어서,

상기 플라즈마 산화 공정시, 압력은 10mTorr ~ 100Torr의 고압을 유지하고, 플라즈마처리시간은 5초 ~ 500초동안 진행하며, 산화소스의 유량은 5sccm ~ 5000sccm으로 하는 것을 특징으로 하는 반도체소자의 층간절연막 형성 방법.

#### 청구항 8

청구항 8은(는) 설정등록료 납부시 포기되었습니다.

제7항에 있어서,

상기 플라즈마 산화 공정시, He, Ar, Kr 또는 Xe 중에서 선택되는 비활성가스를 첨가하는 것을 특징으로 하는 반도체소자의 층간절연막 형성 방법.

#### 청구항 9

청구항 9은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서,

상기 산화막시드층은,

5Å ~ 100Å 두께로 형성하는 것을 특징으로 하는 반도체소자의 층간절연막 형성 방법.

#### 청구항 10

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서,

상기 질화막 스페이서의 표면 일부를 산화시켜 산화막시드층을 형성하는 단계에서 상기 하드마스크질화막의 표면 일부도 산화되어 산화막시드층이 형성되는 반도체소자의 층간절연막 형성 방법.

#### 청구항 11

청구항 11은(는) 설정등록료 납부시 포기되었습니다.

제10항에 있어서,

상기 전도체 스택은,

게이트스택 또는 비트라인 스택인 것을 특징으로 하는 반도체소자의 층간절연막 형성 방법.

### 명세서

#### 발명의 상세한 설명

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0009] 본 발명은 반도체 제조기술에 관한 것으로, 특히 보이드가 발생하지 않는 층간절연막의 형성 방법에 관한 것이다.
- [0010] 반도체소자의 집적도가증가함에 따라 트랜지스터 또는 게이트전극 사이를 절연시키는 층간절연기술이 중요하게 된다. 특히, 집적도와 게이트전극의 스택 높이가 높아짐에 따라 절연막이 채워질 종횡비(Aspect ratio)가 커지기 때문에, 절연막을 깎필(Gapfill)시키기 어려워 보이드(Void)가 발생한다.
- [0011] 이렇게 형성된 보이드는 후속 세정 공정들 중에서 절연막의 식각속도를 증가시켜, 결국에는 게이트전극 사이의 절연막이 모두 제거되어 DC Fail를 발생시켜 수율을 감소시키는 문제를 초래한다.
- [0012] 도 1은 종래기술에 따른 반도체소자의 층간절연막 형성 방법을 간략히 도시한 도면이다.
- [0013] 도 1에 도시된 바와 같이, 반도체기판(11) 상에 게이트산화막(12)을 형성한 후, 게이트산화막(12) 상에 폴리실리콘(13), 텅스텐실리사이드(14) 및 게이트하드마스크질화막(15)의 순서로 적층되는 게이트 스택(100)을 형성한다.
- [0014] 이어서, 게이트 스택(100)을 포함한 전면에 스페이서질화막을 증착한 후, 스페이서식각을 진행하여 게이트스택(100)의 양측벽에 접하는 게이트스페이서(16)를 형성한다. 이때, 반도체 기판(11) 상부에 스페이서질화막(16a)이 잔류할 수 있다.
- [0015] 이어서, 게이트스페이서(16)를 포함한 전면에 게이트스택(100) 사이를 깎필하는 층간절연막(Inter Layer Dielectric, 17)을 형성한다.
- [0016] 그러나, 종래기술은 층간절연막(17) 형성시 게이트스택(100) 사이에서 층간절연막(17)이 완전히 채워지지 않고 비어있는 보이드(V)가 발생하는 문제가 있다. 이때, 보이드(V)가 발생하는 이유는 게이트스택(100)의 높이가 높아짐에 따라 종횡비가 증가하게 되고, 이러한 높은 종횡비를 갖는 게이트스택(100) 사이의 공간을 모두 채우기 전에 게이트스택(100) 상부에서 층간절연막(17)이 형성되기 때문이다.
- [0017] 이러한 보이드 문제를 비단 게이트전극은 물론 반도체소자 제조 공정시 높이가 증가하는 비트라인 등의 전도체 사이를 절연하기 위한 층간절연막 형성시에도 발생한다.

**발명이 이루고자 하는 기술적 과제**

- [0018] 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로, 게이트스택과 같은 전도체 사이를 절연시키기 위한 층간절연막 형성시 보이드가 발생하는 것을 방지할 수 있는 반도체소자의 층간절연막 형성 방법을 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

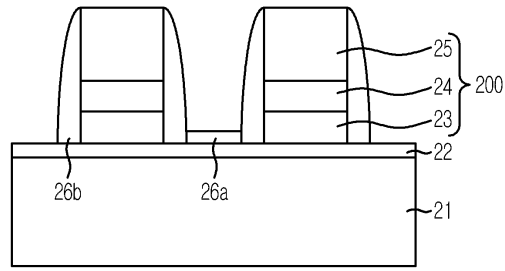
- [0019] 상기 목적을 달성하기 위한 본 발명의 반도체소자의 층간절연막 형성 방법은 반도체 기판 상에 전극물질과 하드마스크질화막의 순서로 적층되는 전도체 스택을 형성하는 단계, 상기 전도체 스택의 양측벽에 접하는 스페이서를 형성하는 단계, 상기 스페이서의 표면 일부를 산화시켜 산화막시드층을 형성하는 단계, 및 상기 산화막시드층을 시드로 이용하여 상기 전도체 스택 사이를 깎필하는 층간절연막을 형성하는 단계를 포함하는 것을 특징으로 하며, 상기 산화막시드층을 형성하는 단계는 라디칼산화 공정으로 진행되는 것을 특징으로 하고, 상기 라디칼산화 공정은, 열라디칼산화공정 또는 플라즈마산화공정으로 진행되는 것을 특징으로 하며, 상기 열라디칼산화 공정은 700℃ ~ 1000℃의 온도와 10mTorr ~ 100Torr의 저압에서 진행하며, 산화분위기는 H<sub>2</sub>/O<sub>2</sub>의 혼합가스 또는 D<sub>2</sub>/O<sub>2</sub>의 혼합가스를 이용하는 것을 특징으로 하고, 상기 플라즈마산화공정은 25℃ ~ 700℃의 저온에서 진행하며, 산화소스는 O<sub>2</sub>, H<sub>2</sub>/O<sub>2</sub> 또는 D<sub>2</sub>/O<sub>2</sub> 중에서 선택되고, 플라즈마를 형성하기 위해서 소스플라즈마파워는 10W ~ 5000W로 인가하고, 바이어스플라즈마파워는 0W ~ 1000W로 인가하여 진행하는 것을 특징으로 하며, 상기 플라즈마 산화 공정시, 압력은 10mTorr ~ 100Torr의 고압을 유지하고, 플라즈마처리시간은 5초 ~ 500초동안 진행하며, 산화소스

의 유량은 5sccm ~ 5000sccm으로 하는 것을 특징으로 한다.

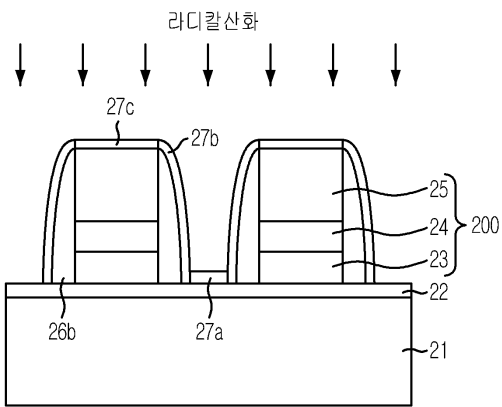
- [0020] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- [0021] 도 2a 내지 도 2c는 본 발명의 실시예에 따른 반도체소자의 층간절연막 형성 방법을 도시한 공정 단면도이다.
- [0022] 도 2a에 도시된 바와 같이, 반도체기판(21) 상에 게이트산화막(22)을 형성한 후, 게이트산화막(22) 상에 폴리실리콘(23), 텅스텐실리사이드(24) 및 게이트하드마스크질화막(25)의 순서로 적층되는 게이트 스택(200)을 형성한다.
- [0023] 이어서, 게이트 스택(200)을 포함한 전면에 스페이서질화막을 증착한 후, 스페이서식각을 진행하여 게이트스택(200)의 양측벽에 접하는 게이트스페이서(26b)를 형성한다. 이때, 스페이서질화막은 SiN으로 형성한다.
- [0024] 이러한 스페이서식각후에 게이트 스택(200) 사이의 반도체기판(21) 상부에는 스페이서질화막(26a)이 잔류할 수 있다. 예를 들어, 스페이서식각후에 콘택식각배리어 물질로 질화막을 추가로 증착할 수 있기 때문에, 층간절연막이 증착될 하부구조가 질화막 물질이 형성된 상태라 가정하는 것이다.
- [0025] 도 2b에 도시된 바와 같이, 질화막 계열의 물질이 형성된 하부구조물에 대해 라디칼산화(Radical oxidation) 공정을 진행하여 잔류하는 스페이서질화막(26a) 및 게이트스페이서(26b)의 표면 일부를 산화시킨다. 이때, 게이트하드마스크질화막(25)도 표면 일부가 산화된다.
- [0026] 이러한 라디칼산화 공정에 의해 잔류하는 스페이서질화막(26a)이 산화되어 형성된 산화막(27a), 게이트스페이서(26b)가 산화되어 형성된 산화막(27b)과 게이트하드마스크질화막(25)이 산화되어 형성된 산화막(27c)이 형성되고, 이러한 산화막(27a, 27b, 27c)은 5Å ~ 100Å 두께이다.
- [0027] 라디칼산화 공정은 통상적인 산화공정과 는 다르게, 라디칼산소원자(Radical oxygen atom)를 이용하기 때문에, 스페이서질화막(26a)도 산화시킬 수 있다. 여기서, 라디칼산화공정에 의해 형성된 산화막(27a, 27b, 27c)은 후속 층간절연막 증착시 시드층으로 작용하기 때문에 보이드가 없는 층간절연막의 껍질이 가능해진다. 이하, 산화막(27a, 27b, 27c)을 '산화막시드층(27)'이라고 약칭한다.
- [0028] 상기 라디칼산화 공정은 열라디칼산화(Thermal radical oxidation) 공정 또는 플라즈마산화(Plasma oxidation) 공정을 이용한다. 여기서, 플라즈마산화 공정은 열라디칼산화공정에 비해 낮은 온도에서 플라즈마를 이용하여 라디칼산소원자를 형성하는 산화 공정이다.
- [0029] 먼저, 열라디칼산화 공정은 700℃ ~ 1000℃의 온도와 10mTorr ~ 100Torr의 저압에서 진행하며, 산화분위기는 H<sub>2</sub>/O<sub>2</sub>의 혼합가스 또는 D<sub>2</sub>/O<sub>2</sub>[여기서, D는 중수소(Deuterium)를 일컫는다]의 혼합가스를 이용한다.
- [0030] 그리고, 플라즈마 산화 공정은 25℃ ~ 700℃의 저온에서 진행하며, 산화소스는 O<sub>2</sub>, H<sub>2</sub>/O<sub>2</sub> 또는 D<sub>2</sub>/O<sub>2</sub> 중에서 선택되고, 플라즈마를 형성하기 위해서 소스플라즈마파워는 10W ~ 5000W로 인가하고, 바이어스플라즈마파워는 0W ~ 1000W(바이어스파워는 플라즈마중의 라디칼산소원자를 끌어당기는 힘의 정도를 조절하는 것이므로 소스파워가 인가된 상태에서는 0W를 인가할 수도 있다)로 인가한다. 그리고, 플라즈마산화공정시, 압력은 10mTorr ~ 100Torr의 고압을 유지하고, 플라즈마처리시간은 5초 ~ 500초동안 진행하며, 산화소스의 유량은 5sccm ~ 5000sccm으로 한다. 한편, 산화소스에 필요에 따라 He, Ar, Kr 또는 Xe 중에서 선택되는 비활성가스를 첨가할 수도 있다. 이러한 비활성가스는 라디칼산소원자의 발생을 원활하게 하는 역할을 한다.
- [0031] 전술한 바와 같은 열라디칼산화공정 또는 플라즈마산화공정을 이용하면, 게이트스택의 텅스텐실리사이드(24) 및 폴리실리콘(23)은 산화시키지 않고 선택적으로 질화막 물질인 게이트하드마스크질화막(25), 게이트스페이서(26b)의 표면 일부만 산화시킬 수 있다.
- [0032] 도 2c에 도시된 바와 같이, 산화막시드층(27)이 형성된 상태에서 층간절연막(28)을 증착한다. 이때, 층간절연막(28)은 BPSG, HDP 산화막과 같은 산화막 물질로 형성하는데, 산화막시드층(27)이 층간절연막(28) 증착시 시드층 역할을 하여 층간절연막(28)이 보이드없이 게이트스택(200) 사이를 껍질한다.
- [0033] 즉, 산화막시드층(27)이 존재한 상태에서 층간절연막(28)을 증착하면, 게이트스택(200) 사이의 공간에서 층간절연막(28)의 증착속도가 매우 빠르게 되어 보이드없이 층간절연막(28)을 증착할 수 있다. 예컨대, 층간절연막



도면2a



도면2b



도면2c

