



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 27/146 (2006.01)
H01L 27/148 (2006.01)
H04N 5/335 (2006.01)
H04N 3/14 (2006.01)
H01L 27/148 (2006.01)
H04N 5/335 (2006.01)

(11) 공개번호 10-2007-0055545
(43) 공개일자 2007년05월30일

(21) 출원번호 10-2007-7006354
(22) 출원일자 2007년03월20일
심사청구일자 2007년03월20일
번역문 제출일자 2007년03월20일

(87) 국제공개번호 WO 2006/026163
국제출원일자 2006년03월09일

(86) 국제출원번호 PCT/US2005/029179
국제출원일자 2005년08월18일

(30) 우선권주장 10/925,172 2004년08월25일 미국(US)

(71) 출원인 마이크론 테크놀로지, 인크
미국, 아이다호 83707, 보이세, 사우쓰 패드럴웨이 8000

(72) 발명자 마우리츠손 리차드 에이.
미국 아이다호 메리디안 더블유. 발라타 시티. 3028
샤 조이
미국 아이다호 보이세 이스트 말라드 드라이브 113

(74) 대리인 한양특허법인

전체 청구항 수 : 총 42 항

(54) 화소 리셋 전압 부스팅 화소

(57) 요약

화소 셀에서 커패시터는 저장 노드와 행 셀렉트 트랜지스터 사이에 결합된다. 상기 화소 셀은 리셋 전압을 부스팅하기 위해 리셋 트랜지스터의 동작 사이의 타이밍 시퀀스 관독을 이용한다.

대표도

도 4

특허청구의 범위

청구항 1.

이미징 장치용 화소 회로에 있어서,

집적 기간 동안 전하를 생성시키기 위한 포토센서;

상기 포토센서로부터 상기 생성된 전하를 수신하기 위한 저장 노드;

상기 저장 노드에서의 전하 신호를 출력 전압으로 변환시키기 위해 상기 저장 노드에 결합된 출력 트랜지스터;

상기 저장 노드에 리셋 전압을 인가하기 위한 리셋 트랜지스터;

상기 화소 회로가 상기 출력 전압을 출력하는 것을 선택적으로 가능하게 하기 위해 상기 출력 트랜지스터에 결합된 행 선택 트랜지스터; 및

상기 행 선택 트랜지스터가 기동될 때, 상기 리셋 트랜지스터에 의해서 상기 저장 노드에 인가된 리셋 전압을 부스팅하기 위한, 상기 행 선택 트랜지스터와 상기 저장 노드 사이의 용량성 결합을 포함하는,

화소 회로.

청구항 2.

청구항 1에 있어서,

상기 출력 트랜지스터는 상기 저장 노드에서의 상기 전하에 의거하여 출력 신호를 공급하는 화소 회로.

청구항 3.

청구항 1에 있어서,

상기 포토센서로부터 상기 저장 노드로 전하를 전송시키기 위해 상기 포토센서에 연결된 전송 트랜지스터

를 더 포함하는 화소 회로.

청구항 4.

청구항 1에 있어서,

상기 행 선택 트랜지스터는 전압원과 상기 출력 트랜지스터의 드레인 사이에 결합되는 화소 회로.

청구항 5.

청구항 4에 있어서,

상기 용량성 결합은 상기 저장 노드와 상기 행 선택 트랜지스터의 소스 사이에 연결되는 커패시터

를 포함하는 화소 회로.

청구항 6.

청구항 1에 있어서,

상기 행 셀렉트 트랜지스터는 상기 출력 트랜지스터와 출력 라인 사이에 결합되는 화소 회로.

청구항 7.

청구항 1에 있어서,

상기 용량성 결합은 상기 저장 노드와 상기 행 셀렉트 트랜지스터의 게이트에 연결되는 화소 회로.

청구항 8.

청구항 1에 있어서,

상기 화소 회로에 동작 전압을 공급하기 위해 상기 행 셀렉트 트랜지스터의 드레인과 상기 리셋 트랜지스터의 드레인에 결합된 전압원을

더 포함하는 화소 회로.

청구항 9.

이미징 장치용 이미징 회로에 있어서,

광 생성된 전하를 수신하기 위한 저장 노드;

상기 저장 노드에서의 전하 신호를 출력 전압으로 변환하기 위해 상기 저장 노드에 결합된 출력 트랜지스터;

상기 저장 노드에 리셋 전압을 인가하기 위한 리셋 트랜지스터;

상기 출력 전압을 선택적으로 공급하기 위해 상기 출력 트랜지스터에 결합된 셀렉트 트랜지스터; 및

상기 셀렉트 트랜지스터가 기동될 때, 상기 리셋 트랜지스터에 의해 상기 저장 노드에 인가된 리셋 전압을 부스팅하기 위한 상기 행 셀렉트 트랜지스터와 상기 저장 노드 사이의 용량성 결합을 포함하는,

이미징 회로.

청구항 10.

청구항 9에 있어서,

상기 출력 트랜지스터는 상기 저장 노드에서의 상기 전하에 의거하여 출력 신호를 공급하는 이미징 회로.

청구항 11.

청구항 9에 있어서,

상기 셀렉트 트랜지스터는 전압원과 상기 출력 트랜지스터의 드레인 사이에 결합되는 이미징 회로.

청구항 12.

청구항 11에 있어서,

상기 용량성 결합은 상기 저장 노드와 상기 셀렉트 트랜지스터의 소스에 연결된 커패시터를 포함하는 이미징 회로.

청구항 13.

청구항 9에 있어서,

상기 셀렉트 트랜지스터는 상기 출력 트랜지스터와 출력 라인 사이에 결합되는 이미징 회로.

청구항 14.

청구항 13에 있어서,

상기 용량성 결합은 상기 저장 노드와 상기 셀렉트 트랜지스터의 게이트에 연결된 커패시터를 포함하는 이미징 회로.

청구항 15.

이미징 장치용 화소 회로에 있어서,

집적 기간 동안에 전하를 생성시키기 위한 포토센서;

상기 포토센서로부터 상기 생성된 전하를 수신하기 위한 저장 노드;

상기 화소 회로가 출력 전압을 출력하는 것을 선택적으로 가능하게 하기 위해 출력 트랜지스터에 결합된 행 셀렉트 트랜지스터;

상기 저장 노드에 리셋 전압을 인가하기 위해 상기 저장 노드에 결합된 리셋 트랜지스터; 및

상기 리셋 트랜지스터에 의해 인가된 리셋 전압과는 별개인 부가적인 전압을 상기 저장 노드에 인가하기 위한 회로를 포함하는,

화소 회로.

청구항 16.

청구항 15에 있어서,

상기 저장 노드로부터 저장된 전하를 관독하고 상기 저장 노드에서의 상기 전하에 의거하여 출력 신호를 공급하기 위한 관독 회로

를 더 포함하는 화소 회로.

청구항 17.

청구항 15에 있어서,

상기 포토센서로부터 상기 저장 노드로 전하를 전송시키기 위해 상기 포토센서에 연결된 전송 트랜지스터를

더 포함하는 화소 회로.

청구항 18.

청구항 15에 있어서,

상기 생성된 전하를 출력 전압으로 변환하기 위해 상기 저장 노드에 결합된 출력 트랜지스터

를 더 포함하는 화소 회로.

청구항 19.

이미징 장치용 화소 회로에 있어서,

집적 기간 동안에 전하를 생성시키기 위한 포토센서;

상기 포토센서로부터 상기 생성된 전하를 수신하기 위한 저장 노드;

상기 저장 노드에 리셋 전압을 인가하기 위한 리셋 트랜지스터;

상기 화소 회로가 출력 전압을 출력하는 것을 선택적으로 가능하게 하기 위한 행 셀렉트 트랜지스터를 포함하고, 상기 저장 노드의 리셋 전압을 관독하기 위한 관독 회로; 및

상기 행 셀렉트 트랜지스터와 상기 저장 노드 사이에 결합된 커패시터를 포함하는,

화소 회로.

청구항 20.

청구항 19에 있어서,

상기 커패시터는 상기 행 셀렉트 트랜지스터의 소스와 상기 저장 노드의 사이에 결합되는 화소 회로.

청구항 21.

청구항 19에 있어서,

상기 커패시터는 상기 행 셀렉트 트랜지스터의 게이트와 상기 저장 노드의 사이에 결합되는 화소 회로.

청구항 22.

청구항 19에 있어서,

상기 포토센서로부터 상기 저장 노드로 전하를 전송시키기 위해 상기 포토 센서에 연결된 전송 트랜지스터를 더 포함하는 화소 회로.

청구항 23.

화소 어레이를 포함하고,

상기 어레이의 적어도 하나의 화소는

집적 기간 동안 전하를 생성시키기 위한 포토센서;

상기 포토센서로부터 상기 생성된 전하를 수신하기 위한 저장 노드;

상기 저장 노드에서의 전하 신호를 출력 전압으로 변환시키기 위해 상기 저장 노드에 결합된 출력 트랜지스터;

상기 저장 노드에 리셋 전압을 인가하기 위한 리셋 트랜지스터;

상기 출력 트랜지스터를 선택적으로 작동시키기 위해, 상기 출력 트랜지스터에 결합된 행 셀렉트 트랜지스터; 및

상기 행 셀렉트 트랜지스터가 기동될 때, 상기 리셋 트랜지스터에 의해 상기 저장 노드에 인가된 리셋 전압을 부스팅하기 위한, 상기 행 셀렉트 트랜지스터와 상기 저장 노드 사이의 용량성 결합을 포함하는,

집적 회로.

청구항 24.

청구항 23에 있어서,

상기 포토센서로부터 상기 저장 노드로 전하를 전송시키기 위해 상기 포토센서에 연결된 전송 트랜지스터를 더 포함하는 집적 회로.

청구항 25.

청구항 23에 있어서,

상기 행 셀렉트 트랜지스터는 전압원과 상기 출력 트랜지스터의 드레인 사이에 결합되는 집적 회로.

청구항 26.

청구항 25에 있어서,

상기 용량성 결합은 상기 저장 노드와 상기 행 셀렉트 트랜지스터의 소스 사이에 연결되는 커패시터를 포함하는 집적 회로.

청구항 27.

청구항 23에 있어서,

상기 행 셀렉트 트랜지스터는 상기 출력 트랜지스터와 출력 라인 사이에 결합되는 집적 회로.

청구항 28.

청구항 23에 있어서,

상기 용량성 결합은 상기 저장 노드와 상기 행 셀렉트 트랜지스터의 게이트에 연결된 커패시터를 포함하는 집적 회로.

청구항 29.

청구항 23에 있어서,

상기 화소 회로에 동작 전압을 공급하기 위해 상기 행 셀렉트 트랜지스터의 드레인과 상기 리셋 트랜지스터의 드레인에 결합된 전압원

을 더 포함하는 집적 회로.

청구항 30.

프로세서와, 상기 프로세서에 결합된 화소들의 어레이를 구비하는 이미징 장치를 포함하고,

각 화소는,

집적 기간 동안 전하를 생성하기 위한 포토센서;

상기 포토센서로부터 상기 생성된 전하를 수신하기 위한 저장 노드;

상기 저장 노드에서의 전하 신호를 출력 전압으로 변환하기 위해 상기 저장 노드에 결합된 출력 트랜지스터;

상기 저장 노드에 리셋 전압을 인가하기 위한 리셋 트랜지스터;

상기 출력 트랜지스터를 선택적으로 작동시키기 위해 상기 출력 트랜지스터에 결합된 행 셀렉트 트랜지스터; 및

상기 행 셀렉트 트랜지스터가 기동될 때, 상기 리셋 트랜지스터에 의해 상기 저장 노드에 인가된 리셋 전압을 부스팅하기 위해서, 상기 행 셀렉트 트랜지스터와 상기 저장 노드 사이에 결합된 용량성 결합을 포함하는,

이미징 시스템.

청구항 31.

청구항 30에 있어서,

상기 포토센서로부터 상기 저장 노드로 전하를 전송하기 위해 상기 포토센서에 연결된 전송 트랜지스터를 더 포함하는 이미징 시스템.

청구항 32.

청구항 30에 있어서,

상기 행 셀렉트 트랜지스터는 전압원과 상기 출력 트랜지스터의 드레인 사이에 결합되는 이미징 시스템.

청구항 33.

청구항 32에 있어서,

상기 용량성 결합은 상기 저장 노드와 상기 행 셀렉트 트랜지스터의 소스 사이에 연결된 커패시터를 포함하는 이미징 시스템.

청구항 34.

청구항 30에 있어서,

상기 행 셀렉트 트랜지스터는 상기 출력 트랜지스터와 출력 라인 사이에 결합되는 이미징 시스템.

청구항 35.

청구항 30에 있어서,

상기 용량성 결합은 상기 저장 노드와 상기 행 셀렉트 트랜지스터의 게이트에 연결된 커패시터를 포함하는 이미징 시스템.

청구항 36.

청구항 30에 있어서,

상기 화소 회로에 동작 전압을 공급하기 위해, 상기 행 셀렉트 트랜지스터의 드레인과 상기 리셋 트랜지스터의 드레인에 결합된 전압원

을 더 포함하는 이미징 시스템.

청구항 37.

광전하로부터 생성된 신호를 얻는 방법으로서,

광생성된 전하를 수신하도록 되어 있는 저장 노드를 소정의 전압 상태로 리셋시키는 단계;

상기 소정의 상태의 저장 노드에 대해, 상기 저장 노드에 부가적인 전압을 더하여, 부스팅된 리셋 전압을 생성하는 단계;
및

상기 저장 노드에서의 상기 부스팅된 리셋 전압을 리셋 레벨 출력 신호로서 판독하는 단계

를 포함하는 방법.

청구항 38.

청구항 37에 있어서,

집적 기간 동안 포토센서로 전하들을 생성하는 단계 및 상기 생성된 전하를 상기 저장 노드에 인가하는 단계

를 더 포함하는 방법.

청구항 39.

청구항 37에 있어서,

상기 저장 노드에 결합된 커패시터에 전하들을 저장하는 단계를 더 포함하고, 상기 커패시터는 상기 저장 노드에 상기 부가적인 전압을 더하기 위해 사용되는,

방법.

청구항 40.

청구항 37에 있어서,

상기 부가적인 전압은 화소의 행 셀렉트 트랜지스터의 턴온에 응답하여 더해지는,

방법.

청구항 41.

청구항 36에 있어서,

상기 포토센서에 의해 생성된 전하들을 상기 저장 노드로 선택적으로 전송하는 단계

를 더 포함하는 방법.

청구항 42.

화소 셀로부터 리셋 신호를 판독하는 방법으로서,

상기 포토센서에 의해 생성된 전하들을 수신하는 전하 저장 노드를 리셋 레벨로 리셋하는 단계;

상기 리셋 레벨의 저장 노드에 대해, 상기 화소 셀로부터 신호를 출력하기 위해 행 셀렉트 트랜지스터를 턴온하는 단계; 및

리셋 레벨 출력 신호로서 상기 리셋 레벨을 판독하는 단계를 포함하며,

상기 행 셀렉트 트랜지스터를 턴온하는 단계와 상기 저장 노드를 리셋하는 단계 사이의 타이밍 관계에 의해 상기 리셋 레벨 출력 신호가 부스팅되는,

방법.

명세서

기술분야

본 발명은 일반적으로 이미지 화소의 제어 및 동작의 개선에 관한 것이다.

배경기술

CCD(charge coupled device) 어레이들, CMOS(complementary metal oxide semiconductor) 어레이들, CCD와 CMOS의 특징들을 결합한 어레이들, 그리고 하이브리드 적외선 초점면(hybrid infrared focal-plane) 어레이들과 같은 다양한 이미지 회로들이 제안되어 왔다. 종래의 어레이들은 보통 "화소"라고 언급되는 감광 소자와 화소에 의해 감지된 빛을 나타내는 신호를 출력하는 판독 회로를 갖고 있다.

예를 들면, CMOS 이미저는 화소 셀의 초점면 어레이를 포함하는데; 각각의 셀은 포토디텍터(예를 들면, 포토게이트, 포토 컨덕터 또는 포토다이오드)를 포함하며, 그 포토디텍터는 도핑 영역에서 광 생성된 전하를 발생시키는 기관에 적층된다. 판독 회로는 각 화소 셀에 제공되며, 최소한 소스 폴로어 트랜지스터와 소스 폴로어 트랜지스터를 열 출력 라인에 결합하기 위한 행 셀렉트 트랜지스터를 포함한다. 화소 셀은 또한 전형적으로 소스 폴로어 트랜지스터의 게이트에 연결된 저장 영역을 가진다. 포토디텍터에 의해 생성된 전하는 저장 영역으로 보내진다. 이미저는 또한 포토디텍터로부터 저장 영역으로 전하를 전송하기 위한 트랜지스터 및 전하 전송 이전에 소정의 전하 레벨로 저장 영역을 리셋시키기 위한 또 다른 트랜지스터를 포함할 수도 있다.

도 1은, 상기와 같이 구성된 혹은 그 밖의 잘 알려진 화소 셀 회로와 같이 구성된 각 화소 셀을 구비한 화소 어레이(200)를 가지는 CMOS 이미저 장치(908)의 블록도를 도시한다. 화소 어레이(200)는 소정수의 행과 열(도시하지 않음)이 배열된 복수의 화소들을 포함한다. 어레이(200)의 각 행의 화소들은 행 셀렉트 라인에 의해 모두 동시에 턴온되며, 각 열의 화소들은 각각의 열 셀렉트 라인들에 의해 선택적으로 출력된다. 복수의 행 및 열 라인들은 어레이(200)의 전체에 공급된다. 행 라인들은 순차적으로 행 어드레스 디코더(220)에 응답하여 행 드라이버(210)에 의해 선택적으로 활성화된다. 열 셀렉트 라인들은 순차적으로 열 어드레스 디코더(270)에 응답하여 열 드라이버(260)에 의해서 각 행 활성화를 위해 선택적으로 활성화된다. 이와 같이, 행 및 열 어드레스가 각 화소에 제공되게 된다.

CMOS 이미저(908)는 화소 판독을 위한 적절한 행 및 열 라인들을 선택하기 위한 어드레스 디코더들(220, 270)을 제어하는 제어 회로(250)에 의해서 동작된다. 제어 회로(250)는 또한 행 및 열 드라이버 회로(210, 260)를 제어하여서, 선택된 행 및 열 라인들의 구동 트랜지스터들에 구동 전압을 인가한다. 전형적으로 화소 출력 신호들은 리셋 트랜지스터 및 화소 이미지 신호(V_{sig})에 의해 리셋될 때 저장 영역에서 분리되어 나온 화소 리셋 신호(V_{rst})를 포함하는데, 그 화소 이미지 신호(V_{sig})는 광 생성된 전하가 저장 영역으로 전송된 후에 저장 영역으로부터 분리되어 나오게 된다. V_{rst} 및 V_{sig} 신호들은 샘플 및 홀드 회로(265)에 의해 읽혀지며, 각 화소에 대해 차분 신호($V_{rst} - V_{sig}$)를 발생시키기 위해서 차동 증폭기(267)에 의해 차감되어진다. $V_{rst} - V_{sig}$ 는 화소들에 작용하는 빛의 양을 나타낸다. 이 차분 신호는 ADC(analog-to-digital

converter)(275)에 의해 디지털화된다. 디지털화된 화소 신호들은 디지털 이미지 출력을 형성하기 위해 이미지 프로세서(280)로 공급된다. 디지털화 및 이미지 프로세싱은 이미지 칩 상에 혹은 외에 위치할 수 있다. 일부 배열들에서는, 차분 신호($V_{rst} - V_{sig}$)가 차분 신호로서 증폭되어 차분 ADC에 의해 직접 디지털화될 수 있다.

도 2는 4개의 트랜지스터(4T)로 이루어진 CMOS 이미지 화소 셀(100)을 도시하고 있다. 화소 셀(100)은 전송 트랜지스터(104)에 연결된 포토다이오드(102)를 포함한다. 전송 트랜지스터(104)는 또한 저장 영역(108)에 연결되어 있다. 리셋 트랜지스터(106), 커패시터(107) 및 소스 폴로어 트랜지스터(110)의 게이트는 저장 영역(108)과 연결되어 있다. 행 셀렉트 트랜지스터(112)는 소스 폴로어 트랜지스터(110)와 연결되어 있다. 화소 셀(100)의 능동 소자들은 (1) 포토다이오드(102)에 의해 광자를 전하로 변환시키고; (2) 리셋 트랜지스터(106)에 의해, 전하가 저장 영역으로 전송되기 전에 저장 영역을 주지의 상태로 리셋시키고; (3) 전송 트랜지스터(104)에 의해 전하가 저장 영역(108)으로 전송되도록 하고; (4) 행 셀렉트 트랜지스터(112)에 의한 판독을 위한 셀(100)의 선택; 그리고 (5) 소스 폴로어 트랜지스터(110)에 의해 저장 영역(108) 상에 존재하는 전하들에 의거하여 리셋 전압(즉, V_{rst}) 및 화소 신호 전압(즉, V_{sig})을 나타내는 신호의 출력 및 증폭을 하는 기능을 한다. 포토다이오드(102)에 의해 집적 기간 동안 발생된 전하들이 저장 영역(108)의 용량보다 클 수도 있기 때문에, 커패시터(107)가 이용되고 있다. 따라서, 커패시터(107)는 부가적인 전하 저장 용량을 제공한다. 도 2의 화소 셀(100)은 이미지 장치 화소 어레이(예를 들면, 도 1의 어레이(200))의 일부로써 반도체 기판 상에 형성된다.

도 3은 도 2의 회로(300)에서 화소 판독을 할 동안의 타이밍도를 도시하고 있다. 우선, 도 1의 이미지 어레이(200)에서 모든 화소들의 저장 영역들(108)은, 모든 소스 폴로어 트랜지스터들(110)이 확실히 턴오프 상태로 남게 하기 위해 소정의 전압으로 설정되어 있다. 임혀질 화소의 ROW 신호는 시간 t_1 에서 소스 폴로어 트랜지스터(110)의 전역에 걸쳐서 동작 전압을 공급하며 펄스가 하이(high)가 된다. 그 후, 샘플링될 화소들의 저장 영역(108)은, RST 신호가 하이가 될 때에 동작 전압(VCC)과 리셋 트랜지스터(106)의 임계 전압(V_t)의 합이 공급되어지는, 리셋 트랜지스터(106)를 간단히 턴온하는 것에 의해 리셋이 되어서, 저장 영역(108)을 소정의 전압으로 리셋시킨다. 그리고 나서, 저장 영역(108) 상의 리셋 전압 레벨은 소스 폴로어 트랜지스터(110)의 게이트에 인가되는데, 소스 폴로어 트랜지스터(110)는 리셋 전압 레벨을 열 출력 라인 상의 리셋 출력 전압(V_{rst})으로 변환시킨다. 그 후에 출력 신호는 시간 t_3 에서 샘플링되고, 예를 들면, 도 1의 샘플 및 홀드 회로(265)에 의해 하이 펄스 SHR은 리셋 출력 전압(V_{rst})을 첫번째 샘플 및 홀드 커패시터로 샘플링 및 홀딩하기 위해 이용된다.

이어서, 집적 기간부터 포토다이오드(102)에 저장된 전하는 시간 t_4 에서 하이가 되는 TX 신호에 의해 저장 영역(108)으로 전송되어서, 전송 트랜지스터(104)를 턴온시킨다. 전송된 전하는 저장 영역(108)의 전압을 화소 출력 신호 레벨로 낮추는데, 이는 소스 폴로어 트랜지스터(110)의 게이트에 인가된다. 동작 전압(VCC)이 공급되는 소스 폴로어 트랜지스터(110)는 신호 전압 레벨을 열 출력 라인 상의 신호 출력 전압(V_{sig})으로 변환시킨다. 시간 t_5 에서 샘플/홀드 펄스(SHS)에 응답하여, 샘플 및 홀드 회로(265)(도 1)는 열 라인 상의 화소 신호 출력 전압(V_{sig})이 두번째 샘플 및 홀드 커패시터에 저장되게 한다. V_{sig} 가 샘플링된 후, ROW 신호는 낮은 전압으로 설정되고 화소 회로는 다음 이미지 캡처를 위해 대기한다.

전송 트랜지스터(104)는 포토다이오드(102)와 저장 영역(108)의 사이에 위치하고 있기 때문에, 저장 영역(108)은 전자들을 전송하기 이전에 리셋되어질 수 있다. 이는 상호 연관된 더블 샘플링 동작이 kTC 노이즈 및 이미지 노이즈가 줄어드는 결과가 나올 수 있도록 해준다.

리셋을 하는 동안에 도 2의 화소 회로 구성으로 저장 영역(108)에서 최대 전압 스윙(swing)을 얻기 위해, 리셋 트랜지스터 게이트 전압이 $VCC + V_t$ (리셋 트랜지스터(106)의 임계 전압)로 부스팅된다. 전압(V_t)을 리셋 전압에 부가하는 것에 의해, 저장 영역(108)은 포토다이오드(102)로부터 저장 영역(108)으로 전송된 전하들에 응답하여 소스 폴로어 트랜지스터(110)로부터 더 큰 출력 신호 스윙을 허용하는 VCC로 리셋되어질 수 있다. 이 기술은 리셋 전압을 부스팅하기 위해 부가적인 공급 전압 부스팅 회로를 필요로 하기 때문에, 사이즈, 전력 소비, 설계의 복잡도 및 연관된 회로와 화소의 비용을 증가시키게 된다.

발명의 상세한 설명

본 발명의 실시 방법 및 장치는, 동작 및 판독을 위한 화소 행을 선택하는 행 트랜지스터가 전기적으로 결합되어 있으며, 저장 영역에 인가된 리셋 전압을 부스팅하는 방식으로 동작하여, 공급 전압 부스팅 회로의 필요성을 제거할 수 있게 된 이미지의 새로운 디자인을 제공한다.

일 실시예에서, 화소 셀은 포토센서, 포토센서로부터 전송된 전하들을 수신하기 위한 저장 영역, 리셋 제어 신호에 의해 동작되며 저장 영역을 리셋시키기 위한 리셋 트랜지스터, 행 셀렉트 신호에 응답하여 선택적인 판독을 제공하기 위해 저장 영역에 결합된 게이트를 갖는 소스 폴로어 출력 트랜지스터, 출력 열 라인 상으로 출력 신호를 제공하기 위해서 전원과 소스 폴로어 출력 트랜지스터의 사이에 결합된 행 셀렉트 트랜지스터 및 저장 영역과 행 셀렉트 트랜지스터의 소스 터미널의 사이에 결합된 커패시터를 포함한다. 리셋 트랜지스터의 턴은 직후에 행 셀렉트 트랜지스터가 턴온되면, 행 셀렉트 트랜지스터는 초기 펄스 전압을 리셋 트랜지스터에 의해 공급된 리셋 전압에 부가하여서, 저장 영역의 리셋 전압을 부스팅하게 된다. 전하가 포토센서로부터 저장 영역으로 전송될 때, 저장 영역에 대해 커패시터가 또한 증가된 전하 저장소를 제공한다. 커패시터는 기생 커패시터에 의해 혹은 부가된 커패시터에 의해 제공될 수 있다.

또 다른 실시예에서, 화소 셀은 포토센서, 포토센서로부터 전송된 전하들을 수신하기 위한 저장 영역, 리셋 제어 신호에 의해 동작되며 저장 영역의 리셋을 위한 리셋 트랜지스터, 판독 신호를 제공하기 위해 저장 영역에 결합된 게이트를 갖고 있는 소스 폴로어 출력 트랜지스터, 행 셀렉트 신호에 응답하여 소스 폴로어 출력 트랜지스터의 소스에 연결되어서 출력 열 라인 상으로 판독 신호를 출력하는 행 셀렉트 트랜지스터 및 소스 폴로어 트랜지스터의 게이트들과 행 셀렉트 트랜지스터의 사이에 결합된 커패시터를 포함한다. 리셋 트랜지스터가 턴온된 후, 행 셀렉트 트랜지스터가 턴온되면 저장 영역 상의 리셋 전압을 부스팅하기 위한 전압 펄스가 공급된다.

실시예

다음의 상세한 설명에서, 명세서의 한 부분인 첨부된 도면들을 참조하게 되는데, 여기서 본 발명이 실행되는 다양한 실시예들을 도해를 통해서 도시하고 있다. 이 실시예들은 당업자들이 본 발명을 구현 및 사용할 수 있도록 충분히 상세하게 기재되어 있다. 그 밖의 실시예들이 이용되거나, 구조적, 논리적 및 전기적인 변화나, 또한 이용된 재료들이 변화될지라도 본 발명의 사상과 범위로부터 벗어나는 것은 아니라고 해석된다. 부가적으로, 특정 프로세싱 단계들이 서술되고 프로세싱 단계들의 특정 순서가 개시되지만, 단계들의 절차는, 여기에 설명된 것에만 제한되지는 않으며 특정한 순서에서 필수적으로 발생하는 단계들이나 행위들을 예외적으로 하여, 종래의 기술처럼 변화될 수도 있다.

"웨이퍼"와 "기판"이라는 용어들은 상호교환될 수 있으며, 실리콘, SOI(silicon-on-insulator), 또는 SOS(silicon-on-sapphire), 도핑된 세미컨덕터들, 도핑되지 않은 세미컨덕터들, 베이스 세미컨덕터 기반에 의해 지원되는 실리콘의 에피택셜 레이어들(epitaxial layers), 및 그 밖의 세미컨덕터 구조들을 포함하는 것으로 해석되어진다. 또한, 다음의 서술에서 "웨이퍼"나 "기판"이 언급될 때에는, 베이스 세미컨덕터 구조 또는 기판 상에서(혹은 내에서) 영역들, 접합들 또는 재료층들을 형성하기 위해 이전의 프로세스 단계들이 이용되어졌을 수도 있다. 게다가, 세미컨덕터는 실리콘 기반일 필요는 없고, 실리콘-게르마늄, 게르마늄, 비화 갈륨(gallium arsenide) 또는 그 밖의 주지의 세미컨덕터 재료들에 기반될 수 있다.

"화소"는 포토-변환 장치나 포토센서, 예를 들면, 포토게이트, 포토컨덕터 혹은 포토다이오드 및 포토-변환 장치에 의해 감지된 전자기 방사로부터의 전기 신호를 처리하는 트랜지스터들을 포함하는 광 소자 단위 셀(photo-element unit cell)을 언급하는 용어이다. 여기에서 논의된 화소들의 실시예들은, 오직 실시예를 위해서 포토센서로부터 저장 영역으로 전하를 게이트 제어하는 데에 전송 트랜지스터를 사용하는 네 개의 트랜지스터(4T) 화소 회로들을 도시 및 서술하고 있다. 본 발명은 네 개의 트랜지스터보다 많거나 적은 수의 트랜지스터를 갖는 그 밖의 화소 배열들이 이용될 수 있고, 전송 트랜지스터를 이용하지 않는 배열들에 이용될 수 있는 것으로 해석되어야 할 것이다.

여기서 본 발명이 하나의 화소 셀의 구조 및 구성을 참조하여 서술되고 있을지라도, 도 1의 이미지 장치(908)의 어레이(200)와 같은 이미지 장치의 어레이에서는 복수의 화소들을 대표한다고 해석되어야 할 것이다. 게다가, 본 발명은 CMOS 이미지를 참조하여 아래에 서술되고 있지만, 리셋되고 나서, 전하들이 전송되는 저장 노드를 갖는 어떠한 교체 이미징 장치에도 적용할 수 있다. 그래서 다음의 상세한 설명에서, 극단적인 의미는 제외되며, 본 발명의 범위는 첨부된 청구항들에 의해서만 정의된다.

도 4는 본 발명의 첫 번째 실시예에 따른 화소 회로(300)를 도시하고 있다. 화소 회로(300)는 전송 트랜지스터(304)에 연결된 포토다이오드(302)를 포함한다. 전송 트랜지스터(304)는 또한 저장 영역(308)에 연결되어 있다. 리셋 트랜지스터(306)와 소스 폴로어 트랜지스터(310)는 저장 영역(308)에 연결되어 있다. 그러나, 회로(100)와는 다르게, 행 셀렉트 트랜지스터(312)의 드레인이 전압원(VCC)과 연결되어 있고 그 소스는 소스 폴로어 트랜지스터(310)와 연결되어 있다. 또한 커패시터(307)의 일단은 행 셀렉트 트랜지스터(112)의 소스와 연결되며, 타단은 저장 영역(108)과 연결된다. 이러한 배열에 의해, 행 셀렉트 트랜지스터(312)가 처음으로 턴온될 때, 저장 영역(308)에 전압 부스팅이 가해진다. 만약 행 셀렉트 트

랜지스터(312) 직전에 리셋 트랜지스터(306)가 펄스 동작 온 또는 오프 되면, 저장 영역은 리셋 트랜지스터(306)에 의해 인가된 리셋 전압과, 행 셀렉트 트랜지스터(312)의 턴온에 의한 전압 부스팅을 모두 알 수 있을 것이다. 역 바이어스된 다이오드처럼, 그 밖의 전압 결합 장치들이 커패시터(307) 대신에 이용될 수도 있다.

도 3의 회로(100)의 화소 관독에 관하여 위에 상기된 것처럼, 리셋 전압 레벨이 리셋 트랜지스터(106)의 턴온에 의해서 생성되고, 그로 인해서 저장 영역(108)을 리셋시키게 된다. 리셋 전압 레벨은, 리셋 전압 레벨을 열 출력 라인 상의 리셋 출력 전압(V_{rst})으로 변환시키는, 소스 폴로어 트랜지스터(110)의 게이트에 인가된다. 행 셀렉트 트랜지스터를 턴온하여 공급되는 부스팅된 전압은 또한 저장 영역(108)과 소스 폴로어 트랜지스터(110)의 게이트에 인가된다. 화소 회로(300)의 구성 및 도 6의 화소 관독시의 타이밍이 부스팅 된 리셋 신호를 공급하는데, 이는 전하 집적 기간(포토다이오드(302)가 입사광에 응답하여 신호 전하를 생성하는 기간) 동안에 V_{rst} 를 공급하기 위해 샘플링된 것이다. 그래서, 전압 공급 부스팅 회로가 필요 없게 된다.

저장 영역의 리셋 신호는, 행 셀렉트 펄스의 리딩 에지(leading edge)에 응답하여 행 셀렉트 트랜지스터(312)가 턴온될 때에, 커패시터(307)의 동작에 기인하여 부스팅된다. 게다가, 만약 리셋 신호를 샘플링하는 데에 약간의 부스팅만이 필요하다면, 리셋 전압 부스팅을 저장 영역(308)에 제공하기 위해서 소스 폴로어 트랜지스터(310)의 게이트/소스 접합 사이의 기생 커패시턴스가 이용될 수도 있는데, 이 경우에 커패시터(307)는 생략되어질 수 있다.

도 5는 본 발명의 두 번째 실시예에 따른 화소 회로(400)를 도시한다. 화소 회로(400)는 화소 회로(100)와 유사하지만, 커패시터가 저장 영역(108)과 VCC 사이에 결합되지 않고, 커패시터(407)의 일단은 행 셀렉트 트랜지스터(112)의 게이트에 연결되어 있고, 타단은 저장 영역(108)에 연결되어 있다. 따라서, 행 셀렉트 제어 신호가 행 셀렉트 트랜지스터(112)의 게이트에 인가될 때, 저장 영역(108)에 부스팅된 리셋 신호가 공급된다. 역 바이어스된 다이오드처럼, 다른 전압 결합 장치가 커패시터(407) 대신에 이용될 수도 있다.

도 6은 화소 관독하는 동안의 회로(300)와 회로(400)의 타이밍도를 도시하고 있다. 관독 동작하는 동안에, 리셋 트랜지스터(106)의 게이트에 인가되는 리셋 인에이블 신호 RST는 행 인에이블 신호 ROW가 하이 펄스가 되기 전에 펄스 작동 온 또는 오프된다.

우선, 이미지 어레이(200)에서 화소의 저장 영역(308/108)은 소정의 전압(VCC 근처)으로 설정된다. 그리고 나서 시간 t_1 에서, 샘플링된 화소의 저장 영역(308/108)은, 신호 RST가 하이 펄스가 될 때 동작 전압 VCC가 공급되는, 리셋 트랜지스터(306/106)를 간단히 턴온하는 것에 의하여 리셋되어서, 저장 영역(308/108)을 소정의 전압으로 리셋시키게 된다. 그리고 나서 저장 영역(308/108)의 리셋 전압 레벨이 소스 폴로어 트랜지스터(310/110)의 게이트에 인가된다. RST 펄스가 로우가 된 후, 읽혀질 화소의 ROW 신호는, 전압 부스팅을 소스 폴로어 트랜지스터(310/110)의 게이트의 리셋 전압에 공급하는 시간 t_2 에서 하이 펄스가 된다. 이어서, 행 셀렉트 게이트 전압으로부터 공급받는 부스팅된 리셋 신호는, 예를 들면 도 1의 샘플 및 홀드 회로(265)에 의한 것처럼, 시간 t_3 에서 샘플링되는데, 여기서 하이 펄스 SHR은 첫 번째 샘플 및 홀드 커패시터로 리셋 출력 전압 V_{rst} 를 샘플링 및 홀딩하기 위해서 이용된다.

집적 기간 동안에 포토다이오드(302/102)에 저장된 전하는, 그 후에 TX 신호가 시간 t_4 에서 하이 펄스에 의해 저장 영역(308/108)으로 전송되어서, 전송 트랜지스터(304/104)를 턴온시키게 된다. 전송된 전하는, 소스 폴로어 트랜지스터(310/110)의 게이트에 인가되는, 저장 영역(308/108)의 전압을 화소 출력 신호 레벨로 낮춘다. 행 셀렉트 트랜지스터(312/112)를 통해 동작 전압 VCC가 공급되는 소스 폴로어 트랜지스터(310/110)는 신호 전압 레벨을 열 출력 라인의 신호 출력 전압(V_{sig})으로 변환시킨다. 도 1의 샘플 및 홀드 회로(265)는 시간 t_5 에서 샘플/홀드 펄스(SHS)에 응답하여 열 라인의 화소의 신호 출력 전압(V_{sig})이 두 번째 샘플 및 홀드 커패시터에 저장되게 한다. V_{sig} 가 샘플링된 후, ROW 신호는 낮은 전압으로 설정되고, 화소 회로는 다음 이미지 캡처를 위해 대기한다.

시간 t_2 에서 ROW가 하이 펄스가 되기 이전에, 시간 t_1 에서 RST가 하이 펄스가 되어서 소정의 리셋 전압 부스팅이 달성된다. 이 부스팅은, 도 4의 저장 영역(308)과 도 4의 행 셀렉트 트랜지스터(310)의 소스 사이에서의 용량성 결합이나, 혹은 도 5의 저장 영역(108)과 도 5의 행 셀렉트 트랜지스터(112)의 게이트 사이에서의 용량성 결합에 기인한다.

도 7은, 본 발명에 따라 구성된 어레이(200)에 화소들을 포함하도록 변형된, 도 1의 이미징 장치(908)를 포함하는 프로세서 기반의 시스템(900)을 도시하고 있다. 프로세서 기반의 시스템(900)은, 본 발명에 따라 구성되어 동작하는 화소들을 가

지는 화소 어레이를 포함하는 이미징 장치(908)를 활용하는 시스템의 실시예이다. 극단적이지만 않다면, 이와 같은 시스템은, 카메라 시스템, 컴퓨터 시스템, 스캐너, 머신 비전 시스템, 차량용 네이게이션 시스템, 비디오폰, 감시 시스템, 오토 포커스 시스템, 별 추적기 시스템, 움직임 검출 시스템 등을 포함할 수 있다.

프로세서 기반의 시스템(900)은, 카메라 시스템을 예로 들면, 일반적으로 마이크로프로세서와 같은 CPU(central processing unit)(902)를 포함하는데, 이는 버스(904)를 통해서 입출력 장치(906)와 통신한다. 이미징 장치(908)도 또한 버스(904)를 통해서 CPU(902)와 통신한다. 프로세서 기반의 시스템(900)은 또한 RAM(random access memory)(910)을 포함하고, 플래쉬 메모리와 같은, 탈착 가능 메모리(915)를 포함할 수 있는데, 이들 또한 버스(904)를 통해서 CPU(902)와 통신한다. 이미징 장치(908)는, CPU, 디지털 시그널 프로세서 혹은 마이크로프로세서와 같은, 단일 칩 회로 상 혹은 프로세서와는 다른 칩의 메모리 저장소를 갖거나 갖지 않는 프로세서와 결합될 수도 있다.

본 발명의 다양한 실시예들은 전하 변환 장치로써 포토다이오드를 사용하고, 네 개의 트랜지스터 화소의 환경에서 설명되었다. 그러나, 본 발명은 그렇게 제한되지 않으며, 리셋 신호의 전압을 부스팅할 필요성을 제거하기 위해 사용되는, 상기 회로와 유사한 방식으로 결합된 행 셀렉트 트랜지스터와 소스 폴로어 트랜지스터를 채용하는 어떠한 화소 구조들에서도 사용될 수 있다는 점이 인식되어야 할 것이다. 또한, 그 밖의 타입의 포토센서들이 이미지 전하를 생성하기 위해 이용될 수도 있다. 본 발명은 또한 CCD(charge coupled device) 어레이의 판독 회로에서 사용될 수도 있다. 따라서, 본 발명이 상기한 실시예들에 엄격히 제한되어서는 안 될 것이다. 현재는 예측 불가능하지만, 다음의 청구항들의 사상과 범위내에서 이루어진 본 발명의 어떠한 변형물들도 본 발명의 일부로서 간주되어야 할 것이다.

도면의 간단한 설명

본 발명의 이들 및 그 밖의 특징들 및 이점들은 첨부된 도면들과 결부하여 제공되는 다음의 상세한 설명을 통해서 명백해질 것이다.

도 1은 종래의 이미저 장치의 블록도.

도 2는 종래의 네 개의 트랜지스터 화소의 개략도.

도 3은 종래의 네 개의 트랜지스터 화소의 전하 판독의 타이밍도.

도 4는 본 발명의 첫 번째 실시예에 따른 개략적인 회로도.

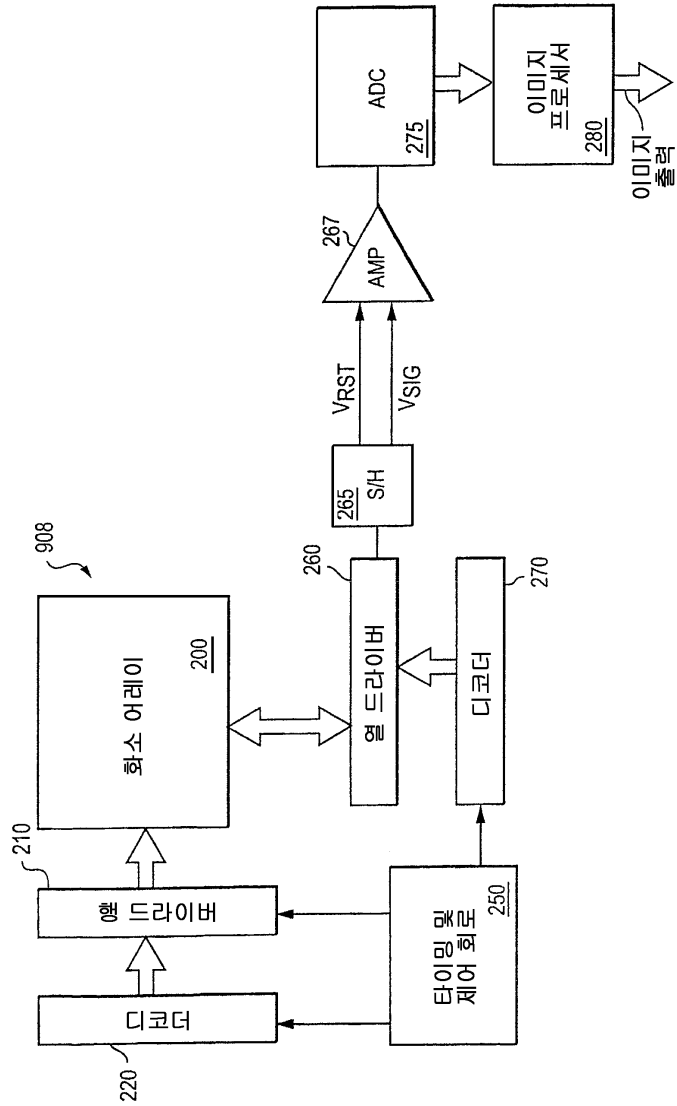
도 5는 본 발명의 두 번째 실시예에 따른 개략적인 회로도.

도 6은 도 4 및 도 5의 전하 판독의 타이밍도.

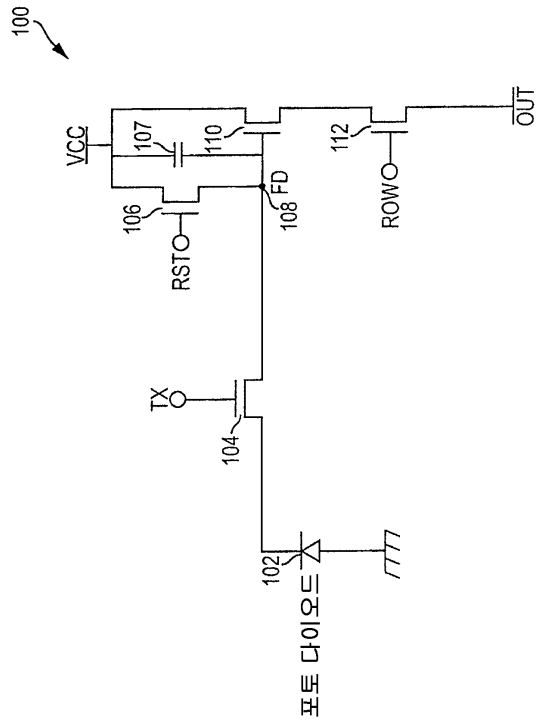
도 7은 도 4 및 도 5의 회로들에 따라 구성된 화소들의 어레이를 채용한 이미저를 채용한 프로세싱 시스템의 도면.

도면

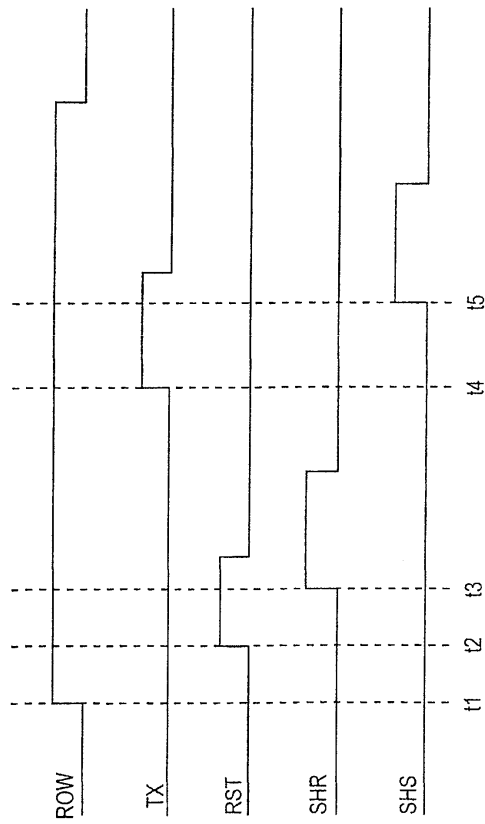
도면1



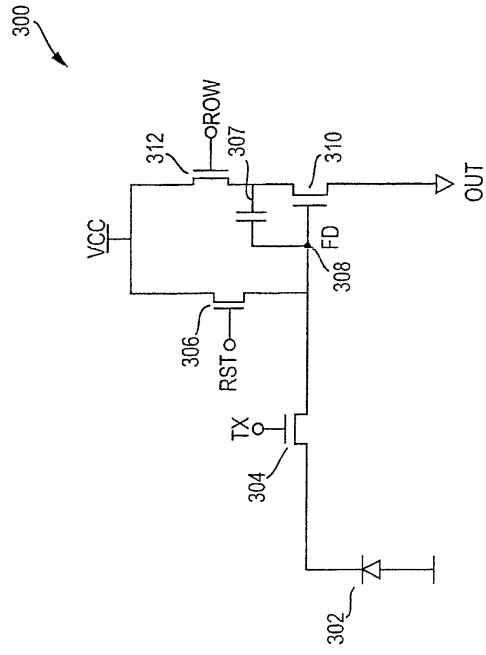
도면2



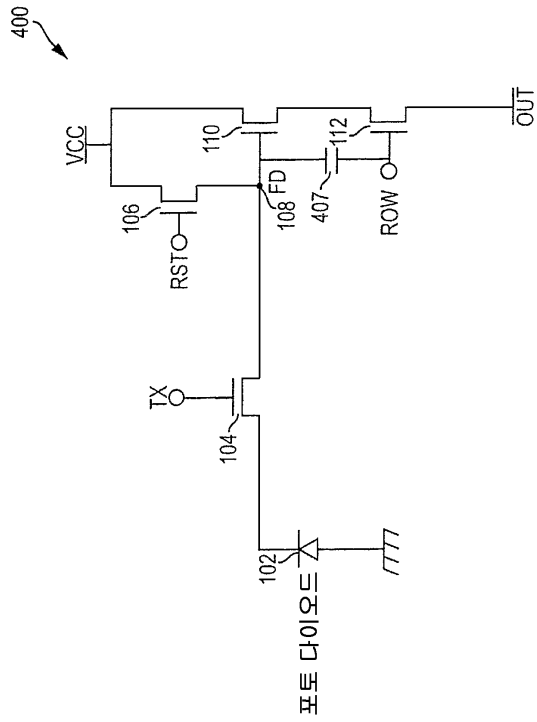
도면3



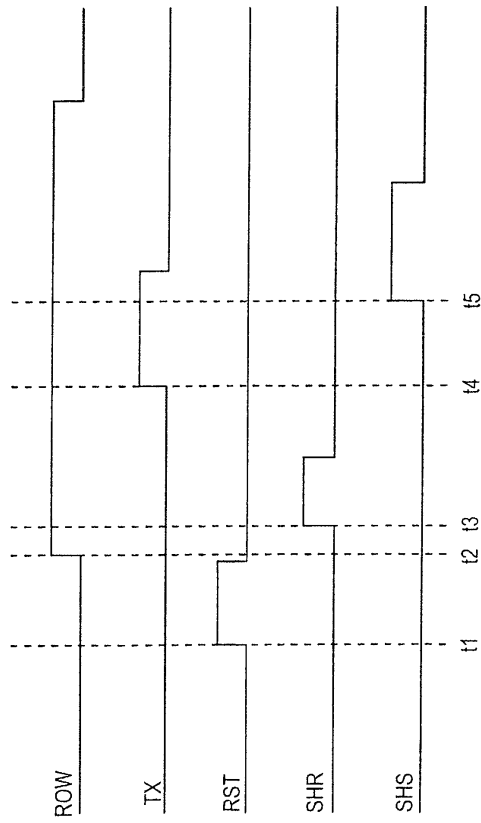
도면4



도면5



도면6



도면7

