



(12) 发明专利

(10) 授权公告号 CN 113437075 B

(45) 授权公告日 2022. 07. 29

(21) 申请号 202110687113.3

H01L 27/11568 (2017.01)

(22) 申请日 2021.06.21

H01L 27/11556 (2017.01)

(65) 同一申请的已公布的文献号

H01L 27/11575 (2017.01)

申请公布号 CN 113437075 A

H01L 27/11582 (2017.01)

H01L 25/18 (2006.01)

(43) 申请公布日 2021.09.24

(56) 对比文件

(73) 专利权人 长江存储科技有限责任公司

CN 111801797 A, 2020.10.20

地址 430074 湖北省武汉市东湖新技术开发区未来三路88号

CN 111801797 A, 2020.10.20

CN 111566816 A, 2020.08.21

(72) 发明人 张坤 周文犀 夏志良

CN 111384062 A, 2020.07.07

CN 111566815 A, 2020.08.21

(74) 专利代理机构 北京派特恩知识产权代理有限公司 11270

CN 112585754 A, 2021.03.30

CN 112424933 A, 2021.02.26

专利代理师 高天华 张颖玲

US 2021091063 A1, 2021.03.25

审查员 刘红

(51) Int. Cl.

H01L 27/11521 (2017.01)

H01L 27/11548 (2017.01)

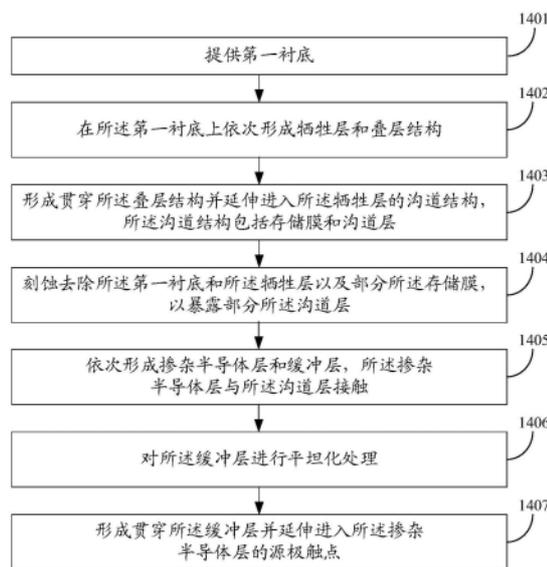
权利要求书2页 说明书13页 附图7页

(54) 发明名称

一种三维存储器及其制造方法

(57) 摘要

本申请提供了一种三维存储器及其制造方法。所述方法包括：提供第一衬底；在所述第一衬底上依次形成牺牲层和叠层结构；形成贯穿所述叠层结构并延伸进入所述牺牲层的沟道结构，所述沟道结构包括存储膜和沟道层；刻蚀去除所述第一衬底和所述牺牲层以及部分所述存储膜，以暴露部分所述沟道层；依次形成掺杂半导体层和缓冲层，所述掺杂半导体层与所述沟道层接触；对所述缓冲层进行平坦化处理；形成贯穿所述缓冲层并延伸进入所述掺杂半导体层的源极触点。



1. 一种三维存储器的制造方法,其特征在于,所述方法包括:  
提供第一衬底;  
在所述第一衬底上依次形成牺牲层和叠层结构;  
形成贯穿所述叠层结构并延伸进入所述牺牲层的沟道结构,所述沟道结构包括存储膜和沟道层;  
刻蚀去除所述第一衬底和所述牺牲层以及部分所述存储膜,以暴露部分所述沟道层;  
依次形成掺杂半导体层和缓冲层,所述掺杂半导体层与所述沟道层接触;所述掺杂半导体层和所述缓冲层之间的界面不平整;  
对所述缓冲层进行平坦化处理;  
形成贯穿所述缓冲层并延伸进入所述掺杂半导体层的源极触点。
2. 如权利要求1所述的三维存储器的制造方法,其特征在于,所述源极触点与所述沟道层接触。
3. 如权利要求2所述的三维存储器的制造方法,其特征在于,所述形成贯穿所述缓冲层并延伸进入所述掺杂半导体层的源极触点,包括:  
对所述缓冲层和所述掺杂半导体层进行刻蚀以形成源极触点开口;  
在所述源极触点开口内填充导电材料以形成源极触点。
4. 如权利要求3所述的三维存储器的制造方法,其特征在于,所述源极触点开口的底面与所述沟道层所在区域重叠的部分的深度小于与所述沟道层所在区域未重叠的部分的深度。
5. 如权利要求1所述的三维存储器的制造方法,其特征在于,所述依次形成掺杂半导体层和缓冲层,包括:  
通过原位生长工艺形成掺杂半导体层;  
在所述掺杂半导体层上沉积形成缓冲层;  
所述掺杂半导体层包括平整部分和延伸进入所述缓冲层的凸出部分。
6. 如权利要求5所述的三维存储器的制造方法,其特征在于,形成掺杂半导体层之前,所述方法还包括:  
对暴露的部分所述沟道层进行离子注入,以形成掺杂沟道层。
7. 如权利要求6所述的三维存储器的制造方法,其特征在于,在形成缓冲层之前,所述方法还包括:  
对所述掺杂沟道层和所述掺杂半导体层进行激活处理,以使所述掺杂沟道层和所述掺杂半导体层的掺杂浓度相同。
8. 如权利要求1所述的三维存储器的制造方法,其特征在于,在刻蚀去除所述第一衬底和所述牺牲层以及部分所述存储膜之前,所述方法还包括:  
提供第二衬底,所述第二衬底上形成有外围电路和形成在所述外围电路上的第二键合层;  
所述叠层结构上形成有第一键合层;  
将所述第一键合层和所述第二键合层进行键合。
9. 如权利要求3所述的三维存储器的制造方法,其特征在于,对所述缓冲层和所述掺杂半导体层进行刻蚀以形成源极触点开口,包括:

对所述缓冲层和所述掺杂半导体层进行刻蚀以形成源极触点开口的同时,形成触点开口;

所述触点开口贯穿所述缓冲层和所述掺杂半导体层。

10. 如权利要求9所述的三维存储器的制造方法,其特征在于,在所述源极触点开口内填充导电材料以形成源极触点,包括:

在所述触点开口和所述源极触点开口内填充导电材料以形成触点和源极触点;

所述触点与外围接触件的端部接触。

11. 一种三维存储器,其特征在于,包括:

依次设置的缓冲层、掺杂半导体层和叠层结构;所述掺杂半导体层和所述缓冲层之间的界面不平整;

沟道结构,所述沟道结构贯穿所述叠层结构并延伸进入所述掺杂半导体层中;所述沟道结构包括存储膜和沟道层;

贯穿所述缓冲层并延伸进入所述掺杂半导体层的源极触点;所述源极触点与所述沟道层所在区域重叠的部分的深度小于与所述沟道层所在区域未重叠的部分的深度。

12. 如权利要求11所述的三维存储器,其特征在于,所述源极触点与所述沟道层接触。

13. 如权利要求11所述的三维存储器,其特征在于,所述三维存储器还包括:

第二衬底,所述第二衬底上形成有外围电路。

14. 如权利要求11所述的三维存储器,其特征在于,

所述沟道层包括掺杂沟道层,所述掺杂沟道层包括位于所述掺杂半导体层中的部分和位于所述叠层结构中的部分。

15. 如权利要求14所述的三维存储器,其特征在于,所述掺杂沟道层和所述掺杂半导体层的掺杂浓度相同。

16. 如权利要求11所述的三维存储器,其特征在于,还包括:贯穿所述缓冲层和所述掺杂半导体层的触点,其中,所述触点和外围接触件的端部接触。

17. 如权利要求11所述的三维存储器,其特征在于,所述掺杂半导体层包括平整部分和延伸进入所述缓冲层的凸出部分。

18. 一种三维存储器,其特征在于,所述三维存储器包括:

依次设置的缓冲层、掺杂半导体层、叠层结构和第一键合层;所述掺杂半导体层和所述缓冲层之间的界面不平整;

沟道结构,所述沟道结构贯穿所述叠层结构并延伸进入所述掺杂半导体层中;所述沟道结构包括存储膜和沟道层;

贯穿所述缓冲层并延伸进入所述掺杂半导体层的源极触点;所述源极触点与所述沟道层所在区域重叠的部分的深度小于与所述沟道层所在区域未重叠的部分的深度;

第二衬底,所述第二衬底上形成外围电路和所述外围电路上形成有第二键合层;

所述第一键合层和所述第二键合层之间键合连接。

19. 如权利要求18所述的三维存储器,其特征在于,所述源极触点与所述沟道层接触。

## 一种三维存储器及其制造方法

### 技术领域

[0001] 本申请涉及半导体制造技术领域,具体地说,本申请涉及一种三维存储器及其制造方法。

### 背景技术

[0002] 随着电子行业的高速发展,越来越需要高性能低成本的半导体器件。传统的二维或平面存储器的集成度主要由单位存储单元占据的面积来确定。因此,传统的二维存储器的集成度在很大程度上,受到精细图案形成技术的影响。然而,增加图案精细度需要较为昂贵的工艺设备,这对增加二维存储器的集成度造成了很大的局限性。

[0003] 为了克服这样的局限性,已经开发了三维存储器,能够在显著地提高存储器件的集成度的情况下,增加存储器件的可靠性。

### 发明内容

[0004] 有鉴于此,本申请的主要目的在于提供一种具有增强可靠性的三维存储器及其制造方法。

[0005] 为达到上述目的,本申请的技术方案是这样实现的:

[0006] 本申请的第一方面提供一种三维存储器的制造方法,所述方法包括:

[0007] 提供第一衬底;

[0008] 在所述第一衬底上依次形成牺牲层和叠层结构;

[0009] 形成贯穿所述叠层结构并延伸进入所述牺牲层的沟道结构,所述沟道结构包括存储膜和沟道层;

[0010] 刻蚀去除所述第一衬底和所述牺牲层以及部分所述存储膜,以暴露部分所述沟道层;

[0011] 依次形成掺杂半导体层和缓冲层,所述掺杂半导体层与所述沟道层接触;

[0012] 对所述缓冲层进行平坦化处理;

[0013] 形成贯穿所述缓冲层并延伸进入所述掺杂半导体层的源极触点。

[0014] 根据本申请的一种实施方式,所述源极触点与所述沟道层接触。

[0015] 根据本申请的一种实施方式,所述形成贯穿所述缓冲层并延伸进入所述掺杂半导体层的源极触点,包括:

[0016] 对所述缓冲层和所述掺杂半导体层进行刻蚀以形成源极触点开口;

[0017] 在所述源极触点开口内填充导电材料以形成源极触点。

[0018] 根据本申请的一种实施方式,所述源极触点开口的底面与所述沟道层所在区域重叠的部分的深度小于与所述沟道层所在区域未重叠的部分的深度。

[0019] 根据本申请的一种实施方式,所述依次形成掺杂半导体层和缓冲层,包括:

[0020] 通过原位生长工艺形成掺杂半导体层;

[0021] 在所述掺杂半导体层上沉积形成缓冲层;

- [0022] 所述掺杂半导体层包括平整部分和延伸进入所述缓冲层的凸出部分。
- [0023] 根据本申请的一种实施方式,形成掺杂半导体层之前,所述方法还包括:
- [0024] 对暴露的部分所述沟道层进行离子注入,以形成掺杂沟道层。
- [0025] 本申请根据本申请的一种实施方式,在形成缓冲层之前,所述方法还包括:
- [0026] 对所述掺杂沟道层和所述掺杂半导体层进行激活处理,以使所述掺杂沟道层和所述掺杂半导体层的掺杂浓度相同。
- [0027] 根据本申请的一种实施方式,在刻蚀去除所述第一衬底和所述牺牲层以及部分所述存储膜之前,所述方法还包括:
- [0028] 提供第二衬底,所述第二衬底上形成有外围电路和形成在所述外围电路上的第二键合层;
- [0029] 所述叠层结构上形成有第一键合层;
- [0030] 将所述第一键合层和所述第二键合层进行键合。
- [0031] 根据本申请的一种实施方式,对所述缓冲层和所述掺杂半导体层进行刻蚀以形成源极触点开口,包括:
- [0032] 对所述缓冲层和所述掺杂半导体层进行刻蚀以形成源极触点开口的同时,形成触点开口;
- [0033] 所述触点开口贯穿所述缓冲层和所述掺杂半导体层。
- [0034] 根据本申请的一种实施方式,在所述源极触点开口内填充导电材料以形成源极触点,包括:
- [0035] 在所述触点开口和所述源极触点开口内填充导电材料以形成触点和源极触点;
- [0036] 所述触点与外围接触件的端部接触。
- [0037] 本申请的第二方面提供一种三维存储器,包括:
- [0038] 依次设置的缓冲层、掺杂半导体层和叠层结构;
- [0039] 沟道结构,所述沟道结构贯穿所述叠层结构并延伸进入所述掺杂半导体层中;所述沟道结构包括存储膜和沟道层;
- [0040] 贯穿所述缓冲层并延伸进入所述掺杂半导体层的源极触点。
- [0041] 根据本申请的一种实施方式,所述源极触点与所述沟道层接触。
- [0042] 根据本申请的一种实施方式,所述源极触点与所述沟道层所在区域重叠的部分的深度小于与所述沟道层所在区域未重叠的部分的深度。
- [0043] 根据本申请的一种实施方式,所述三维存储器还包括:
- [0044] 第二衬底,所述第二衬底上形成有外围电路。
- [0045] 根据本申请的一种实施方式,所述沟道层包括掺杂沟道层,所述掺杂沟道层包括位于所述掺杂半导体层中的部分和位于所述叠层结构中的部分。
- [0046] 根据本申请的一种实施方式,所述掺杂沟道层和所述掺杂半导体层的掺杂浓度相同。
- [0047] 根据本申请的一种实施方式,还包括:贯穿所述缓冲层和所述掺杂半导体层的触点,其中,所述触点和外围接触件的端部接触。
- [0048] 根据本申请的一种实施方式,所述掺杂半导体层包括平整部分和延伸进入所述缓冲层的凸出部分。

- [0049] 本申请的第三方面提供一种三维存储器,所述三维存储器包括:
- [0050] 依次设置的缓冲层、掺杂半导体层、叠层结构和第一键合层;
- [0051] 沟道结构,所述沟道结构贯穿所述叠层结构并延伸进入所述掺杂半导体层中;所述沟道结构包括存储膜和沟道层;
- [0052] 贯穿所述缓冲层并延伸进入所述掺杂半导体层的源极触点;
- [0053] 第二衬底,所述第二衬底上形成外围电路和所述外围电路上形成有第二键合层;
- [0054] 所述第一键合层和所述第二键合层之间键合连接。
- [0055] 根据本申请的一种实施方式,所述源极触点与所述沟道层接触。
- [0056] 与现有技术相比,本申请的三维存储器的有益效果在于具有高集成度和增强的可靠性。

### 附图说明

- [0057] 图1至图12为根据本申请的一些实施例的用于形成三维存储器的制造工艺;
- [0058] 图13为根据本申请的一种实施方式的示例性三维存储器的截面的侧视图;
- [0059] 图14为根据本申请的一些实施例的示例性三维存储器的制造方法的流程图;
- [0060] 图中包括:100-第一半导体结构;101-第一衬底;102-第一键合层;103-牺牲层;104叠层结构;105-导电层;106-绝缘层;107-外围接触件;108-接触件;109-虚拟沟道结构;110-沟道结构;111-沟道层;112-隧穿层;113-存储层;114-阻挡层;115-掺杂半导体层;116-触点;117-源极触点;118-缓冲层;119-第三互连层;120-第一键合触点;121-层间牺牲层;122-缝隙;123-触点开口;124-源极触点开口;200-第二半导体结构;201-第二衬底;202-第二键合层;203-第二键合触点。

### 具体实施方式

[0061] 下面将结合本实用新型实施方式及附图,对本实用新型实施方式中的技术方案进行清楚、完整地描述,显然,所描述的实施方式仅仅是本实用新型的一部分实施方式,而不是全部的实施方式。基于本实用新型中的实施方式,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施方式,都属于本实用新型保护的范围。

[0062] 在下文的描述中,给出了大量具体的细节以便提供对本申请更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本申请可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本申请发生混淆,对于本领域公知的一些技术特征未进行描述;即,这里不描述实际实施例的全部特征,不详细描述公知的功能和结构。

[0063] 在附图中,为了清楚,层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0064] 应当明白,当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分

与另一个元件、部件、区、层或部分。因此,在不脱离本申请教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时,并不表明本申请必然存在第一元件、部件、区、层或部分。

[0065] 空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0066] 在此使用的术语的目的仅在于描述具体实施例并且不作为本申请的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0067] 为了彻底理解本申请,将在下列的描述中提出详细的步骤以及详细的结构,以便阐释本申请的技术方案。本申请的较佳实施例详细描述如下,然而除了这些详细描述外,本申请还可以具有其他实施方式。

[0068] 本文中的术语“衬底”是指在上面添加后续材料层的材料。能够对衬底本身图案化。添加到衬底上面的材料可以受到图案化,或者可以保持不受图案化。

[0069] 本文中的术语“层”可以指包括具有一定厚度的区域的材料部分。层可以延伸在整个的下层结构或上覆结构之上,或者可以具有比下层或上覆结构的范围小的范围。此外,层可以是同质或者非同质的连续结构的一个区域,其具有小于该连续结构的厚度。

[0070] 本文中的术语“三维存储器”是指具有垂直取向存储单元晶体管串的半导体器件,所述垂直取向存储单元晶体管串处于横向取向的衬底上,从而使得所述存储串相对于衬底沿垂直方向延伸。

[0071] 本文中的术语“互连层”可以包括任何适当类型的互连,可以举例的是,中间制程(MEOL)互连,和后端制程(BEOL)互连。“互连层”可以包括多个互连,包括横向互连线和垂直互连接触件。也就是说,互连层可以包括在多个介电材料层中的互连线和互连接触件。互连层中的互连线和互连接触件可以包括导电材料,导电材料包括但不限于钨(W)、钴(Co)、铜(Cu)、铝(Al)、硅化物或其任何组合。互连层中的介电材料层可以包括介电材料,介电材料包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。

[0072] 图1至12为根据本申请的一些实施例的用于形成三维存储器的制造工艺。图14示出了根据本申请内容的一些实施例的示例性三维存储器的制造方法的流程图。如图14所示,在步骤1401中,提供第一衬底;在步骤1402中,在所述第一衬底上依次形成牺牲层和叠层结构。

[0073] 如图1所示,在第一衬底101上形成牺牲层103,并且在牺牲层103上形成交替堆叠的绝缘层106和层间牺牲层121。这里将交替堆叠的绝缘层和层间牺牲层称为叠层结构。

[0074] 其中,第一衬底可以包括很宽范围内的半导体材料,例如,硅、锗、砷化镓、磷化铟等。应当理解,由于第一衬底将被从最终产品中去除,因此第一衬底可以是由任何适当材料构成的伪晶圆(例如,载体衬底)的部分,以降低第一衬底的成本,例如,所述材料可以是玻璃、蓝宝石、塑料、硅,这里仅举出了几个例子。

[0075] 其中,牺牲层将在后续工艺步骤中被去除,因此,这里的牺牲层可以包括任何适当的牺牲材料。在一些实施例中,牺牲层可以包括绝缘材料,例如,氧化硅或者氮化硅。根据一些实施例,为了形成牺牲层,可以使用包括但不限于化学气相沉积(chemical vapor deposition,CVD)、物理气相沉积(physical vapor deposition,PVD)、原子层沉积(atomic layer deposition,ALD)或者其任何组合的一种或者多种薄膜沉积工艺,在第一衬底上沉积形成氧化硅或者氮化硅。

[0076] 在一些实施例中,层间牺牲层和绝缘层交替地沉积在牺牲层上,交替堆叠的层间牺牲层和绝缘层可以通过一种或者多种薄膜沉积工艺形成的,所述工艺包括但不限于CVD、PVD、ALD或者其任何组合。

[0077] 参考图2,可在交替堆叠的层间牺牲层121和绝缘层106的边缘上形成阶梯结构。该阶梯结构可以通过朝向第一衬底101,对多个绝缘层106和层间牺牲层121执行“修整-刻蚀”循环而形成的。

[0078] 如图14所示,在步骤1403中,形成贯穿所述叠层结构并延伸进入所述牺牲层的沟道结构,所述沟道结构包括存储膜和沟道层。如图2所示,形成垂直地延伸穿过交替堆叠的层间牺牲层121和绝缘层106和牺牲层103的沟道结构110。在一些实施例中,为了形成该沟道结构110,刻蚀出垂直地延伸穿过交替堆叠的层间牺牲层121和绝缘层106、停止在牺牲层103内的沟道结构110,并且沿沟道结构110的侧壁依次沉积存储膜和沟道层111。

[0079] 在一些实施例中,用于形成的沟道结构的制造工艺包括湿法刻蚀和/或干法刻蚀。牺牲层可以起到用于控制在不同沟道结构之间的开槽变化的刻蚀停止层。例如,对沟道结构的刻蚀可以由牺牲层停止,而不进一步延伸到第一衬底中。也就是说,根据一些实施例,每一沟道结构的下端处于牺牲层的顶表面和底表面之间。

[0080] 仍参考图2,在沟道结构110的侧壁和底表面,可以按照顺序依次沉积形成阻挡层114、存储层113、隧穿层112以及沟道层111。在一些实施例中,可以使用例如PVD、CVD、ALD、其他任何适当的工艺或者其组合的一种或者多种薄膜沉积工艺,在沟道结构的侧壁和底表面依次沉积形成阻挡层、存储层和隧穿层,以形成存储膜。在一个示例中,沟道结构可为圆柱形。所述存储膜包括沿所述沟道结构的径向向内的阻挡层、存储层和隧穿层。然后,可以使用例如PVD、CVD、ALD、其他任何适当的工艺或者其组合的一种或者多种薄膜沉积工艺,在隧穿层上继续沉积例如,多晶硅,以形成沟道层。在一些实施例中,沟道结构的其余空间可以部分地或者全部以包括绝缘材料和/或空气隙的帽盖层来填充。

[0081] 其中,阻挡层可以包括氧化硅、氮氧化硅或其任何组合。存储层可以包括氮化硅、氮氧化硅、硅或其任何组合。隧穿层可以包括氧化硅、氮氧化硅或其任何组合。在一个示例中,存储膜可以包括氧化硅/氮氧化硅/氧化硅(ONO)复合层。其中,沟道层可以包括例如非晶硅、多晶硅或单晶硅。

[0082] 进一步参考图2,三维存储器还设置有虚拟沟道结构109,虚拟沟道结构109可以与沟道结构110同时形成,以提高沟道结构110的刻蚀形貌。该虚拟沟道结构的材料可以与沟

道结构的材料相同,也可以与沟道结构的材料不同。这里,虚拟沟道结构的材料与沟道结构的材料不同,虚拟沟道结构内填充有绝缘材料。该虚拟沟道结构还可以起到支撑的作用,避免叠层结构的坍塌。在一个示例中,虚拟沟道结构可为圆柱形。

[0083] 如图3所示,缝隙122是垂直地延伸穿过交替堆叠的层间牺牲层和绝缘层106的开口。在一些实施例中,可以使用湿法刻蚀和/或干法刻蚀,以形成缝隙。在一些实施例中,形成缝隙的目的是为了进行“栅极替代”工艺,通过向缝隙中注入刻蚀剂,例如,刻蚀性气体和/或液体,去除堆叠的层间牺牲层,使得形成在绝缘层之间交替的横向凹槽。其中,所述刻蚀剂可以是任何适当的刻蚀剂,只要该刻蚀剂能够去除层间牺牲层,而不会刻蚀损伤绝缘层。

[0084] 仍参考图3,通过缝隙122将导电层105沉积到所述横向凹槽中。在一些实施例中,可以使用例如PVD、CVD、ALD、其他任何适当的工艺或者其组合的一种或者多种薄膜沉积工艺,沉积以形成导电层。在一个示例中,导电层可以是金属层,如,钨。这里形成了导电层和绝缘层交替堆叠的叠层结构,即,叠层结构104中的导电层105和绝缘层106可以在垂直方向上交替。也就是说,除了位于叠层结构的底部或者顶部的层之外,每一个导电层都可以在两侧与两个绝缘层相邻,并且每一个绝缘层都可以在两侧与两个导电层相邻。这里将交替堆叠的绝缘层和导电层也称为叠层结构。

[0085] 进一步参考图3,在形成叠层结构104之后,可以在缝隙122内部沉积绝缘材料,以填充该开口。在一些实施例中,可以使用例如PVD、CVD、ALD、其他任何适当的工艺或者其组合的一种或者多种薄膜沉积工艺,将一种或者多种绝缘材料填充至缝隙中,以形成绝缘结构。在一个示例中,所述绝缘结构可以具有空气隙。

[0086] 如图3和图4所示,叠层结构104可以包括台阶区域和核心区域。在台阶区域中,多个绝缘层和多个导电层交替堆叠成多个台阶。沟道结构位于核心区域。三维存储器还可形成外围接触件107,该外围接触件107可垂直地延伸进入牺牲层103中,外围接触件107的深度可以大于叠层结构的厚度。进一步地,三维存储器还可形成接触件108,接触件108的一端与叠层结构104的台阶区域的台阶处的导电层105相接触。

[0087] 如图5所示,层叠设置的第一衬底101、牺牲层103和叠层结构以及贯穿所述叠层结构并延伸进入牺牲层103的沟道结构110,为第一半导体结构100。本申请的三维存储器可包括相互键合的第一半导体结构100和第二半导体结构200。第一半导体结构100和第二半导体结构200可以以“面对面”的形式进行键合,即,第一衬底101处于三维存储器的顶部,第二衬底201处于三维存储器的底部。

[0088] 具体地,第二半导体结构200包括第二衬底201,以及形成于第二衬底201上的外围电路。其中,第二衬底可以为单质半导体材料衬底(例如为硅(Si)衬底、锗(Ge)衬底等)、复合半导体材料衬底(例如为锗硅(SiGe)衬底等),或绝缘体上硅(SOI)衬底、绝缘体上锗(GeOI)衬底等。

[0089] 其中,外围电路用于控制和感测三维存储器。外围电路可以是任何用于促进三维存储器的操作的适当数字、模拟和/或混合信号控制和感测电路,其包括但不限于页缓冲器、解码器、感测放大器、驱动器、电荷泵、电流或电压参考或者所述电路的任何有源或无源部件。外围电路可以包括形成于第二衬底上的晶体管,其中,晶体管可以全部或部分形成于第二衬底上。

[0090] 在一些实施例中,三维存储器的第二半导体结构进一步包括位于外围电路上方的第二互连层(图5中未示出),所述第二互连层用于传递外围电路的电信号,即,将电信号输入外围电路,或者将外围电路的电信号输出。所述第二互连层可以包括一个或者多个层间绝缘层,互连线和接触件都可以形成与所述层间绝缘层中,即,所述第二互连层可以包括多个位于所述层间绝缘层中的互连线和接触件。具体地,互连层中的互连线和接触件都可以包括导电材料,包括但不限于W、Co、Cu、Al、硅化物或其任何组合。所述层间绝缘层可以包含绝缘材料,所述绝缘材料包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。

[0091] 如图5所示,第二半导体结构200还包括第二键合层202,第二键合层202处于第二互连层和外围电路以上。第二键合层202可以包括多个第二键合触点203以及对第二键合触点203电隔离的绝缘材料。所述第二键合触点可以包括导电材料,所述导电材料包括但不限于W、Co、Cu、Al、硅化物或其任何组合。用于对所述第二键合触点电隔离的绝缘材料,可以包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。

[0092] 进一步参考图5,第一半导体结构100还包括第一键合层102,第一键合层102处于第二半导体结构200的第二键合层202以上。第一键合层也可以包括多个第一键合触点120以及对第一键合触点120电隔离的绝缘材料。所述第一键合触点可以包括导电材料,所述导电材料包括但不限于W、Co、Cu、Al、硅化物或其任何组合。用于对所述第一键合触点电隔离的绝缘材料,可以包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。

[0093] 类似地,第一半导体结构100还包括位于第一键合层102上方的第一互连层(图5中未示出),所述第一互连层可用于传递电信号。所述第一互连层可以包括一个或者多个层间绝缘层,互连线和接触件都可以形成与所述层间绝缘层中,即,所述第二互连层可以包括多个位于所述层间绝缘层中的互连线和接触件。具体地,互连层中的互连线和接触件都可以包括导电材料,包括但不限于W、Co、Cu、Al、硅化物或其任何组合。所述层间绝缘层可以包含绝缘材料,所述绝缘材料包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。

[0094] 在一些实施例中,可以采用金属熔融键合的方式使得第一半导体结构和第二半导体结构键合。当然,在一些实施例中,也可以采用非金属键合的方式,包括但不限于使用粘合剂等,使得第一半导体结构和第二半导体结构键合。在一些实施例中,也可以采用混合键合,即,金属/非金属混合键合的方式,在第一半导体结构和第二半导体结构之间形成键合层。也就是说,第一键合触点和第二键合触点之间形成金属键合,用于对所述第一/第二键合触点电隔离的绝缘材料之间形成非金属键合,在无需使用粘合剂的情况下,在第一半导体结构和第二半导体结构之间形成具有一定厚度的键合层,并且可同时获得金属-金属键合和非金属-非金属键合。

[0095] 进一步参考图5,第一半导体结构100和第二半导体结构200相互键合后,外围接触件107还可通过键合层(包括第一键合层和第二键合层)电连接至第二半导体结构200的外围电路。接触件108的一端分别与叠层结构的台阶区域的台阶处的导电层相接触,另一端则通过键合层(包括第一键合层和第二键合层),电连接至第二半导体结构200的外围电路。

[0096] 如图14所示,在步骤1404中,刻蚀去除所述第一衬底和所述牺牲层以及部分所述存储膜,以暴露部分所述沟道层。如图5和图6所示,从第一衬底101的背面执行去除第一衬底101和牺牲层103的操作。第一衬底的正面形成有牺牲层和叠层结构。通过湿法刻蚀工艺分别去除所述第一衬底和所述牺牲层,以暴露所述沟道结构对应于所述牺牲层的部分。由

于湿法刻蚀工艺具有选择性,因此,可仅仅刻蚀去除第一衬底和牺牲层,而不会刻蚀虚拟沟道结构。也就是说,此时三维存储器的顶面呈现出凹凸不平的形状。在一些实施例中,可以通过将第一衬底剥离的方式去除第一衬底。之后,还可以利用具有适当刻蚀剂(例如,氢氟酸)的湿法刻蚀来选择性地去除牺牲层,而不刻蚀下面的叠层结构。如上文所述,由于沟道结构不延伸超出牺牲层到第一衬底中,因此对第一衬底的去除不影响沟道结构。对牺牲层的去除可以暴露沟道结构对应于牺牲层的部分。在沟道结构延伸到牺牲层中的一些实施例中,对包括氧化硅的牺牲层的选择性刻蚀还去除了包括氧化硅的阻挡层的处于叠层结构的顶表面以上的部分,但是包括氮化硅的存储层和被存储层包围的其他层(例如,隧穿层)保持完好。

[0097] 进一步,由于此时部分所述沟道结构对应于所述牺牲层的部分暴露出来,因此可以通过湿法刻蚀工艺去除所述沟道结构暴露出的存储膜,从而暴露出所述沟道结构对应于所述牺牲层的部分沟道层。如前文所述,沟道结构沿着圆柱形的径向,由外向内依次包括阻挡层、存储层、隧穿层和沟道层。在一些实施例中,可通过湿法刻蚀工艺,选择性地去除沟道孔对应于所述牺牲层的部分的阻挡层、存储层和隧穿层,而不对沟道层进行刻蚀。还可以通过控制刻蚀时间和/或刻蚀速率来控制对存储膜的刻蚀,使得该刻蚀不继续影响存储膜的被叠层结构包围的其余部分。在一些实施例中,利用比如磷酸的适当刻蚀剂,使用湿法刻蚀来选择性地去除包括氮化硅的存储层,而不对隧穿层和沟道层进行刻蚀。去除所述沟道结构对应于所述牺牲层的部分的包围所述沟道层的隧穿层。在一些实施例中,利用比如氢氟酸的适当刻蚀剂,使用湿法刻蚀,选择性地去除包括氧化硅的隧穿层,而不对包括多晶硅的沟道层进行刻蚀。

[0098] 如图7所示,在一些实施例中,可以对所述沟道结构内的所述沟道层111进行离子注入,以形成掺杂沟道层(如图7中虚线方框所示)。所述掺杂沟道层部分位于叠层结构中。在离子注入工艺中,掺杂离子以离子束的形式注入沟道层中,高能离子由于与沟道层中电子和原子核碰撞而失去能量,最后停在晶格内某一深度。图7中虚线框的部分即代表掺杂沟道层的深度。需要说明的是,本申请中采用离子注入工艺对沟道层进行掺杂,掺杂深度即为离子注入深度。可以根据对三维存储器的实际需求,设置不同的掺杂深度、掺杂浓度或者掺杂杂质分布。其中,掺杂深度可通过调整离子束的加速能量来控制,掺杂浓度,即,杂质剂量则可通过注入时监控离子电流来控制。因此,采用离子注入工艺进行掺杂,能够更加准确地控制掺杂浓度、掺杂深度及掺杂杂质分布,具有可重复性。

[0099] 对于沟道层而言,包括掺杂沟道层和未掺杂沟道层,其中,掺杂沟道层的一部分位于叠层结构中,未掺杂沟道层全部位于叠层结构中。在一些实施例中,所述掺杂沟道层位于所述叠层结构中的部分的长度小于所述叠层结构的厚度。

[0100] 其中,掺杂沟道层可为N型掺杂沟道层。具体地,N型掺杂沟道层可以包括例如多晶硅、单晶硅或者非晶硅。N型掺杂沟道层可以包括掺有例如磷(P)、砷(As)或者锑(Tb)等五价杂质元素作为N型掺杂剂。由于五价杂质原子中只有四个价电子能够与周围的四个半导体原子中的价电子形成共价键,而多余的一个价电子因无共价键束缚而很容易形成自由电子。因此,N型掺杂沟道层能够提供自由电子。在一些实施例中,采用离子注入工艺,以利用任何适当的N型掺杂剂对沟道层进行掺杂至预期的掺杂深度和掺杂浓度。

[0101] 如图14所示,在步骤1405中,依次形成掺杂半导体层和缓冲层,所述掺杂半导体层

与所述沟道层接触。仍参考图7,在三维存储器的顶部形成掺杂半导体层115,所述掺杂半导体层115覆盖所述沟道结构110对应于所述牺牲层的部分沟道层和所述叠层结构。由于前文所述的刻蚀工艺步骤中,所述沟道结构对应于所述牺牲层的部分突出于所述叠层结构(虚拟沟道结构对应于所述牺牲层的部分也突出于所述叠层结构),因而三维存储器的顶面呈现出凹凸不平的形状,因此,此时掺杂半导体层表面也呈现出凹凸不平的形状。从而所述掺杂半导体层和所述缓冲层之间的界面不平整。其中,所述掺杂半导体层可为N型掺杂半导体层。具体地,N型掺杂半导体层可以包括例如多晶硅、单晶硅或者非晶硅。在一些实施例中,可以使用包括但不限于CVD、PVD、ALD或其任何组合的一种或者多种薄膜沉积工艺,形成覆盖所述沟道结构对应于所述牺牲层的部分和所述叠层结构的多晶硅,接着使用离子注入工艺,利用N型掺杂剂对所沉积的多晶硅进行掺杂。在更优选的实施例中,形成掺杂半导体层可采用原位生长工艺。

[0102] 具体地,所述掺杂沟道层包括位于所述掺杂半导体层中的部分,和位于所述叠层结构中的部分。仍参考图7,如前所述,已经通过湿法刻蚀工艺去除沟道结构对应于所述牺牲层的部分暴露出的存储膜(径向向内包括阻挡层、存储层和隧穿层),此时,沟道结构位于掺杂半导体层中的部分仅包括掺杂沟道层。如果掺杂沟道层和掺杂半导体层中的掺杂浓度不同,这很可能导致,即使同一个沟道(即,存储串)上的不同存储单元具有相同的漏极-栅极电压(即,GIDL电压),存储串上的不同存储单元的GIDL电流的量值不同。在一些实施例中,为了确保在存储串上的每一个存储单元都实现量值上基本相同的GIDL电流,可能需要有意地形成量值不同的GIDL电压,以补偿存储串上的掺杂浓度的差异。

[0103] 如图8所示,在更优选的实施例中,对所述掺杂沟道层和所述掺杂半导体层进行激活处理,以使所述掺杂沟道层和所述掺杂半导体层的掺杂浓度相同。当执行擦除操作时,在所述N型掺杂半导体层与所述沟道孔之间形成电子电流路径,在执行擦除操作时,向存储串提供电子。在掺杂沟道层和掺杂半导体层的掺杂浓度相同的情况下,对存储串上的不同存储单元施加相同的GIDL电压,即可实现量值上基本相同的GIDL电流。这样可以提高擦除速度,降低电流消耗,并且/或者降低功率消耗。

[0104] 其中,激活处理可包括激活退火处理(thermal active)或激活激光处理(laser active)。需要说明的是,激光激活的温度低于高温退火激活的温度,在实际应用时,可以根据实际需求而选择激活处理工艺,以免激活处理的温度对后续制程造成影响。

[0105] 在一些实施例中,经过激活处理后,掺杂半导体层的表面仍呈现出凹凸不平的形状,但掺杂半导体层表面的形状更加平缓。

[0106] 进一步参考图9,在掺杂半导体层115上沉积形成缓冲层118。缓冲层118的形成,可以使用包括但不限于CVD、PVD、ALD或其任何组合的一种或者多种薄膜沉积工艺,以覆盖所述沟道结构对应于所述牺牲层的部分和所述叠层结构。由于前文所述掺杂半导体层的表面呈现出凹凸不平的形状,因此,此时缓冲层表面也呈现出凹凸不平的形状。在一些实施例中,掺杂半导体层和缓冲层之间的界面不平整。也就是说,所述掺杂半导体层包括平整部分和延伸进入所述缓冲层的凸出部分。在一些实施例中,缓冲层可以为氧化物,例如,氧化硅。

[0107] 如图14所示,在步骤1406中,对所述缓冲层进行平坦化处理。如图10所示,对缓冲层118进行平坦化处理,这里的平坦化处理可以使用例如,化学机械研磨工艺,以确保缓冲层表面平整。

[0108] 如图14所示,在步骤1407中,形成贯穿所述缓冲层并延伸进入所述掺杂半导体层的源极触点。进一步,如图11和12所示,对缓冲层118和掺杂半导体层115进行刻蚀以形成源极触点开口124;在所述源极触点开口124内填充导电材料以形成源极触点117。在一些实施例中,在形成源极触点的同时,还可以对缓冲层118和掺杂半导体层115进行刻蚀,以形成贯穿缓冲层118和掺杂半导体层的115的触点开口123;在触点开口123内填充导电材料以形成触点116;其中,触点116与外围接触件107的端部接触,源极触点117与沟道层111接触。如图8所示,形成掺杂半导体层115后,掺杂半导体层115的表面呈现出凹凸不平的形状,而掺杂半导体层115表面的凹凸不平会对后续触点和源极触点的形成造成影响,因此通常需要对掺杂半导体层115进行平坦化处理,但由于掺杂半导体层115的平坦化处理工艺较难且耗时较长,因此本申请实施例中不对掺杂半导体层115进行平坦化处理,而是在掺杂半导体层115上形成缓冲层118,如图9所示,虽然此时缓冲层118表面也呈现出凹凸不平的形状。但由于缓冲层118的材料为氧化物,其平坦化处理工艺简单且快速,其平坦化效果也很好。因此,本申请实施例中以未平坦化处理的掺杂半导体层和平坦化处理的缓冲层为基底形成源极触点。另外,在形成源极触点时,为了使得源极触点与掺杂半导体层的接触面尽可能的大,本申请实施例中选择在所述沟道结构突出的部分(所述沟道结构对应于所述牺牲层的部分)的顶端形成源极触点开口,而为了确保源极触点开口尽可能的深,本申请实施例中通过将源极触点开口与所述沟道结构突出的部分的顶端部分对齐的方式加深源极触点开口的深度。如此,所述源极触点开口的底面与所述沟道结构接触的部分的深度小于未与所述沟道结构接触的部分的深度。换言之,所述源极触点开口的底面与所述沟道层所在区域重叠的部分的深度小于与所述沟道层所在区域未重叠的部分的深度。

[0109] 因此本申请实施例中不仅形成的源极触点开口的深度较深,且源极触点与掺杂半导体层的接触面也较大。

[0110] 进一步参考图11,在一些实施例中,可以使用湿法刻蚀/干法刻蚀工艺,形成延伸穿过缓冲层118和掺杂半导体层115的触点开口123。在一些实施例中,使用光刻将触点开口图案化与外围接触件对准。对触点开口的刻蚀可以停止在外围接触件的上端处。

[0111] 在一些实施例中,源极触点开口可以延伸到掺杂半导体层的顶部部分中,即,通过刻蚀工艺穿过缓冲层后,可以继续刻蚀掺杂半导体层的部分。在一些实施例中,使用湿法刻蚀/干法刻蚀工艺形成源极触点开口。在一些实施例中,刻蚀穿过缓冲层,和刻蚀掺杂半导体层可采用不同的刻蚀工艺。

[0112] 仍参考图12,在掺杂半导体层115的背面,在源极触点开口124中填充导电材料,形成源极触点117。具体地,可以使用例如CVD、PVD、ALD、任何其他适当的工艺或者其组合的一种或多种薄膜沉积工艺,将一种或多种导电材料沉积至源极触点开口中,以利用粘合剂和导电层填充源极触点开口。然后,可以执行平坦化工艺,例如,化学机械研磨工艺(chemical mechanical polishing, CMP),以去除多余的导电材料,使得源极触点的顶表面与缓冲层的顶表面平齐。

[0113] 在一些实施例中,触点与外围接触件连接,可以与第二半导体结构的外围电路实现电信号的传输;源极触点可直接电连接至沟道层,当然,源极触点也可以通过掺杂半导体层,电连接至沟道层。

[0114] 进一步参考图11,本申请的三维存储器,依次形成掺杂半导体层115和缓冲层118,

掺杂半导体层115覆盖沟道结构的末端和叠层结构;对缓冲层118进行平坦化处理后;对缓冲层118和掺杂半导体层115进行刻蚀以形成源极触点开口123。这里如果不形成缓冲层,直接对掺杂半导体层进行刻蚀以形成源极触点开口,那么刻蚀深度较小,刻蚀工艺的难度非常高,且形成的源极触点也极不稳固。因此,在形成缓冲层后,对缓冲层和掺杂半导体层进行刻蚀,源极触点开口的刻蚀深度较大,刻蚀工艺更加易于操作。在一些实施例中,源极触点开口部分位于沟道层的顶部,而该开口位于沟道层的顶部的刻蚀停止于所述沟道结构的末端的沟道层。

[0115] 在更优选的实施例中,源极触点开口的底面与所述沟道层接触的部分的深度小于未与所述沟道层接触的部分的深度。如图11所示,源极触点开口的一部分位于沟道层的上方,这部分刻蚀穿过缓冲层并且延伸刻蚀部分掺杂半导体层;源极触点开口的另一部分并不位于沟道层的上方,这部分刻蚀穿过缓冲层并且延伸刻蚀更大深度的掺杂半导体层。在一些实施例中,源极触点开口的底面具有至少两个不同高度的水平面。通过增加刻蚀深度,能够有效地提高形成的源极触点稳固性和导电性。

[0116] 如图12所示,本申请的三维存储器还可包括位于源极触点117以上,并且与源极触点117电连接的第三互连层119,以实现焊盘引出。例如,在第一半导体结构和第二半导体结构之间传递电信号。

[0117] 图13为根据本申请的一种实施方式的示例性三维存储器的截面的侧视图。本申请的三维存储器可以是键合芯片,包括相互键合的第二半导体结构200和第一半导体结构100。第一半导体结构100和第二半导体结构200可以以“面对面”的形式进行键合,即,第一衬底处于三维存储器的顶部,第二衬底201处于三维存储器的底部。

[0118] 具体地,第一半导体结构100包括层叠设置的缓冲层118、掺杂半导体层115和叠层结构及贯穿所述叠层结构并延伸进入掺杂半导体层115中的沟道结构110。其中,叠层结构包括在垂直方向上交替堆叠的导电层和绝缘层。叠层结构可以包括台阶区域和核心区域。在台阶区域中,多个绝缘层和多个导电层交替堆叠成多个台阶。沟道结构110位于核心区域,垂直地延伸穿过交替堆叠的导电层和绝缘层。沿着沟道结构110的径向向内包括存储膜和沟道层,所述存储膜沿着径向向内依次包括阻挡层、存储层和隧穿层。其中,阻挡层可以包括氧化硅、氮氧化硅或其任何组合。存储层可以包括氮化硅、氮氧化硅、硅或其任何组合。隧穿层可以包括氧化硅、氮氧化硅或其任何组合。在一个示例中,存储膜可以包括氧化硅/氮氧化硅/氧化硅(ONO)复合层。其中,沟道层可以包括例如非晶硅、多晶硅或单晶硅。

[0119] 由于前文所述掺杂半导体层115的表面呈现出凹凸不平的形状,因此,此时缓冲层118表面也呈现出凹凸不平的形状。在一些实施例中,掺杂半导体层115和缓冲层118之间的界面不平整。

[0120] 在一个示例中,沟道层也可以包括掺杂沟道层和未掺杂沟道层,掺杂沟道层包括位于掺杂半导体层中的部分,和位于叠层结构中的部分;未掺杂沟道层全部位于叠层结构中。沟道结构110位于叠层结构中的部分还包括包围所述沟道层的存储膜;所述存储膜包括沿所述沟道孔的径向向内的阻挡层、存储层和隧穿层。

[0121] 在更优选的实施例中,掺杂沟道层和所述掺杂半导体层的掺杂浓度相同。通过确保掺杂沟道层和掺杂半导体层的掺杂浓度相同,使得对存储串上的不同存储单元施加相同的GIDL电压,即可实现量值上基本相同的GIDL电流。这样可以提高擦除速度,降低电流消

耗,并且/或者降低功率消耗。

[0122] 仍参考图13,三维存储器还设置有虚拟沟道结构109,这里,虚拟沟道结构109的材料与沟道结构110的材料不同,虚拟沟道结构109内填充有绝缘材料。该虚拟沟道结构还可以起到支撑的作用,避免叠层结构的坍塌。在一个示例中,虚拟沟道结构可为圆柱形。

[0123] 进一步参考图13,三维存储器还设置有缝隙122,缝隙122的内部可以填充有绝缘材料。在一个示例中,所述绝缘结构可以具有空气隙。这里,所述缝隙可以为栅缝隙。

[0124] 三维存储器还可形成外围接触件107,该外围接触件107可垂直地延伸进入牺牲层中,外围接触件107的深度可以大于叠层结构的厚度。进一步地,三维存储器还可形成接触件108,接触件108的一端与叠层结构的台阶区域的台阶处的导电层相接触。

[0125] 具体地,第二半导体结构200包括第二衬底201,以及形成于第二衬底201上的外围电路。其中,第二衬底可以为单质半导体材料衬底(例如为硅(Si)衬底、锗(Ge)衬底等)、复合半导体材料衬底(例如为锗硅(SiGe)衬底等),或绝缘体上硅(SOI)衬底、绝缘体上锗(GeOI)衬底等。

[0126] 其中,外围电路可以包括形成于第二衬底上的晶体管,其中,晶体管可以全部或部分形成于第二衬底上。

[0127] 在一些实施例中,三维存储器的第二半导体结构进一步包括位于外围电路上方的第二互连层(图13中未示出),所述第二互连层用于传递外围电路的电信号,即,将电信号输入外围电路,或者将外围电路的电信号输出。所述第二互连层可以包括一个或者多个层间绝缘层,互连线和接触件都可以形成与所述层间绝缘层中,即,所述第二互连层可以包括多个位于所述层间绝缘层中的互连线和接触件。具体地,互连层中的互连线和接触件都可以包括导电材料,包括但不限于W、Co、Cu、Al、硅化物或其任何组合。所述层间绝缘层可以包含绝缘材料,所述绝缘材料包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。

[0128] 如图13所示,所述第二半导体结构200还包括第二键合层202,第二键合层202处于第二互连层和外围电路以上。第二键合层202可以包括多个第二键合触点203以及对第二键合触点203电隔离的绝缘材料。所述第二键合触点可以包括导电材料,所述导电材料包括但不限于W、Co、Cu、Al、硅化物或其任何组合。用于对所述第二键合触点电隔离的绝缘材料,可以包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。

[0129] 进一步参考图13,第一半导体结构100还包括第一键合层102,第一键合层102处于第二半导体结构200的第二键合层202以上。第一键合层102也可以包括多个第一键合触点120以及对第一键合触点120电隔离的绝缘材料。所述第一键合触点可以包括导电材料,所述导电材料包括但不限于W、Co、Cu、Al、硅化物或其任何组合。用于对所述第一键合触点电隔离的绝缘材料,可以包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。

[0130] 类似地,第一半导体结构100还包括位于第一键合层102上方的第一互连层(图13中未示出),所述第一互连层可用于传递电信号。所述第一互连层可以包括一个或者多个层间绝缘层,互连线和接触件都可以形成与所述层间绝缘层中,即,所述第二互连层可以包括多个位于所述层间绝缘层中的互连线和接触件。具体地,互连层中的互连线和接触件都可以包括导电材料,包括但不限于W、Co、Cu、Al、硅化物或其任何组合。所述层间绝缘层可以包含绝缘材料,所述绝缘材料包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。

[0131] 在一些实施例中,可以采用金属熔融键合的方式使得第一半导体结构和第二半导

体结构键合。当然,在一些实施例中,也可以采用非金属键合的方式,包括但不限于使用粘合剂等,使得第一半导体结构和第二半导体结构键合。在一些实施例中,也可以采用混合键合,即,金属/非金属混合键合的方式,在第一半导体结构和第二半导体结构之间形成键合层。也就是说,第一键合触点和第二键合触点之间形成金属键合,用于对所述第一/第二键合触点电隔离的绝缘材料之间形成非金属键合,在无需使用粘合剂的情况下,在第一半导体结构和第二半导体结构之间形成具有一定厚度的键合层,并且可同时获得金属-金属键合和非金属-非金属键合。

[0132] 仍参考图13,三维存储器还包括贯穿缓冲层118并延伸进入掺杂半导体层115中的源极触点117,源极触点117部分与沟道结构110接触;进一步地,源极触点117部分与沟道层接触,以实现电信号的传输。在更优选的实施例中,源极触点117未与沟道层接触的部分的厚度大于与所述沟道层接触的部分的厚度。本申请实施例中提供的所述源极触点117不仅具有较厚的厚度,且与掺杂半导体层115还具有较大的接触面积,如此该源极触点117的稳固性和导电性较好。本申请实施例中即使不对掺杂半导体层115进行平坦化处理,形成的源极触点也具备较好的稳固性和导电性。本申请实施例中通过在掺杂半导体层115上形成缓冲层,对缓冲层进行平坦化处理后在缓存层和掺杂半导体层内形成源极触点。

[0133] 进一步参考图13,三维存储器还包括贯穿缓冲层118和掺杂半导体层115的触点116,其中,触点116和外围接触件107的端部接触。

[0134] 本申请的三维存储器还可包括位于源极触点117以上,并且与源极触点117电连接的第三互连层119,以实现焊盘引出。例如,在第一半导体结构和第二半导体结构之间传递电信号。

[0135] 继续参考图13,本申请实施例还提供一种三维存储器,所述三维存储器包括:

[0136] 依次设置的缓冲层118、掺杂半导体层115、叠层结构和第一键合层102;

[0137] 沟道结构110,沟道结构110贯穿叠层结构并延伸进入掺杂半导体层115中;沟道结构110包括存储膜和沟道层;

[0138] 贯穿缓冲层118并延伸进入掺杂半导体层115的源极触点117;

[0139] 第二衬底201,第二衬底201上形成外围电路和所述外围电路上形成有第二键合层202;

[0140] 第一键合层102和所述第二键合层202之间键合连接。

[0141] 根据本申请的一些实施例,源极触点117与沟道层接触。

[0142] 应理解,说明书通篇中提到的“一个实施例”或“一实施例”意味着与实施例有关的特定特征、结构或特性包括在本申请的至少一个实施例中。因此,在整个说明书各处出现的“在一个实施例中”或“在一实施例中”未必一定指相同的实施例。此外,这些特定的特征、结构或特性可以任意适合的方式结合在一个或多个实施例中。应理解,在本申请的各种实施例中,上述各过程的序号的大小并不意味着执行顺序的先后,各过程的执行顺序应以其功能和内在逻辑确定,而不应对本申请实施例的实施过程构成任何限定。上述本申请实施例序号仅仅为了描述,不代表实施例的优劣。

[0143] 以上所述仅为本申请的优选实施方式,并非因此限制本申请的专利范围,凡是在本申请的发明构思下,利用本申请说明书及附图内容所作的等效结构变换,或直接/间接运用在其他相关的技术领域均包括在本申请的专利保护范围内。

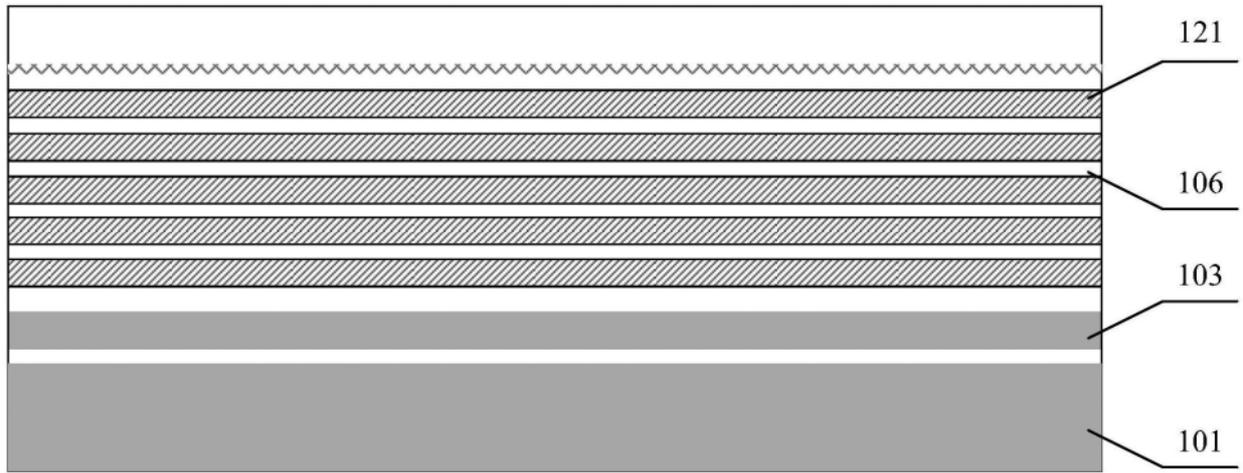


图1

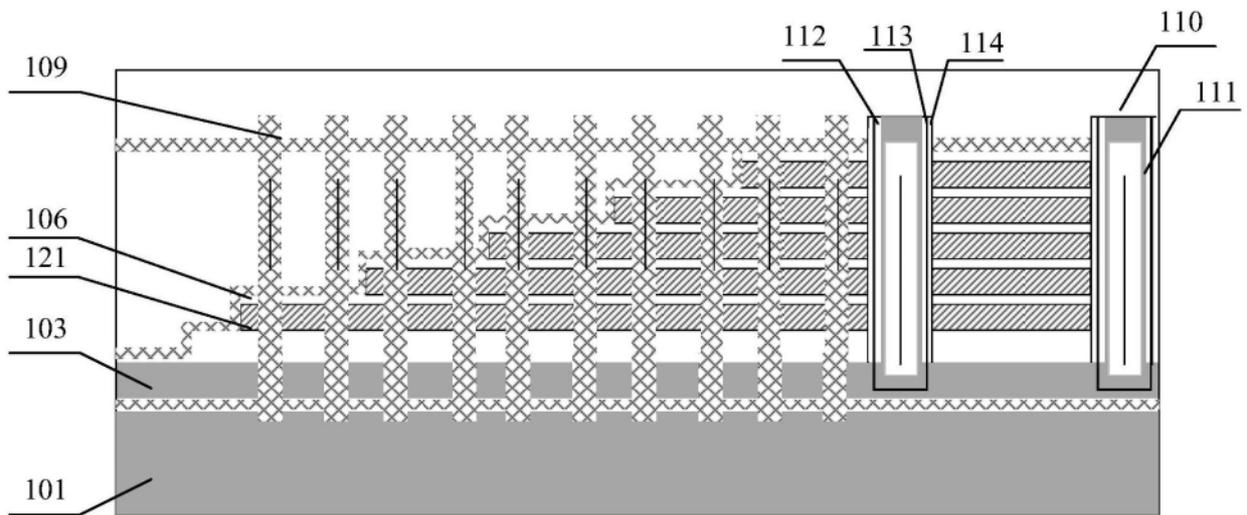


图2

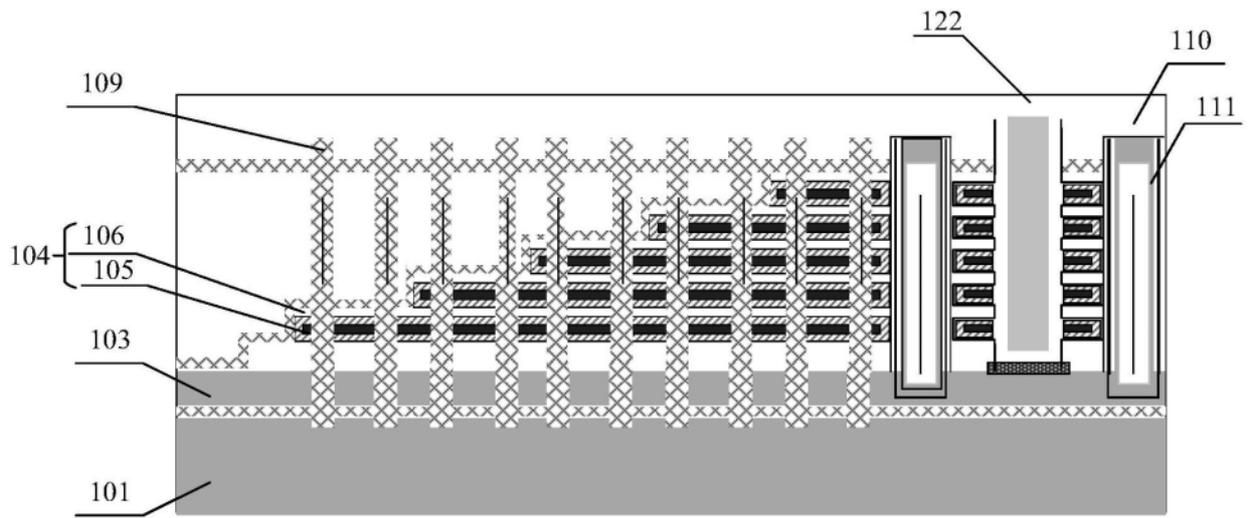


图3

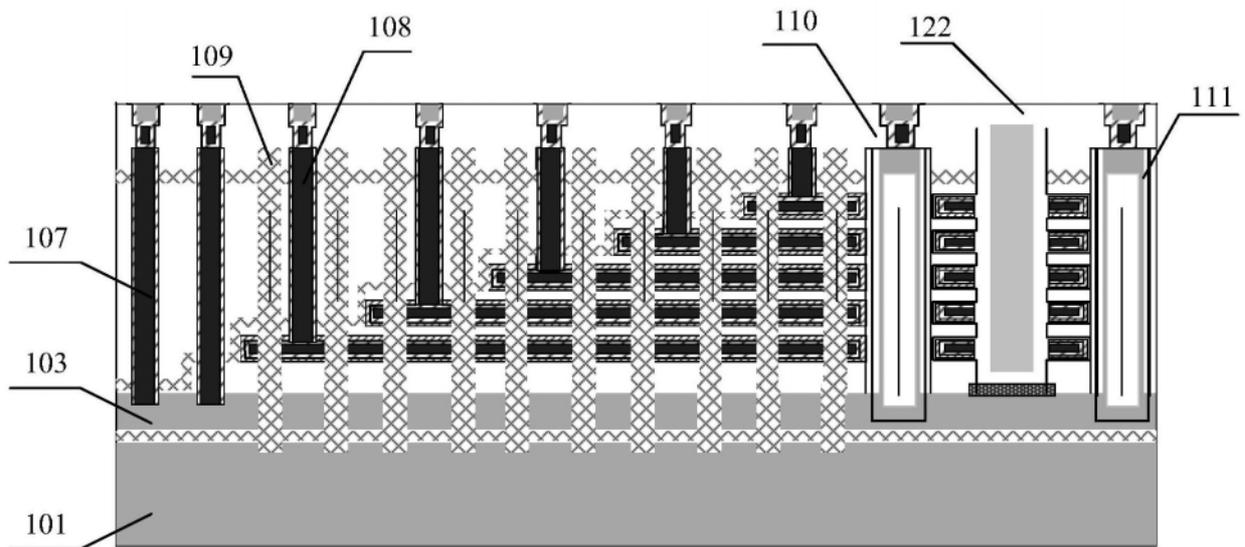


图4

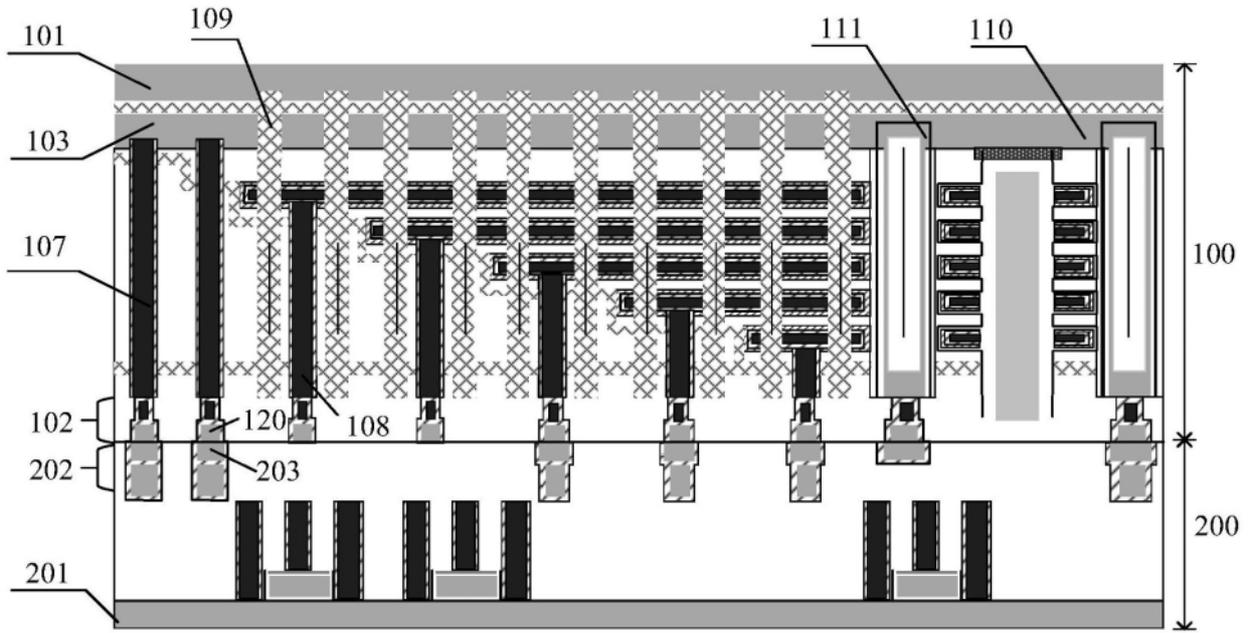


图5

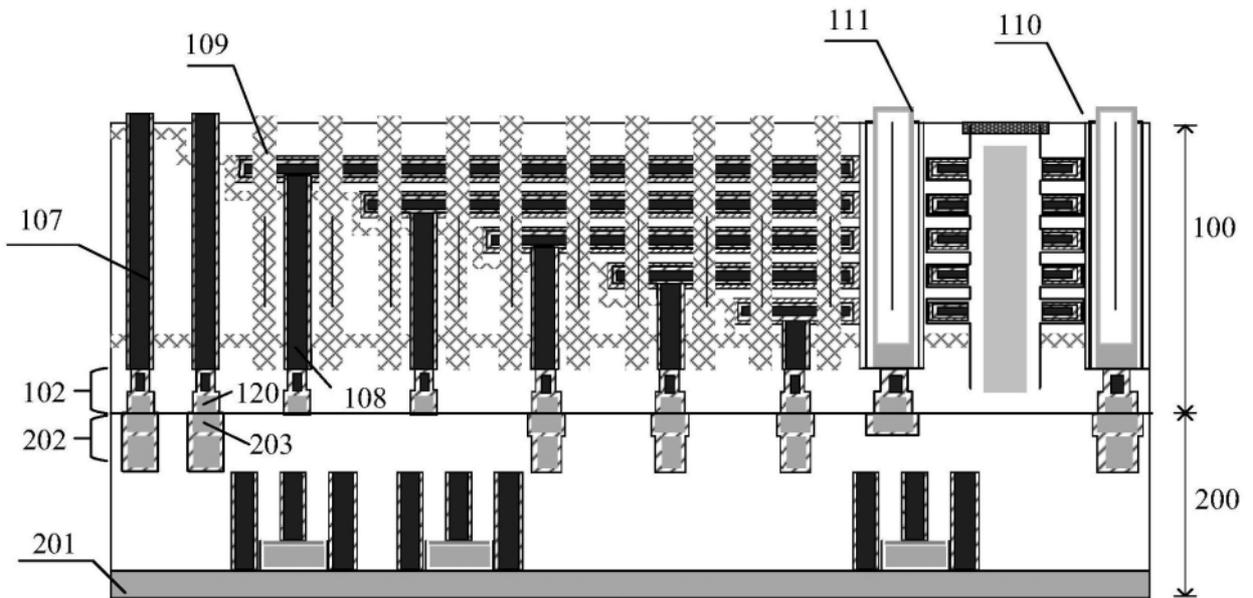


图6

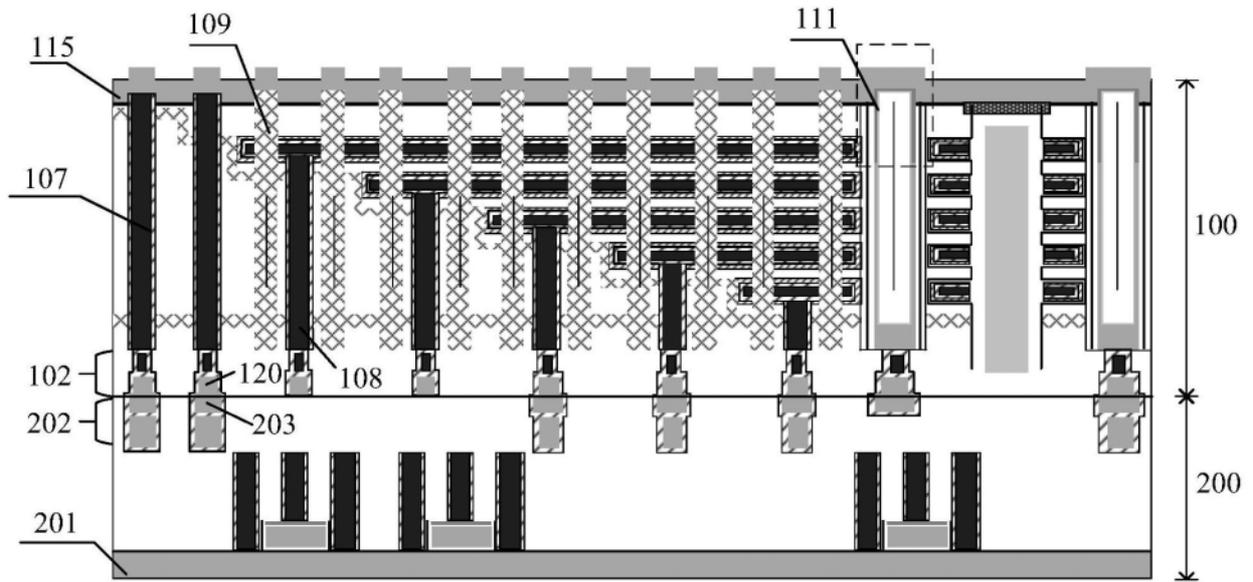


图7

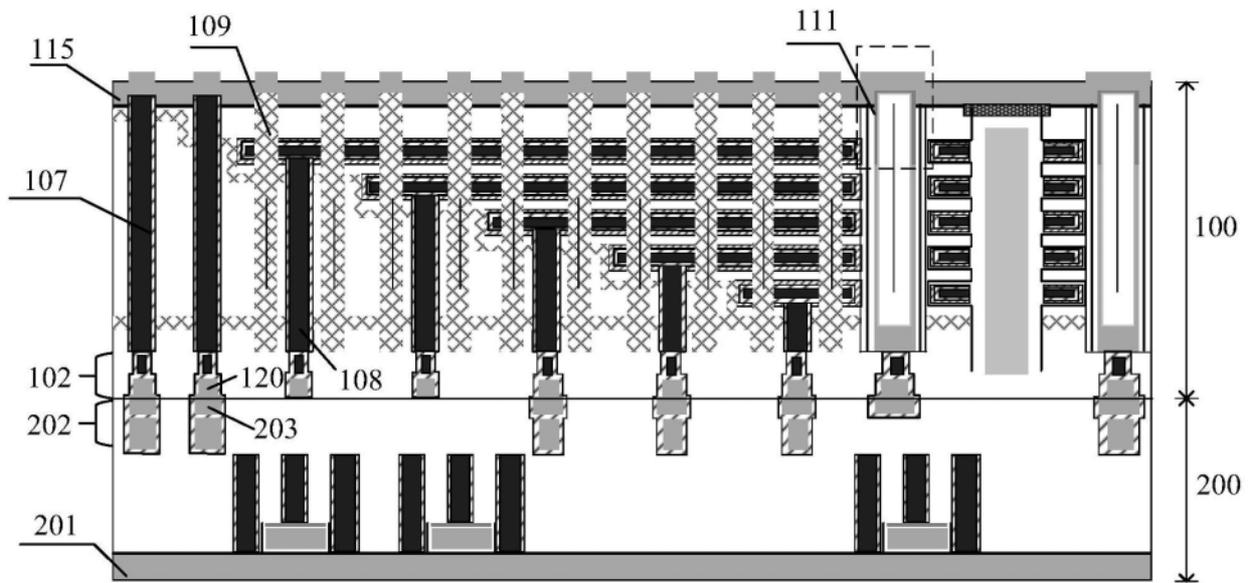


图8

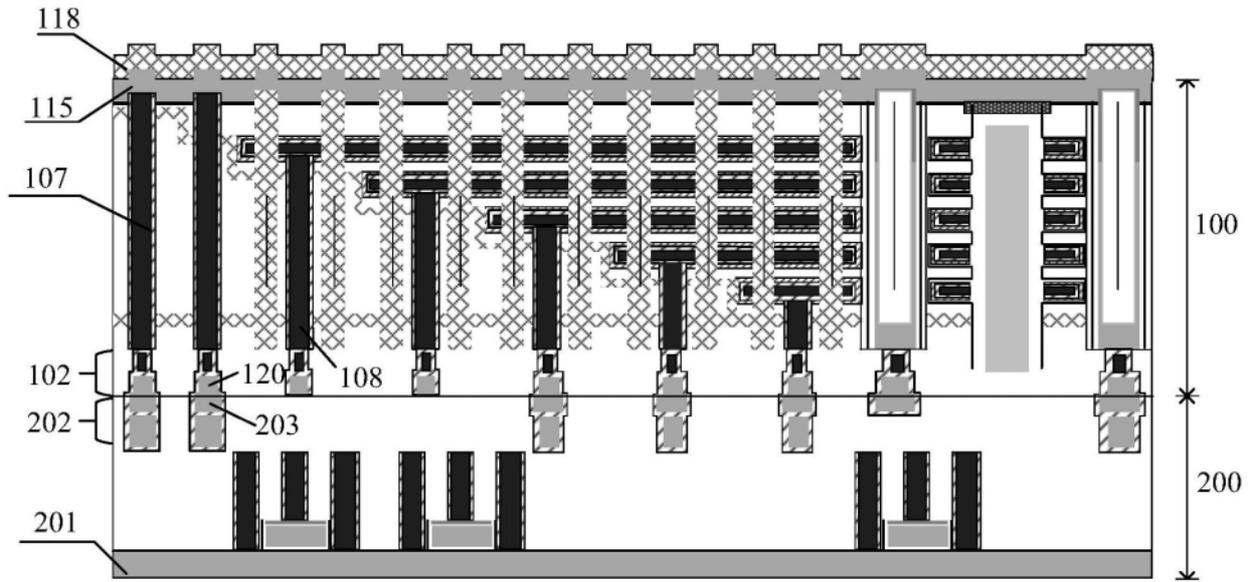


图9

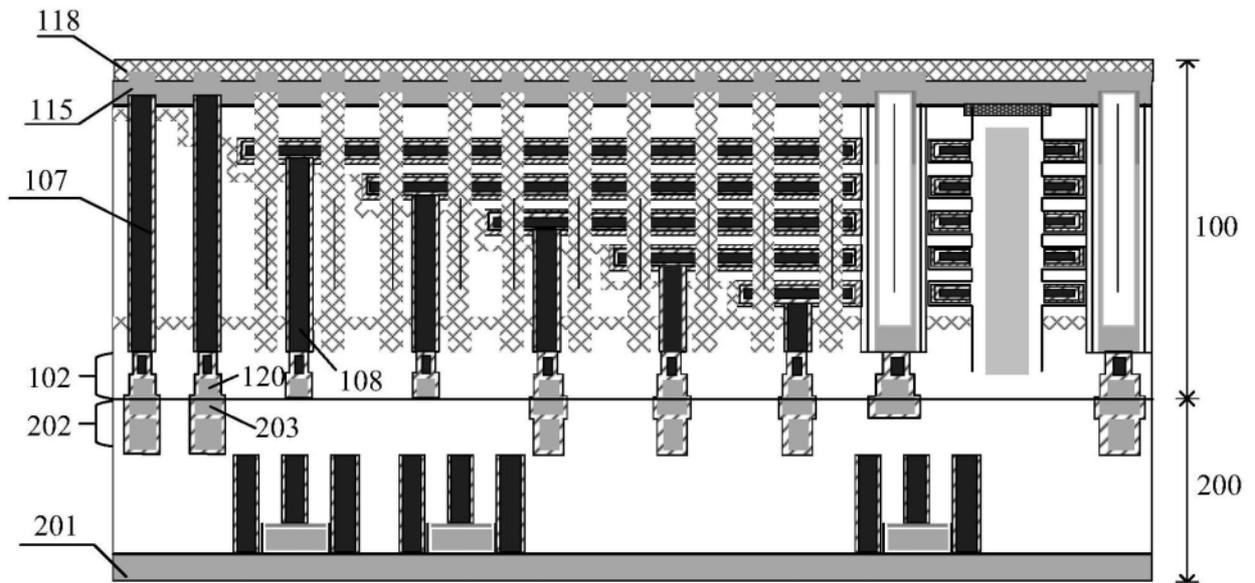


图10

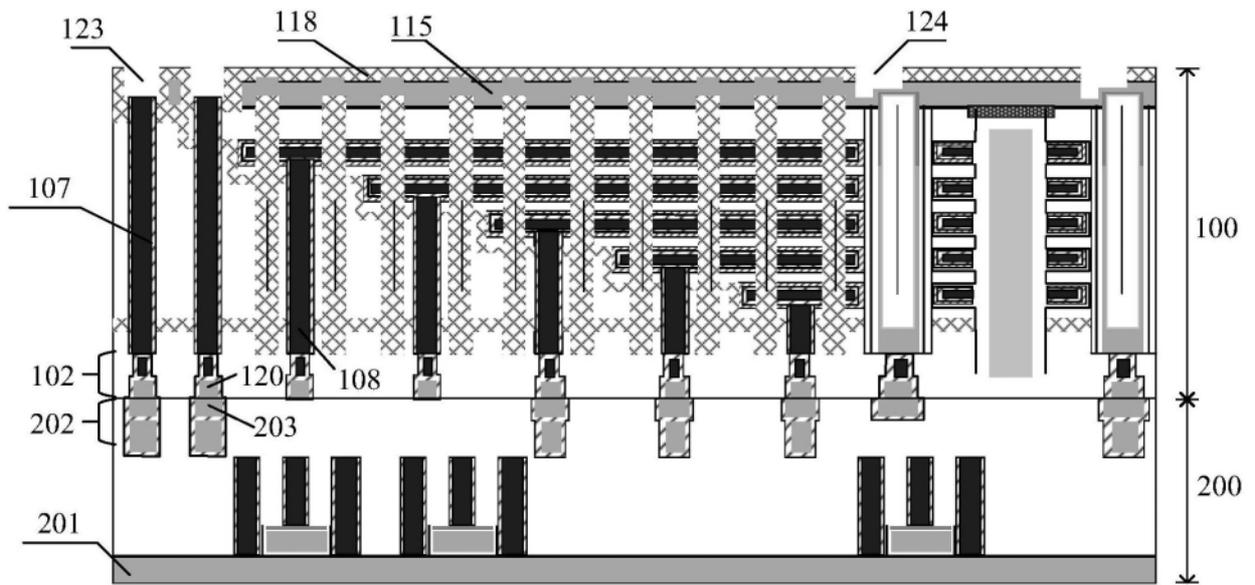


图11

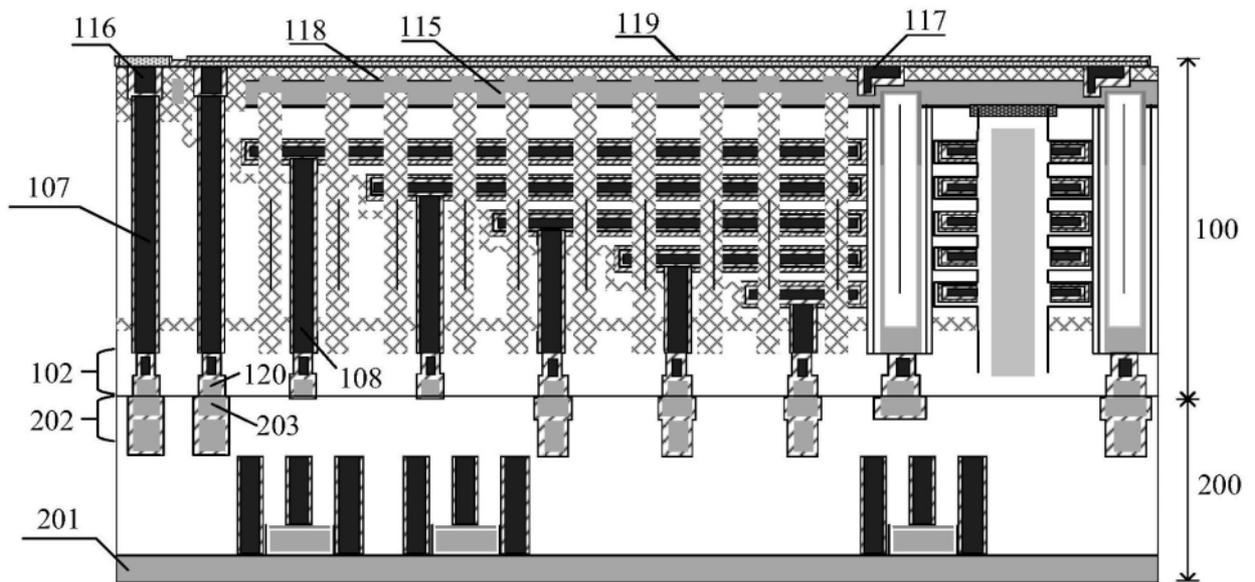


图12

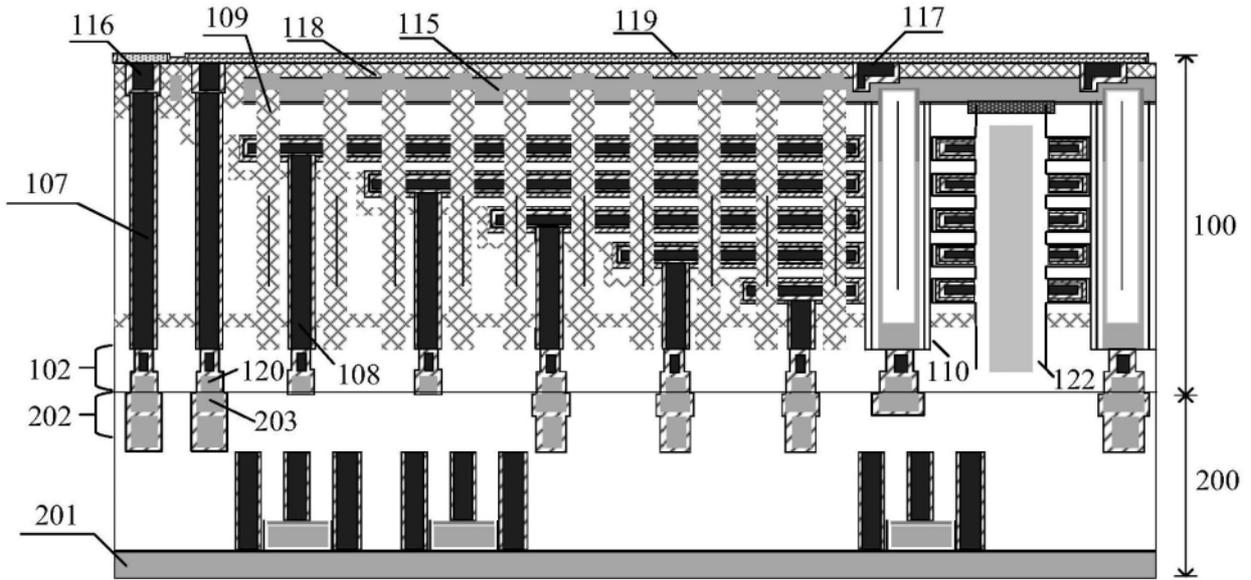


图13

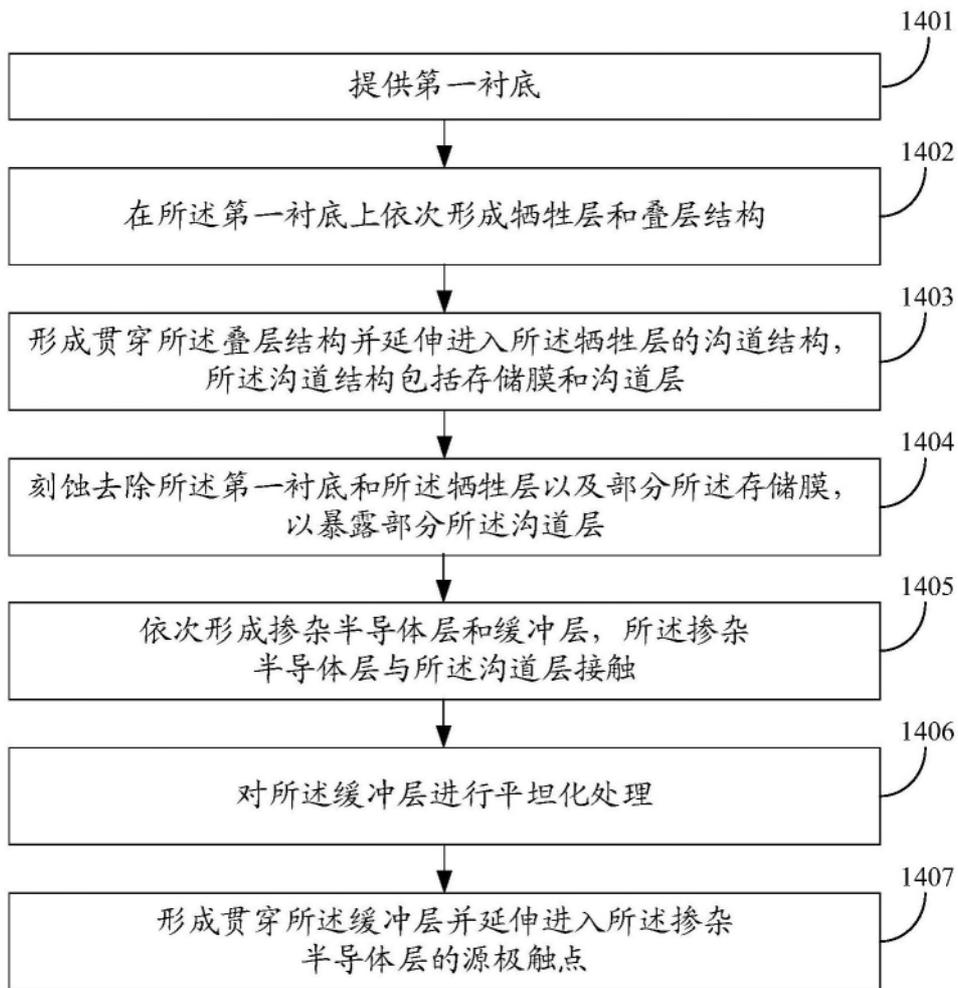


图14