



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월17일
(11) 등록번호 10-0846971
(24) 등록일자 2008년07월10일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)

G09G 3/20 (2006.01) H05B 33/12 (2006.01)

(21) 출원번호 10-2007-0000617

(22) 출원일자 2007년01월03일

심사청구일자 2007년01월03일

(56) 선행기술조사문헌

KR1020060036204 A

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

김미해

경기 용인시 기흥구 공세동 428-5

(74) 대리인

서경민, 서만규

전체 청구항 수 : 총 29 항

심사관 : 김남인

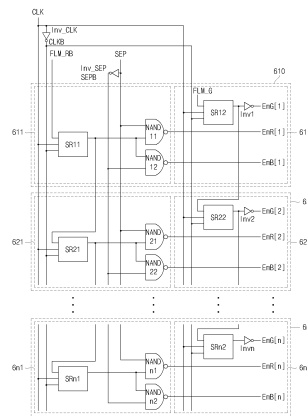
(54) 유기 전계 발광 표시 장치 및 그의 구동회로

(57) 요약

본 발명은 유기 전계 발광 표시 장치 및 그의 구동회로에 관한 것으로, 해결하고자 하는 기술적 과제는 두 개의 시프트 레지스터로 R(적색), G(녹색) 및 B(청색)의 발광제어신호 즉, 세 개의 발광제어신호를 생성하여, 유기 전계 발광 표시 장치 및 그의 구동회로를 구성하는 트랜지스터의 수를 줄여 회로 면적을 줄이고 트랜지스터에 의해 발생할 수 있는 불량률도 줄일 수 있어 수율이 향상되는 효과를 갖는 유기 전계 발광 표시 장치 및 그의 구동회로를 제공하는 것이다.

이를 위해 본 발명은 제1발광제어신호 내지 제3발광제어신호를 생성하는 유기 전계 발광 표시 장치 및 그의 구동회로에 있어서, 상기 제1발광제어신호와 제3발광제어신호는 제1시프트 레지스터를 통해 출력되고, 상기 제2발광제어신호는 제2시프트 레지스터를 통해 출력되는 것을 특징으로 하는 유기 전계 발광 표시 장치 및 그의 구동회로를 개시한다.

대표도 - 도6



특허청구의 범위

청구항 1

제1발광제어신호 내지 제3발광제어신호를 생성하는 유기 전계 발광 표시 장치의 구동회로에 있어서,

상기 제1발광제어신호와 상기 제3발광제어신호는 제1신호처리부의 제1시프트 레지스터를 통해 출력되고, 상기 제2발광제어신호는 제2신호처리부의 제2시프트 레지스터를 통해 출력되는 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 2

청구항 1항에 있어서,

상기 제1신호처리부의 상기 제1시프트 레지스터는 클럭신호, 부클럭신호 및 제1입력신호를 전달받아 상기 제1시프트 레지스터의 출력신호를 생성하며,

상기 제1신호처리부는

상기 제1시프트 레지스터의 출력신호와 분리신호를 전달받아 상기 제1발광제어신호를 생성하는 제1낸드 게이트; 및

상기 제1시프트 레지스터의 출력신호와 부분리신호를 전달받아 상기 제3발광제어신호를 생성하는 제2낸드 게이트를 더 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 3

청구항 2 항에 있어서,

상기 분리 신호와 상기 부분리신호는 상기 제1발광제어신호와 상기 제3발광제어신호를 분리하기 위한 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 4

청구항 2 항에 있어서,

상기 클럭신호를 전달받아 상기 부클럭신호를 생성하는 클럭인버터를 더 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 5

청구항 2 항에 있어서,

상기 분리신호를 전달받아 상기 부분리신호를 생성하는 분리인버터를 더 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 6

청구항 2 항에 있어서,

상기 제1시프트 레지스터의 출력신호는 다음 행의 입력신호인 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 7

청구항 2항에 있어서,

상기 제2신호처리부의 상기 제2시프트 레지스터는 상기 클럭신호, 상기 부클럭신호 및 제2입력신호를 전달받아 제2시프트 레지스터의 출력신호를 생성하며,

상기 제2신호처리부는,

상기 제2시프트 레지스터의 출력신호를 전달받아 상기 제2발광제어신호를 생성하는 제1인버터를 더 포함하여 이

루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 8

청구항 7 항에 있어서,

상기 클럭신호를 전달받아 상기 부클럭신호를 생성하는 클럭인버터를 더 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 9

청구항 7 항에 있어서,

상기 제2시프트 레지스터의 출력신호는 다음 행의 입력신호인 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 10

청구항 1 항에 있어서,

상기 제1발광제어신호는 적색화소에 전달되는 발광제어신호인 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 11

청구항 1 항에 있어서,

상기 제2발광제어신호는 녹색화소에 전달되는 발광제어신호인 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 12

청구항 1 항에 있어서,

상기 제3발광제어신호는 청색화소에 전달되는 발광제어신호인 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 13

청구항 7 항에 있어서,

상기 제1시프트 레지스터와 상기 제2시프트 레지스터는

상기 클럭신호에 의해 제1전원전압을 스위칭하는 제1피모스 스위칭소자;

상기 제1입력신호 또는 상기 제2입력신호가 제어전극에 인가되어, 상기 제1피모스 스위칭소자에서 전달되는 상기 제1전원전압을 제1노드로 전달하는 제2피모스 스위칭소자;

상기 부클럭신호에 의해 제2전원전압을 스위칭하는 제1엔모스 스위칭소자;

상기 제1입력신호 또는 상기 제2입력신호가 제어전극에 인가되어, 상기 제1엔모스 스위칭소자에서 전달되는 상기 제2전원전압을 상기 제1노드로 전달하는 제2엔모스 스위칭소자;

상기 부클럭신호에 의해 상기 제1전원전압을 스위칭하는 제3피모스 스위칭소자;

제2노드에 제어전극이 전기적으로 연결되어, 상기 제3피모스 스위칭소자에서 전달되는 상기 제1전원전압을 상기 제1노드로 전달하는 제4피모스 스위칭소자;

상기 클럭신호에 의해 상기 제2전원전압을 스위칭하는 제3엔모스 스위칭소자;

상기 제2노드에 제어전극이 전기적으로 연결되어, 상기 제3엔모스 스위칭소자에서 전달되는 상기 제2전원전압을 상기 제1노드로 전달하는 제4엔모스 스위칭소자;

상기 제1노드에 제어전극이 전기적으로 연결되어, 상기 제1전원전압을 상기 제2노드로 전달하는 제5피모스 스위

칭소자; 및

상기 제1노드에 제어전극이 전기적으로 연결되어, 상기 제2전원전압을 상기 제2노드로 전달하는 제5엔모스 스위칭소자를 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 14

청구항 13 항에 있어서,

상기 제1시프트 레지스터와 상기 제2시프트 레지스터는 상기 제2노드로 출력신호를 출력하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 15

클럭신호, 부클럭신호, 제1입력신호, 분리신호 및 부분리신호를 전달받아 제1발광제어신호와 제3발광제어신호를 생성하는 제1신호처리부; 및

클럭신호, 부클럭신호, 제2입력신호를 전달받아 제2발광제어신호를 생성하는 제2신호처리부를 포함하고,

제1신호처리부와 제2신호처리부는 각각 제1시프트 레지스터와 제2시프트 레지스터를 포함한 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 16

청구항 15항에 있어서,

상기 분리 신호와 상기 부분리신호는 상기 제1발광제어신호와 상기 제3발광제어신호를 분리하기 위한 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 17

청구항 15항에 있어서,

상기 제1발광제어신호는 적색화소에 전달되는 발광제어신호인 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 18

청구항 15 항에 있어서,

상기 제2발광제어신호는 녹색화소에 전달되는 발광제어신호인 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 19

청구항 15 항에 있어서,

상기 제3발광제어신호는 청색화소에 전달되는 발광제어신호인 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 20

청구항 15 항에 있어서,

상기 제1신호처리부의 상기 제1시프트 레지스터는 상기 클럭신호, 상기 부클럭신호, 상기 제1입력신호를 전달받아 상기 제1시프트 레지스터의 출력신호를 생성하며,

상기 제1신호처리부는,

상기 제1시프트 레지스터의 출력신호와 상기 분리신호를 전달받아 상기 제1발광제어신호를 생성하는 제1낸드 게이트; 및

상기 제1시프트 레지스터의 출력신호와 상기 부분리신호를 전달받아 상기 제3발광제어신호를 생성하는 제2낸드 게이트를 더 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 21

청구항 20 항에 있어서,

상기 제1시프트 레지스터의 출력신호는 다음 행의 입력신호인 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 22

청구항 15 항에 있어서,

상기 제 2 신호처리부의 상기 제2시프트 레지스터는 상기 클럭신호, 상기 부클럭신호, 상기 제2입력신호를 전달받아 제2시프트 레지스터의 출력신호를 생성하며,

상기 제2신호처리부는,

상기 제2시프트 레지스터의 출력신호를 전달받아 상기 제2발광제어신호를 생성하는 제1인버터를 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 23

청구항 22 항에 있어서,

상기 제2시프트 레지스터의 출력신호는 다음 행의 입력신호인 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 24

청구항 15 항에 있어서,

상기 클럭신호를 전달받아 상기 부클럭신호를 생성하는 클럭인버터를 더 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 25

청구항 15 항에 있어서,

상기 분리신호를 전달받아 상기 부분리신호를 생성하는 분리인버터를 더 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 26

청구항 15 항에 있어서,

상기 제1시프트 레지스터와 상기 제2시프트 레지스터는

상기 클럭신호에 의해 제1전원전압을 스위칭하는 제1피모스 스위칭소자;

상기 제1입력신호 또는 상기 제2입력신호가 제어전극 인가되어, 상기 제1피모스 스위칭소자에서 전달되는 상기 제1전원전압을 제1노드로 전달하는 제2피모스 스위칭소자;

상기 부클럭신호에 의해 제2전원전압을 스위칭하는 제1엔모스 스위칭소자;

상기 제1입력신호 또는 상기 제2입력신호가 제어전극 인가되어, 상기 제1엔모스 스위칭소자에서 전달되는 상기 제2전원전압을 상기 제1노드로 전달하는 제2엔모스 스위칭소자;

상기 부클럭신호에 의해 상기 제1전원전압을 스위칭하는 제3피모스 스위칭소자;

제2노드에 제어전극이 전기적으로 연결되어, 상기 제3피모스 스위칭소자에서 전달되는 상기 제1전원전압을 상기 제1노드로 전달하는 제4피모스 스위칭소자;

상기 클럭신호에 의해 상기 제2전원전압을 스위칭하는 제3엔모스 스위칭소자;

상기 제2노드에 제어전극이 전기적으로 연결되어, 상기 제3엔모스 스위칭소자에서 전달되는 상기 제2전원전압을

상기 제1노드로 전달하는 제4엔모스 스위칭소자;

상기 제1노드에 제어전극이 전기적으로 연결되어, 상기 제1전원전압을 상기 제2노드로 전달하는 제5피모스 스위칭소자; 및

상기 제1노드에 제어전극이 전기적으로 연결되어, 상기 제2전원전압을 상기 제2노드로 전달하는 제5엔모스 스위칭소자를 포함하여 이루어진 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 27

청구항 26 항에 있어서,

상기 제1시프트 레지스터와 상기 제2시프트 레지스터는 상기 제2노드로 출력신호를 출력하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 구동회로.

청구항 28

청구항 1항의 유기 전계 발광 표시 장치의 구동회로를 포함하여 이루어진 유기 전계 발광 표시 장치.

청구항 29

청구항 15항의 유기 전계 발광 표시 장치의 구동회로를 포함하여 이루어진 유기 전계 발광 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <30> 본 발명은 유기 전계 발광 표시 장치 및 그의 구동회로에 관한 것으로서, 보다 상세히는 두개의 시프트레지스터를 이용해 RGB화소회로(R:적색 화소회로, G:녹색화소회로 B:청색화소회로)에 공급되는 발광신호를 공급하는 유기 전계 발광 표시 장치 및 그의 구동회로를 제공하는 데 있다.
- <31> 종래의 유기 전계 발광 표시 장치는 형광성 또는 인광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시장치로서, N×M개의 유기 발광셀들을 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀은 도 1에서 나타낸 바와 같이 애노드(ITO), 유기박막, 캐소드(metal)의 구조로 되어 있다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송 층(electron transport layer, ETL) 및 정공수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injecting layer, EIL)과 정공 주입층(hole injecting layer, HIL)층을 포함할 수 있다.
- <32> 이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor, TFT) 또는 MOSFET을 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하여 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터와 커패시터를 각 ITO(indium tin oxide)화소 전극에 접속하여 커패시터 용량에 의해 전압을 유지하도록 하는 구동 방식이다. 이때, 커패시터에 전압을 유지시키기 위해 인가되는 신호의 형태에 따라 능동 구동 방식은 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나누어진다.
- <33> 이러한 유기 전계 발광 표시 장치는 퍼스널 컴퓨터, 휴대전화기, PDA 등의 휴대 정보단말기 등의 표시장치나 각종 정보기기의 표시장치로서 사용되고 있다.
- <34> 최근에 음극선관에 비교하여 무게와 부피가 작은 각종 발광 표시장치들이 개발되고 있으며, 특히 발광효율, 휘도 및 시야각이 뛰어나며 응답속도가 빠른 유기전계발광 표시장치가 주목 받고 있다.
- <35> 그리고 종래의 유기 EL 표시 장치는 다양한 색상을 표현하기 위해 하나의 화소가 각각의 색상을 가지는 복수의 화소로 이루어지며, 이러한 화소에서 발광되는 색상의 조합으로 색상이 표현된다. 일반적으로, 화소는 적색(R), 녹색(G) 및 청색(B)을 표시하는 화소회로로 이루어지며, 이들 적색, 녹색 및 청색(R,G,B)의 조합으로 색상이 표

현된다.

- <36> 도 2 는 유기 전계 발광 소자를 구동하기 위한 종래의 전압 기입 방식의 화소 회로로서, $N \times M$ 개의 화소 회로 중 하나를 대표적으로 도시한 것이다. 도 2를 참조하면, 구동트랜지스터(M1)에 제2스위칭소자(S2), 제3스위칭 소자(S3) 및 제4스위칭소자(S4)가 연결되어 각각의 스위칭소자에 적색발광제어신호(EmR), 녹색발광제어신호(EmG) 및 청색발광제어신호(EmB)를 받아 적색 유기 전계 발광 소자(OLEDR), 녹색 유기 전계 발광 소자(OLEDG) 및 청색 유기 전계 발광 소자(OLEDB)에 구동전류를 공급한다. 구동트랜지스터(M1)의 전류량은 제1스위칭소자(S1)를 통해 인가되는 데이터 전압에 의해 제어된다. 이때, 인가된 데이터전압을 일정 기간 유지하기 위한 용량성소자(C1)가 구동트랜지스터(M1)의 게이트와 소스 사이에 연결되어 있다. 제1스위칭소자(S1)의 제1전극은 데이터선(Data[m])에 연결되고, 제어 전극은 주사선(Sacn[n])에 연결되어 있다.
- <37> 이와 같은 구조의 화소 회로의 동작을 살펴보면, 제1스위칭소자(S1)의 제어 전극에 인가되는 주사신호에 의해 제1스위칭소자(S1)가 턴온 되면, 데이터선(Data[m])으로 부터 데이터 전압이 구동트랜지스터(M1)의 제어 전극에 인가된다. 그러면, 용량성소자(C1)에 의해 게이트와 소스 사이에 충전된 전압 (V_{GS})에 대응하여 구동트랜지스터(M1)의 드레인에 구동전류(I_{OLED})가 흐른다. 이 전류는 적색발광제어신호(EmR)에 의해 제2스위칭소자(S2)가 턴온 되면 구동전류(I_{OLED})가 적색 유기 전계 발광 소자(OLEDR)에 전달되어 적색 발광한다. 그리고, 녹색발광제어신호(EmG)에 의해 제3스위칭소자(S3)가 턴온되면 구동전류(I_{OLED})가 녹색 유기 전계 발광 소자(OLEDG)에 전달되어 녹색 발광한다. 그리고 청색발광제어신호(EmB)에 의해 제4스위칭소자(S4)가 턴온되면 구동전류(I_{OLED})가 청색 유기 전계 발광 소자(OLEDB)에 전달되어 청색 발광한다.
- <38> 이러한 화소회로를 구동하기 위해서는 화소회로별로 유기전계발광소자를 구동하기 위한 화소 회로가 필요하고, 데이터 신호를 전달하기 위한 데이터구동부, 주사 신호를 전달하기 위한 주사구동부 및 발광제어신호를 전달하기 위한 발광제어구동부가 형성되어야 한다.
- <39> 상기 발광제어구동부는 각각의 R(적색), G(녹색), B(청색) 발광제어신호를 제공하기 위한 3개의 R, G, B 발광제어구동회로를 구비한다. 각 R, G, B 발광제어 구동회로는 각각 시프트 레지스터로 구성되므로, 소자 수가 많아 회로면적이 증가하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <40> 본 발명은 상술한 종래의 문제점을 극복하기 위한 것으로서, 본 발명의 목적은 두개의 시프트 레지스터로 R(적색), G(녹색) 및 B(청색)의 발광제어신호 즉, 세 개의 발광제어신호를 생성하여, 발광제어 구동회로를 구성하는 트랜지스터의 수를 줄여 회로 면적을 줄이고 트랜지스터에 의해 발생할 수 있는 불량률도 줄일 수 있어 수율이 향상되는 유기 전계 발광 표시 장치 및 그의 구동회로를 제공하는 데 있다.

발명의 구성 및 작용

- <41> 상기한 목적을 달성하기 위해 본 발명에 의한 유기 전계 발광 표시 장치 및 그의 구동회로는 제1발광제어신호 내지 제3발광제어신호를 생성하는 유기 전계 발광 표시 장치의 발광제어 구동 회로에 있어서, 상기 제1발광제어신호와 제3발광제어신호는 제1시프트 레지스터를 통해 출력되고, 상기 제2발광제어신호는 제2시프트 레지스터를 통해 출력될 수 있다.
- <42> 상기 제1발광제어신호와 상기 제3발광제어신호를 출력하는 제1시프트 레지스터를 포함하는 제1신호처리부는 클럭신호, 부클럭신호, 제1입력신호를 전달받아 제1시프트 레지스터의 발광제어신호를 생성하는 제1시프트 레지스터와 상기 제1시프트 레지스터의 출력신호와 분리신호를 전달받아 제1발광제어신호를 생성하는 제1낸드 게이트 및 상기 제1시프트 레지스터의 출력신호와 부분리신호를 전달받아 제3발광제어신호를 생성하는 제2낸드 게이트를 포함할 수 있다.
- <43> 상기 분리 신호와 부분리신호는 제1발광제어신호와 제3발광제어신호를 분리할 수 있다.
- <44> 상기 클럭신호를 전달받아 상기 부클럭신호를 생성하는 클럭인버터를 포함할 수 있다.
- <45> 상기 분리신호를 전달받아 상기 부분리신호를 생성하는 분리인버터를 포함할 수 있다.
- <46> 상기 제1시프트 레지스터의 출력신호는 다음 행의 입력신호일 수 있다.
- <47> 상기 제2발광제어신호를 출력하는 제2시프트 레지스터를 포함하는 제2신호처리부는 상기 클럭신호, 상기 부클럭

신호, 상기 제2입력신호를 전달받아 제2시프트 레지스터의 출력신호를 생성하는 제2시프트 레지스터 및 상기 제2시프트 레지스터의 출력신호를 전달받아 제2발광제어신호를 생성하는 제1인버터를 포함할 수 있다.

- <48> 상기 제2시프트 레지스터의 출력신호는 다음 행의 입력신호일 수 있다.
- <49> 상기 제1발광제어신호는 적색화소에 전달되는 발광제어신호일 수 있고 상기 제2발광제어신호는 녹색화소에 전달되는 발광제어신호일 수 있고 상기 제3발광제어신호는 청색화소에 전달되는 발광제어신호일 수 있다.
- <50> 상기 제1시프트 레지스터와 상기 제2시프트 레지스터는 상기 클럭신호에 의해 제1전원전압을 스위칭하는 제1피모스 스위칭소자와 상기 제1입력신호 또는 제2입력신호가 제어전극에 인가되어, 상기 제1피모스 스위칭소자에서 전달되는 상기 제1전원전압을 제1노드 에 전달하는 제2피모스 스위칭소자와 상기 부클럭신호에 의해 제2전원전압을 스위칭하는 제1엔모스 스위칭소자와 상기 입력신호가 제어전극에 인가되어, 상기 제1엔모스 스위칭소자에서 전달되는 상기 제2전원전압을 상기 제1노드 에 전달하는 제2엔모스 스위칭소자와 상기 부클럭신호에 의해 제1전원전압을 스위칭하는 제3피모스 스위칭소자와 제 2노드에 제어전극이 전기적으로 연결되어, 상기 제3피모스 스위칭소자에서 전달되는 상기 제1전원전압을 상기 제1노드 에 전달하는 제4피모스 스위칭소자와 상기 클럭신호에 의해 제2전원전압을 스위칭하는 제3엔모스 스위칭소자와 상기 제 2노드에 제어전극이 전기적으로 연결되어, 상기 제3엔모스 스위칭소자에서 전달되는 상기 제2전원전압을 상기 제1노드 에 전달하는 제4엔모스 스위칭소자와 상기 제1노드에 제어전극이 전기적으로 연결되고, 제1전원전압을 상기 제2노드에 전달하는 제5피모스 스위칭소자 및 상기 제1노드에 제어전극이 전기적으로 연결되고, 제2전원전압을 상기 제2노드에 전달하는 제5엔모스 스위칭소자를 포함할 수 있다.
- <51> 상기 제2노드는 시프트 레지스터의 출력신호일 수 있다.
- <52> 클럭신호, 부클럭신호, 제1입력신호, 분리신호 및 부분리신호를 전달받아 제1발광제어신호와 제3발광제어신호를 생성하는 제1신호처리부 및 클럭신호, 부클럭신호, 제2입력신호를 전달받아 제2발광제어신호를 생성하는 제2신호처리부를 포함하고, 제1신호처리부와 제2신호처리부는 각각 제1시프트 레지스터와 제2시프트 레지스터를 포함할 수 있다.
- <53> 상기와 같이 하여 본 발명에 의한 유기 전계 발광 표시 장치의 발광제어 구동 회로는 두개의 시프트 레지스터로 R(적색), G(녹색) 및 B(청색)의 발광제어신호 즉, 세 개의 발광제어신호를 생성하여, 유기 전계 발광 표시 장치의 구동회로를 구성하는 트랜지스터의 수를 줄여 회로 면적을 줄이고 트랜지스터에 의해 발생할 수 있는 불량률도 줄일 수 있어 수율이 향상되는 효과가 있다.
- <54> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.
- <55> 여기서, 명세서 전체를 통하여 유사한 구성 및 동작을 갖는 부분에 대해서는 동일한 도면 부호를 붙였다. 또한, 어떤 부분이 다른 부분과 전기적으로 연결(electrically couple)되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐만 아니라 그 중간에 다른 소자를 사이에 두고 연결되어 있는 경우도 포함한다.
- <56> 도 3을 참조하면, 본 발명에 따른 유기 전계 발광 표시 장치의 발광제어 구동 회로의 구성이 블록도로서 도시되어 있다.
- <57> 도 3에서 도시된 바와 같이 유기 전계 발광 표시 장치(100)는 주사구동부(110), 데이터구동부(120), 발광 제어 구동부(130) 유기 전계 발광 표시 패널(이하, 패널 (140))를 포함 할 수 있다.
- <58> 상기 주사 구동부(110)는 다수의 주사선(Scan[1], Scan[2], ..., Scan[n])을 통하여 상기 패널(140)에 주사신호를 순차적으로 공급할 수 있다.
- <59> 상기 데이터 구동부(120)는 다수의 데이터선 (Data[1], Data[2], ..., Data[m])을 통하여 상기 패널(140)에 데이터 신호를 공급할수 있다.
- <60> 상기 발광 제어 구동부(130)는 다수의 발광제어선 (EmR,G,B[1], EmR,G,B[2], ..., EmR,G,B[n])을 통하여 상기 패널(140)에 발광 제어 신호를 순차적으로 공급할 수 있다. 또한 발광 제어 구동부(130)는 발광제어신호의 펄스 폭을 조절할 수 있도록 하며 한 구간에서 발생하는 발광제어신호의 펄스의 수를 조절할 수 있다. 발광제어선 (EmR,G,B[1], EmR,G,B[2], ..., EmR,G,B[n])과 연결되어 있는 화소 회로(141)는 발광제어신호를 전달받아 화소 회로(141)에서 생성된 전류가 발광소자로 흐르도록 하는 시점을 결정할 수 있다. 이때, 발광 제어 구동부(130)의 구동회로의 적색(R)출력신호, 녹색(G)출력신호 및 청색(B)출력신호는 각각 적색(R)화소회로, 녹색(G)화소회로

및 청색(B)화소회로에 순차적으로 공급된다.

- <61> 또한 상기 패널(140)은 열방향으로 배열되어 있는 다수의 주사선(Scan[1],Scan[2],...,Scan[n])및 발광제어선(EmR,G,B[1],EmR,G,B[2],..., EmR,G,B[n])과, 행방향으로 배열되는 다수의 데이터선(Data[1],Data[2],...,Data[m])과, 상기의 다수의 주사선(Scan[1],Scan[2],...,Scan[n]) 및 데이터선 (Data[1],Data[2],...,Data[m])과 발광제어선 (Em[1],Em[2],..., Em[n])에 의해 정의되는 화소 회로(141, Pixel)를 포함 할 수 있다.
- <62> 여기서 상기 화소 회로(Pixel)는 이웃하는 두 주사선(또는 발광제어선)과 이웃하는 두 데이터선에 의해 정의 되는 화소 영역에 형성 될 수 있다. 물론, 상술한 바와 같이 상기 주사선(Scan[1],Scan[2],...,Scan[n])에는 상기 주사 구동부(110)로 부터 주사신호가 공급될 수 있고, 상기 데이터선 (Data[1],Data[2],...,Data[m])에는 상기의 데이터 구동부(120)로 부터 데이터 신호가 공급될 수 있으며, 상기 발광제어선 (Em[1],Em[2],..., Em[n])에는 상기 발광 제어 구동부(130)으로부터 발광 제어 신호가 공급 될 수 있다.
- <63> 상기 발광제어구동부의 박막트랜지스터의 결정화 방법으로는 엑시머 레이저(Excimer Laser)를 사용한 레이저 결정화 방법(ELA)과 금속촉매(Promoting Material)을 사용한 금속촉매 결정화 방법(MIC: Metal Induced Crystallization)과 고상결정화(SPC: Solid Phase Crystallization)방법등이 있다. 이외에도 고온 고습한 분위기에서 결정화를 진행하는 고압결정화 방법(HPA: High Pressure Annealing)방법, 기존 레이저 결정화 방법에 마스크를 추가로 사용하는(SLS: Sequential Lateral Solidification)방법들이 있다.
- <64> 상기 레이저 결정화 방법은 박막트랜지스터를 다결정실리콘(Poly Silicon)으로 결정화 하는 방법중 가장 많이 이용되고 있다. 기존의 다결정 액정표시장치의 결정화 방법을 그대로 이용할 수 있을 뿐만 아니라 공정방법이 간단하며 공정방법에 대한 기술 개발이 완료된 상태이다.
- <65> 상기 금속촉매 결정화 방법은 상기 레이저 결정화 방법을 사용하지 않고 저온에서 결정화 할 수 방법중 하나이다. 초기에는 비정질 실리콘(a-Si)표면에 금속촉매금속인 Ni, Co, Pd, Ti등을 증착 혹은 스펀코팅하여 상기 금속촉매 금속이 상기 비정질 실리콘 표면에 직접 침투하여 상기 비정질 실리콘의 상을 변화시키면서 결정화 하는 방법으로 저온에서 결정화 할 수 있는 장점이 있다.
- <66> 상기 금속촉매 결정화 방법의 다른 하나는 상기 비정질 실리콘 표면에 금속층을 개재시킬 때 마스크를 이용해 상기 박막트랜지스터의 특정 영역에 니켈실리사이드와 같은 오염물이 개재되는 최대한 억제할 수 있는 장점이 있다. 상기 결정화 방법을 금속촉매유도측면결정화 방법(MILC: Metal Induced Lateral Crystallization)이라고 한다. 상기 금속촉매유도측면결정화 방법에 사용되는 마스크로는 새도우 마스크(Shadow)마스크가 사용될 수 있는데 상기 새도우 마스크는 선형 마스크 혹은 점형 마스크일 수 있다.
- <67> 상기 금속촉매 결정화 방법의 또 다른 하나는 상기 비정질 실리콘 표면에 금속촉매층을 증착 혹은 스펀코팅할 때 캡핑층(Capping Layer)을 먼저 개재시켜 상기 비정질 실리콘으로 유입되는 금속 촉매량을 컨트롤하는 금속촉매유도캡핑층결정화 방법(MICC: Metal Induced Crystallization with Capping Layer)이 있다. 상기 캡핑층으로는 실리콘질화막(Silicon Nitride)막을 사용할 수 있다. 상기 실리콘 질화막의 두께에 따라 상기 금속 촉매층에서 상기 비정질 실리콘으로 유입되는 금속 촉매량이 달라진다. 이때 상기 실리콘 질화막으로 유입되는 금속 촉매는 상기 실리콘 질화막 전체에 형성될 수 도 있고, 새도우 마스크등을 사용하여 선택적으로 형성될 수 있다. 상기 금속 촉매층이 상기 비정질 실리콘을 다결정 실리콘으로 결정화가 된 이후에 선택적으로 상기 캡핑층을 제거할 수 있다. 상기 캡핑층 제거방법에는 습식 식각방법(Wet Etching)방법 혹은 건식 식각방법(Dry Etching)을 사용할 수 있다. 추가적으로, 상기 다결정 실리콘이 형성된 이후에 게이트 절연막을 형성하고 상기 게이트 절연막 상에 게이트 전극을 형성한다. 상기 게이트 전극상에 층간절연막(Interlayer)을 형성할 수 있다. 상기 층간 절연막상에 비아홀(Via Hole)을 형성한 후에 불순물을 상기 비아홀을 통해서 결정화된 다결정실리콘 상으로 투입하여 내부의 형성된 금속촉매 불순물을 추가적으로 제거할 수 있다. 상기 금속 촉매 불순물을 추가적으로 제거하는 방법을 게터링 공정(Gattering Process)라고 한다. 상기 게터링 공정에는 상기 불순물을 주입하는 공정 외에 저온에서 박막트랜지스터를 가열하는 가열공정(Heating Process)이 있다. 상기 게터링 공정을 통해서 양질의 박막트랜지스터를 구현할 수 있다.
- <68> 도 4을 참조하면, 본 발명에 따른 유기 전계 발광 표시 장치의 발광제어 구동 회로의 시프트 레지스터의 블럭도이다.
- <69> 상기 시프트 레지스터는 시프트레지스터 입력신호(IN[SR]), 클럭신호(CLK), 부클럭신호(CLKB)가 입력되어 시프트레지스터 입력신호(IN[SR])가 일측으로 시프트된 시프트레지스터 출력신호(OUT[SR])를 출력한다.

- <70> 도 5를 참조하면, 도 4에 도시된 시프트 레지스터의 회로도이다.
- <71> 도 4에서 도시된 바와 같이, 본 발명에 따른 유기 전계 발광 표시 장치의 발광제어 구동 회로의 시프트 레지스터는 클럭신호(CLK), 부클럭신호(CLKB), 시프트레지스터 입력신호(IN[SR]), 제1전원 전압선(VDD), 제2전원 전압선(VSS), 제1피모스스위칭소자(P1), 제2피모스 스위칭소자(P2), 제3피모스 스위칭소자(P3), 제4피모스스위칭소자(P4), 제5피모스 스위칭소자(P5), 제1엔모스 스위칭소자(N1), 제2엔모스 스위칭소자(N2), 제3엔모스 스위칭소자(N3), 제4엔모스 스위칭소자(N4) 및 제5엔모스 스위칭소자(N5)를 포함할 수 있다.
- <72> 상기 클럭신호(CLK)와 상기 부클럭신호(CLKB)는 반대되는 신호로 상기 클럭신호(CLK)가 하이레벨일 경우에, 상기 부클럭신호(CLKB)는 로우레벨이 되고, 상기 클럭신호(CLK)가 로우레벨일 경우에, 상기 부클럭신호(CLKB)는 하이레벨이 된다.
- <73> 상기 제1전원 전압선(VDD)은 제1전원전압이 시프트레지스터(SR)에 공급되도록 한다.
- <74> 상기 제2전원 전압선(VSS)은 제2전원전압이 시프트레지스터(SR)에 공급되도록 한다. 여기서, 상기 제1전원전압은 통상적으로 상기 제2전원전압에 비해 하이 레벨(high level)일 수 있다.
- <75> 상기 제1피모스 스위칭소자(P1)의 제1전극(드레인 전극 또는 소스 전극)은 제1전원전압(VDD)에 전기적으로 연결되고 제2전극(드레인 전극 또는 소스 전극)은 제2피모스 스위칭소자(P2)에 전기적으로 연결되고, 제어전극(게이트 전극)에 클럭신호(CLK)가 인가된다. 이러한 제1피모스 스위칭소자(P1)는 제어전극에 로우레벨의 클럭신호(CLK)가 입력되면 턴온되어 제1전원전압(VDD)을 제2피모스 스위칭소자(P2)의 제1전극에 공급한다.
- <76> 상기 제2피모스 스위칭소자(P2)의 제1전극은 상기 제1피모스 스위칭소자(P1)의 제2전극에 전기적으로 연결되고, 제2전극은 상기 제1엔모스 스위칭소자(N1)의 제1전극 즉, 제1노드(A)에 전기적으로 연결되고, 제어전극에 시프트레지스터 입력신호(IN[SR])가 인가된다. 이러한 제2피모스 스위칭소자(P2)는 제어전극에 로우레벨의 시프트레지스터 입력신호(IN[SR])가 입력되면 턴온되어 제1피모스 스위칭소자(P1)에서 공급받은 제1전원전압(VDD)을 제1노드(A)로 공급한다.
- <77> 상기 제3피모스 스위칭소자(P3)의 제1전극은 제1전원전압(VDD)에 전기적으로 연결되고 제2전극은 제4피모스 스위칭소자(P4)에 전기적으로 연결되고, 제어전극에 부클럭신호(CLKB)가 인가된다. 이러한 제3피모스 스위칭소자(P3)는 제어전극에 로우레벨의 부클럭신호(CLKB)가 입력되면 턴온되어 제1전원전압(VDD)을 제4피모스 스위칭소자(P4)의 제1전극에 공급한다.
- <78> 상기 제4피모스 스위칭소자(P4)의 제1전극은 상기 제3피모스 스위칭소자(P3)의 제2전극에 전기적으로 연결되고, 제2전극은 상기 제3엔모스 스위칭소자(N3)의 제1전극 즉, 제1노드(A)에 전기적으로 연결되고, 제어전극에 시프트레지스터 출력신호(OUT[SR])가 인가된다. 이러한 제4피모스 스위칭소자(P4)는 제어전극에 로우레벨의 시프트레지스터 출력신호(OUT[SR])가 입력되면 턴온되어 제3피모스 스위칭소자(P3)에서 공급받은 제1전원전압(VDD)을 제1노드(A)로 공급한다.
- <79> 상기 제5피모스 스위칭소자(P5)의 제1전극은 제1전원전압(VDD)에 전기적으로 연결되고 제2전극은 제5엔모스 스위칭소자(N5)의 제1전극에 전기적으로 연결되고, 제어전극은 제1노드(A)에 전기적으로 연결된다. 이러한 제5피모스 스위칭소자(P5)는 제어전극에 로우레벨의 신호가 제1노드(A)를 통해 입력되면 턴온되어 제1전원전압(VDD)을 시프트레지스터 출력신호(OUT[SR])로 출력한다.
- <80> 상기 제1엔모스 스위칭소자(N1)의 제1전극은 제2엔모스 스위칭소자(N2)에 전기적으로 연결되고 제2전극은 제2전원전압(VSS)에 전기적으로 연결되고 제어전극에 부클럭신호(CLKB)가 인가된다. 이러한 제1엔모스 스위칭소자(N1)는 제어전극에 하이레벨의 부클럭신호(CLKB)가 입력되면 턴온되어 제2전원전압(VSS)을 제2엔모스 스위칭소자(N2)의 제2전극에 공급한다.
- <81> 상기 제2엔모스 스위칭소자(N2)의 제1전극은 상기 제2피모스 스위칭소자(P2)의 제2전극 즉, 제1노드(A)에 전기적으로 연결되고, 제2전극은 상기 제1엔모스 스위칭소자(N1)의 제1전극에 전기적으로 연결되고, 제어전극에 시프트레지스터 입력신호(IN[SR])가 인가된다. 이러한 제2엔모스 스위칭소자(N2)는 제어전극에 하이레벨의 시프트레지스터 입력신호(IN[SR])가 입력되면 턴온되어 제1엔모스 스위칭소자(N1)에서 공급받은 제2전원전압(VSS)을 제1노드(A)로 공급한다.
- <82> 상기 제3엔모스 스위칭소자(N3)의 제1전극은 제4엔모스 스위칭소자(N4)에 전기적으로 연결되고 제2전극은 제2전원전압(VSS)에 전기적으로 연결되고 제어전극에 클럭신호(CLK)가 인가된다. 이러한 제3엔모스 스위칭소자(N3)는 제어전극에 하이레벨의 클럭신호(CLK)가 입력되면 턴온되어 제2전원전압(VSS)을 제4엔모스 스위칭소자(N4)의

제2전극에 공급한다.

- <83> 상기 제4엔모스 스위칭소자(N4)의 제1전극은 상기 제4피모스 스위칭소자(P4)의 제2전극 즉, 제1노드(A)에 전기적으로 연결되고, 제2전극은 상기 제3엔모스 스위칭소자(N3)의 제1전극에 전기적으로 연결되고, 제어전극에 시프트레지스터 출력신호(OUT[SR])가 인가된다. 이러한 제4엔모스 스위칭소자(N4)는 제어전극에 하이레벨의 시프트레지스터 출력신호(OUT[SR])가 입력되면 턴온되어 제3엔모스 스위칭소자(N3)에서 공급받은 제2전원전압(VSS)를 제1노드(A)로 공급한다.
- <84> 상기 제5엔모스 스위칭소자(N5)의 제5피모스 스위칭소자(P5)의 제2전극에 전기적으로 연결되고, 제2전극은 제2전원전압(VSS)에 전기적으로 연결되고, 제어전극은 제1노드(A)에 전기적으로 연결된다. 이러한 제5엔모스 스위칭소자(N5)는 제어전극에 하이레벨의 신호가 제1노드(A)를 통해 입력되면 턴온되어 제2전원전압(VSS)을 시프트레지스터 출력신호(OUT[SR])로 출력한다.
- <85> 상기 시프트레지스터의 박막트랜지스터의 결정화 방법으로는 엑시머 레이저(Excimer Laser)를 사용한 레이저 결정화 방법(ELA)과 금속촉매(Promoting Material)을 사용한 금속촉매 결정화 방법(MIC: Metal Induced Crystallization)과 고상결정화(SPC: Solid Phase Crystallization)방법등이 있다. 이외에도 고온 고습한 분위기에서 결정화를 진행하는 고압결정화 방법(HPA: High Pressure Annealing)방법, 기존 레이저 결정화 방법에 마스크를 추가로 사용하는(SLS: Sequential Lateral Solidification)방법들이 있다.
- <86> 상기 레이저 결정화 방법은 박막트랜지스터를 다결정실리콘(Poly Silicon)으로 결정화 하는 방법중 가장 많이 이용되고 있다. 기존의 다결정 액정표시장치의 결정화 방법을 그대로 이용할 수 있을 뿐만 아니라 공정방법이 간단하며 공정방법에 대한 기술 개발이 완료된 상태이다.
- <87> 상기 금속촉매 결정화 방법은 상기 레이저 결정화 방법을 사용하지 않고 저온에서 결정화 할 수 방법중 하나이다. 초기에는 비정질 실리콘(a-Si)표면에 금속촉매금속인 Ni, Co, Pd, Ti등을 증착 혹은 스펀코팅하여 상기 금속촉매 금속이 상기 비정질 실리콘 표면에 직접 침투하여 상기 비정질 실리콘의 상을 변화시키면서 결정화 하는 방법으로 저온에서 결정화 할 수 있는 장점이 있다.
- <88> 상기 금속촉매 결정화 방법의 다른 하나는 상기 비정질 실리콘 표면에 금속층을 개재시킬 때 마스크를 이용해 상기 박막트랜지스터의 특정 영역에 니켈실리사이드와 같은 오염물이 개재되는 최대한 억제할 수 있는 장점이 있다. 상기 결정화 방법을 금속촉매유도측면결정화 방법(MILC: Metal Induced Lateral Crystallization)이라고 한다. 상기 금속촉매유도측면결정화 방법에 사용되는 마스크로는 새도우 마스크(Shadow)마스크가 사용될 수 있는데 상기 새도우 마스크는 선형 마스크 혹은 점형 마스크일 수 있다.
- <89> 상기 금속촉매 결정화 방법의 또 다른 하나는 상기 비정질 실리콘 표면에 금속촉매층을 증착 혹은 스펀코팅할 때 캡핑층(Capping Layer)을 먼저 개재시켜 상기 비정질 실리콘으로 유입되는 금속 촉매량을 컨트롤하는 금속촉매유도캡핑층결정화 방법(MICC: Metal Induced Crystallization with Capping Layer)이 있다. 상기 캡핑층으로는 실리콘질화막(Silicon Nitride)막을 사용할 수 있다. 상기 실리콘 질화막의 두께에 따라 상기 금속 촉매층에서 상기 비정질 실리콘으로 유입되는 금속 촉매량이 달라진다. 이때 상기 실리콘 질화막으로 유입되는 금속 촉매는 상기 실리콘 질화막 전체에 형성될 수도 있고, 새도우 마스크등을 사용하여 선택적으로 형성될 수 있다. 상기 금속 촉매층이 상기 비정질 실리콘을 다결정 실리콘으로 결정화가 된 이후에 선택적으로 상기 캡핑층을 제거할 수 있다. 상기 캡핑층 제거방법에는 습식 식각방법(Wet Etching)방법 혹은 건식 식각방법(Dry Etching)을 사용할 수 있다. 추가적으로, 상기 다결정 실리콘이 형성된 이후에 게이트 절연막을 형성하고 상기 게이트 절연막 상에 게이트 전극을 형성한다. 상기 게이트 전극상에 층간절연막(Interlayer)을 형성할 수 있다. 상기 층간절연막상에 비아홀(Via Hole)을 형성한 후에 불순물을 상기 비아홀을 통해서 결정화된 다결정실리콘 상으로 투입하여 내부의 형성된 금속촉매 불순물을 추가적으로 제거할 수 있다. 상기 금속 촉매 불순물을 추가적으로 제거하는 방법을 게터링 공정(Gattering Process)라고 한다. 상기 게터링 공정에는 상기 불순물을 주입하는 공정 외에 저온에서 박막트랜지스터를 가열하는 가열공정(Heating Process)이 있다. 상기 게터링 공정을 통해서 양질의 박막트랜지스터를 구현할 수 있다.
- <90> 도 6을 참조하면, 본 발명의 일실시예에 따른 유기 전계 발광 표시 장치의 발광제어 구동 회로를 도시한 블록도이다.
- <91> 도 6에서 도시된 바와 같이, 발광제어구동회로(600)는 클럭인버터(Inv_CLK), 분리인버터(Inv_SEP) 및 제1구동회로(610) 내지 제n구동회로(6n0)를 포함할 수 있다. 그리고, 제1입력신호(FLM_RB), 제2입력신호(FLM_G), 클럭신호(CLK), 부클럭신호(CLKB), 분리신호(SEP) 및 부분리신호(SEPB)를 입력받아 제1발광제어신호(EmR[1], EmR

[2], ..., EmR[n]), 제2발광제어신호(EmG[1], EmG[2], ..., EmG[n]) 및 제3발광제어신호(EmB[1], EmB[2], ..., EmB[n])를 출력할 수 있다.

- <92> 상기 클럭인버터(Inv_CLK)는 상기 클럭신호(CLK)를 전달받아 상기 부클럭신호(CLKB)를 생성하여 발광제어구동회로(600)에 공급할 수 있다. 그리고 상기 클럭신호(CLK)가 하이레벨일 경우에, 상기 부클럭신호(CLKB)는 로우레벨이 되고, 상기 클럭신호(CLK)가 로우레벨일 경우에, 상기 부클럭신호(CLKB)는 하이레벨이 되는 반대되는 신호이다.
- <93> 상기 분리인버터(Inv_SEP)는 상기 분리신호(SEP)를 전달받아 상기 부분리신호(SEPB)를 생성하여 발광제어구동회로(600)에 공급할 수 있다. 그리고 상기 분리신호(SEP)가 하이레벨일 경우에, 상기 부분리신호(SEPB)는 로우레벨이 되고, 상기 분리신호(SEP)가 로우레벨일 경우에, 상기 부분리신호(SEPB)는 하이레벨이 되는 반대되는 신호이다. 그리고 분리신호(SEP)와 상기 부분리신호(SEPB) 제1발광제어신호(EmR[1], EmR[2], ..., EmR[n])와 제3발광제어신호(EmB[1], EmB[2], ..., EmB[n])를 분리하기 위한 신호이다.
- <94> 상기 제1구동회로(610)는 제1신호처리부(611)과 제2신호처리부(612)를 포함할 수 있다. 먼저, 상기 제1신호처리부는 제1시프트레지스터(SR11, 회로도는 도5 시프트레지스터와 동일), 제1낸드게이트(NAND11) 및 제2낸드게이트(NAND12)를 포함할 수 있다. 그리고 제1입력신호(FLM_RB), 클럭신호(CLK), 부클럭신호(CLKB), 분리신호(SEP) 및 부분리신호(SEPB)를 입력받아 제1적색발광제어신호(EmR[1])와 제1청색발광제어신호(EmB[1])를 출력할 수 있다. 즉, 한개의 시프트레지스터로 제1적색발광제어신호(EmR[1])와 제1청색발광제어신호(EmB[1])를 출력할 수 있는데 총 5개의 엔모스와 5개의 피모스로 이루어져 있는 시프트레지스터(도 5 참고)를 하나 줄임으로 해서, 트랜지스터의 수를 줄여 회로 면적을 줄이고 트랜지스터에 의해 발생할 수 있는 불량률도 줄일 수 있어 수율이 향상될 수 있다.
- <95> 상기 제1시프트레지스터(SR11)는 제1입력신호(FLM_RB), 클럭신호(CLK), 부클럭신호(CLKB)를 입력받아 제1시프트레지스터(SR11)의 출력신호를 생성한다. 상기 제1시프트레지스터(SR11)의 출력신호는 제1입력신호(FLM_RB)를 일측으로 시프트한 신호이다. 상기 제1시프트레지스터(SR11)의 출력신호는 제2구동회로(620)의 제1시프트레지스터(SR21)의 입력신호일수 있다.
- <96> 상기 제1낸드게이트(NAND11)는 상기 제1시프트레지스터(SR11)의 출력신호와 상기 분리신호(SEP)를 입력받아 제1적색발광제어신호(EmR[1])를 출력할 수 있다.
- <97> 상기 제2낸드게이트(NAND12)는 상기 제1시프트레지스터(SR11)의 출력신호와 상기 부분리신호(SEPB)를 입력받아 제1청색발광제어신호(EmB[1])를 출력할 수 있다.
- <98> 다음, 상기 제2신호처리부(612)는 제2시프트레지스터(SR12, 회로도는 도5 시프트레지스터와 동일)와 인버터(Inv1)를 포함할 수 있다. 그리고 제2입력신호(FLM_G), 클럭신호(CLK) 및 부클럭신호(CLKB)를 입력받아 제1녹색발광제어신호(EmG[1])를 출력할 수 있다.
- <99> 상기 제2시프트레지스터(SR12)는 상기 제2입력신호(FLM_G), 클럭신호(CLK), 부클럭신호(CLKB)를 입력받아 제2시프트레지스터(SR12)의 출력신호를 생성한다. 상기 제2시프트레지스터(SR12)의 출력신호는 제2입력신호(FLM_G)를 일측으로 시프트한 신호이다. 상기 제2시프트레지스터(SR12)의 출력신호는 제2구동회로(620)의 제2시프트레지스터(SR22)의 입력신호일수 있다.
- <100> 상기 인버터(Inv1)는 상기 제2시프트레지스터(SR12)의 출력신호를 입력받아 제1녹색발광제어신호(EmG[1])를 출력할 수 있다.
- <101> 상기 제2구동회로(620) 내지 제n구동회로(6n0)는 상기 제1구동회로(610)와 동일한 구조로 이루어질 수 있다. 상기 제1적색발광제어신호(EmR[1])은 적색화소에 전달되는 발광제어신호이고, 제1청색발광제어신호(EmB[1])은 청색화소에 전달되는 발광제어신호이고 제1녹색발광제어신호(EmG[1])은 녹색화소에 전달되는 발광제어신호이다.
- <102> 상기 발광제어 구동회로의 박막트랜지스터의 결정화 방법으로는 엑시머 레이저(Excimer Laser)를 사용한 레이저 결정화 방법(ELA)과 금속촉매(Promoting Material)을 사용한 금속촉매 결정화 방법(MIC: Metal Induced Crystallization)과 고상결정화(SPC: Solid Phase Crystallization)방법등이 있다. 이외에도 고온 고습한 분위기에서 결정화를 진행하는 고압결정화 방법(HPA: High Pressure Annealing)방법, 기존 레이저 결정화 방법에 마스크를 추가로 사용하는(SLS: Sequential Lateral Solidification)방법들이 있다.
- <103> 상기 레이저 결정화 방법은 박막트랜지스터를 다결정실리콘(Poly Silicon)으로 결정화 하는 방법중 가장 많이 이용되고 있다. 기존의 다결정 액정표시장치의 결정화 방법을 그대로 이용할 수 있을 뿐만 아니라 공정방법이

간단하며 공정방법에 대한 기술 개발이 완료된 상태이다.

- <104> 상기 금속촉매 결정화 방법은 상기 레이저 결정화 방법을 사용하지 않고 저온에서 결정화 할 수 방법중 하나이다. 초기에는 비정질 실리콘(a-Si)표면에 금속촉매금속인 Ni, Co, Pd, Ti등을 증착 혹은 스펀코팅하여 상기 금속촉매 금속이 상기 비정질 실리콘 표면에 직접 침투하여 상기 비정질 실리콘의 상을 변화시키면서 결정화 하는 방법으로 저온에서 결정화 할 수 있는 장점이 있다.
- <105> 상기 금속촉매 결정화 방법의 다른 하나는 상기 비정질 실리콘 표면에 금속층을 개재시킬 때 마스크를 이용해 상기 박막트랜지스터의 특정 영역에 니켈실리사이드와 같은 오염물이 개재되는 최대한 억제할 수 있는 장점이 있다. 상기 결정화 방법을 금속촉매유도측면결정화 방법(MILC: Metal Induced Lateral Crystallization)이라고 한다. 상기 금속촉매유도측면결정화 방법에 사용되는 마스크로는 새도우 마스크(Shadow)마스크가 사용될 수 있는데 상기 새도우 마스크는 선형 마스크 혹은 점형 마스크일 수 있다.
- <106> 상기 금속촉매 결정화 방법의 또 다른 하나는 상기 비정질 실리콘 표면에 금속촉매층을 증착 혹은 스펀코팅할 때 캡핑층(Capping Layer)을 먼저 개재시켜 상기 비정질 실리콘으로 유입되는 금속 촉매량을 컨트롤하는 금속촉매유도캡핑층결정화 방법(MICC: Metal Induced Crystallization with Capping Layer)이 있다. 상기 캡핑층으로는 실리콘질화막(Silicon Nitride)막을 사용할 수 있다. 상기 실리콘 질화막의 두께에 따라 상기 금속 촉매층에서 상기 비정질 실리콘으로 유입되는 금속 촉매량이 달라진다. 이때 상기 실리콘 질화막으로 유입되는 금속 촉매는 상기 실리콘 질화막 전체에 형성될 수도 있고, 새도우 마스크등을 사용하여 선택적으로 형성될 수 있다. 상기 금속 촉매층이 상기 비정질 실리콘을 다결정 실리콘으로 결정화가 된 이후에 선택적으로 상기 캡핑층을 제거할 수 있다. 상기 캡핑층 제거방법에는 습식 식각방법(Wet Etching)방법 혹은 건식 식각방법(Dry Etching)을 사용할 수 있다. 추가적으로, 상기 다결정 실리콘이 형성된 이후에 게이트 절연막을 형성하고 상기 게이트 절연막 상에 게이트 전극을 형성한다. 상기 게이트 전극상에 층간절연막(Interlayer)을 형성할 수 있다. 상기 층간절연막상에 비아홀(Via Hole)을 형성한 후에 불순물을 상기 비아홀을 통해서 결정화된 다결정실리콘 상으로 투입하여 내부의 형성된 금속촉매 불순물을 추가적으로 제거할 수 있다. 상기 금속 촉매 불순물을 추가적으로 제거하는 방법을 게터링 공정(Gattering Process)라고 한다. 상기 게터링 공정에는 상기 불순물을 주입하는 공정 외에 저온에서 박막트랜지스터를 가열하는 가열공정(Heating Process)이 있다. 상기 게터링 공정을 통해서 양질의 박막트랜지스터를 구현할 수 있다.
- <107> 도 7을 참조하면, 도 6에 도시된 유기 전계 발광 표시 장치의 발광제어 구동 회로의 동작을 나타내는 타이밍도가 도시되어 있다. 여기서, 본 발명의 일실시예에 따른 유기 전계 발광 표시 장치의 발광제어 구동 회로의 동작에 대하여 설명한다.
- <108> 도 7에서 보는 바와 같이 제1프레임(1frame)은 제1서브 프레임(T1) 내지 제3서브 프레임(T3)으로 분할 되고, 각 서브프레임은 주사신호(Scan[1], Scan[2],... Scan[n])가 입력되는 주기에 따라 나누어질 수 있다.
- <109> 먼저, 제1서브프레임(T1) 동안에는 하이레벨의 제1입력신호(FLM_RB), 로우레벨의 제2입력신호(FLM_G), 하이레벨의 분리신호(SEP), 로우레벨의 부분리신호(SEPB), 클럭신호(CLK) 및 부클럭신호(CLKB)가 입력되어 로우레벨의 제1발광제어신호(EmR[1], EmR[2],...EmR[n]), 하이레벨의 제2발광제어신호(EmG[1], EmG[2],...EmG[n]), 하이레벨의 제3발광제어신호(EmB[1], EmB[2],...EmB[n])를 출력할 수 있다.
- <110> 여기서, 상기 제1발광제어신호(EmR[1], EmR[2],...EmR[n])가 출력되는 제1구동회로(610) 내지 제n구동회로(6n0) 중 상기 제1구동회로(610)를 상세히 설명하면, 상기 제1시프트레지스터(SR11)에 하이레벨의 상기 제1입력신호(FLM_RB)가 입력되어 일측으로 시프트하여 하이레벨의 제1시프트레지스터(SR11)의 출력신호를 출력할 수 있다. 제1낸드게이트(NAND11)에 하이레벨의 제1시프트레지스터(SR11)의 출력신호와 하이레벨의 분리신호(SEP)가 입력되면, 로우레벨의 제1적색발광제어신호(EmR[1])를 출력할 수 있다. 상기 제1시프트레지스터(SR11)의 출력신호는 제2구동회로(620)의 제1시프트레지스터(SR21)의 입력신호가 될 수 있다. 상기 제1구동회로(610)의 제1시프트레지스터(SR11)의 출력신호가 제2구동회로(620)에 입력되어 로우레벨의 제2적색발광제어신호(EmR[2])를 출력할 수 있다. 다음과 같은 순차적인 방법으로 로우레벨의 제1발광제어신호(EmR[1], EmR[2],...EmR[n])를 출력할 수 있다. 그리고, 상기 제2발광제어신호(EmG[1], EmG[2],...EmG[n])는 상기 제2시프트레지스터(SR12)에 로우레벨의 상기 제2입력신호(FLM_G)가 입력되어 일측으로 시프트하여 로우레벨의 제2시프트레지스터(SR12)의 출력신호를 출력할 수 있다. 제1인버터(Inv1)에 로우레벨의 제2시프트레지스터(SR12)의 출력신호가 입력되면, 하이레벨의 제1녹색발광제어신호(EmG[1])를 출력할 수 있다. 상기 제2시프트레지스터(SR12)의 출력신호는 제2구동회로(620)의 제2시프트레지스터(SR22)의 입력신호가 될 수 있다. 상기 제1구동회로(610)의 제2시프트레지스터(SR12)의 출력신호가 제2구동회로(620)에 입력되어 하이레벨의 제2녹색발광제어신호(EmG[2])를 출력할 수 있다. 다음과

같은 순차적인 방법으로 하이레벨의 제2발광제어신호(EmG[1], EmG[2],...EmG[n])를 출력할 수 있다. 마지막으로 상기 제1시프트레지스터(SR11)에 하이레벨의 상기 제1입력신호(FLM_RB)가 입력되어 일측으로 시프트하여 하이레벨의 제1시프트레지스터(SR11)의 출력신호를 출력할 수 있다. 제2낸드게이트(NAND12)에 하이레벨의 제1시프트레지스터(SR11)의 출력신호와 로우레벨의 부분리신호(SEPB)가 입력되면, 하이레벨의 제1청색발광제어신호(EmB[1])를 출력할 수 있다. 상기 제1시프트레지스터(SR11)의 출력신호는 제2구동회로(620)의 제1시프트레지스터(SR21)의 입력신호가 될 수 있다. 상기 제1구동회로(610)의 제1시프트레지스터(SR11)의 출력신호가 제2구동회로(620)에 입력되어 하이레벨의 제2청색발광제어신호(EmB[2])를 출력할 수 있다. 다음과 같은 순차적인 방법으로 하이레벨의 제3발광제어신호(EmB[1], EmB[2],...EmB[n])를 출력할 수 있다.

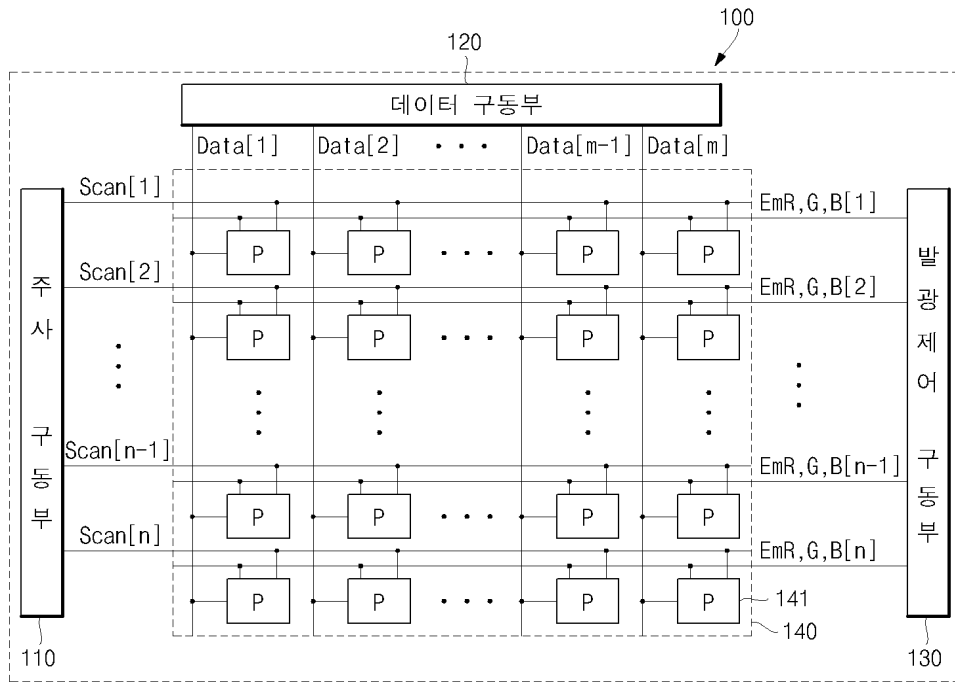
<111> 다음 제2서브프레임(T2) 동안에는 로우레벨의 제1입력신호(FLM_RB), 하이레벨의 제2입력신호(FLM_G), 하이레벨의 분리신호(SEP), 로우레벨의 부분리신호(SEPB), 클럭신호(CLK) 및 부클럭신호(CLKB)가 입력되어 하이레벨의 제1발광제어신호(EmR[1], EmR[2],...EmR[n]), 로우레벨의 제2발광제어신호(EmG[1], EmG[2],...EmG[n]), 하이레벨의 제3발광제어신호(EmB[1], EmB[2],...EmB[n])를 출력할 수 있다.

<112> 여기서, 상기 제1발광제어신호(EmR[1], EmR[2],...EmR[n])가 출력되는 제1구동회로(610) 내지 제n구동회로(6n0) 중 상기 제1구동회로(610)를 상세히 설명하면, 상기 제1시프트레지스터(SR11)에 로우레벨의 상기 제1입력신호(FLM_RB)가 입력되어 일측으로 시프트하여 로우레벨의 제1시프트레지스터(SR11)의 출력신호를 출력할 수 있다. 제1낸드게이트(NAND11)에 로우레벨의 제1시프트레지스터(SR11)의 출력신호와 하이레벨의 분리신호(SEP)가 입력되면, 하이레벨의 제1적색발광제어신호(EmR[1])를 출력할 수 있다. 상기 제1시프트레지스터(SR11)의 출력신호는 제2구동회로(620)의 제1시프트레지스터(SR21)의 입력신호가 될 수 있다. 상기 제1구동회로(610)의 제1시프트레지스터(SR11)의 출력신호가 제2구동회로(620)에 입력되어 하이레벨의 제2적색발광제어신호(EmR[2])를 출력할 수 있다. 다음과 같은 순차적인 방법으로 하이레벨의 제1발광제어신호(EmR[1], EmR[2],...EmR[n])를 출력할 수 있다. 그리고, 상기 제2발광제어신호(EmG[1], EmG[2],...EmG[n])는 상기 제2시프트레지스터(SR12)에 하이레벨의 상기 제2입력신호(FLM_G)가 입력되어 일측으로 시프트하여 하이레벨의 제2시프트레지스터(SR12)의 출력신호를 출력할 수 있다. 제1인버터(Inv1)에 하이레벨의 제2시프트레지스터(SR12)의 출력신호가 입력되면, 로우레벨의 제1녹색발광제어신호(EmG[1])를 출력할 수 있다. 상기 제2시프트레지스터(SR12)의 출력신호는 제2구동회로(620)의 제2시프트레지스터(SR22)의 입력신호가 될 수 있다. 상기 제1구동회로(610)의 제2시프트레지스터(SR12)의 출력신호가 제2구동회로(620)에 입력되어 로우레벨의 제2녹색발광제어신호(EmG[2])를 출력할 수 있다. 다음과 같은 순차적인 방법으로 로우레벨의 제2발광제어신호(EmG[1], EmG[2],...EmG[n])를 출력할 수 있다. 마지막으로 상기 제1시프트레지스터(SR11)에 로우레벨의 상기 제1입력신호(FLM_RB)가 입력되어 일측으로 시프트하여 로우레벨의 제1시프트레지스터(SR11)의 출력신호를 출력할 수 있다. 제2낸드게이트(NAND12)에 로우레벨의 제1시프트레지스터(SR11)의 출력신호와 로우레벨의 부분리신호(SEPB)가 입력되면, 하이레벨의 제1청색발광제어신호(EmB[1])를 출력할 수 있다. 상기 제1시프트레지스터(SR11)의 출력신호는 제2구동회로(620)의 제1시프트레지스터(SR21)의 입력신호가 될 수 있다. 상기 제1구동회로(610)의 제1시프트레지스터(SR11)의 출력신호가 제2구동회로(620)에 입력되어 하이레벨의 제2청색발광제어신호(EmB[2])를 출력할 수 있다. 다음과 같은 순차적인 방법으로 하이레벨의 제3발광제어신호(EmB[1], EmB[2],...EmB[n])를 출력할 수 있다.

<113> 마지막으로 제3서브프레임(T3) 동안에는 하이레벨의 제1입력신호(FLM_RB), 로우레벨의 제2입력신호(FLM_G), 로우레벨의 분리신호(SEP), 하이레벨의 부분리신호(SEPB), 클럭신호(CLK) 및 부클럭신호(CLKB)가 입력되어 하이레벨의 제1발광제어신호(EmR[1], EmR[2],...EmR[n]), 하이레벨의 제2발광제어신호(EmG[1], EmG[2],...EmG[n]), 로우레벨의 제3발광제어신호(EmB[1], EmB[2],...EmB[n])를 출력할 수 있다.

<114> 여기서, 상기 제1발광제어신호(EmR[1], EmR[2],...EmR[n])가 출력되는 제1구동회로(610) 내지 제n구동회로(6n0) 중 상기 제1구동회로(610)를 상세히 설명하면, 상기 제1시프트레지스터(SR11)에 하이레벨의 상기 제1입력신호(FLM_RB)가 입력되어 일측으로 시프트하여 하이레벨의 제1시프트레지스터(SR11)의 출력신호를 출력할 수 있다. 제1낸드게이트(NAND11)에 하이레벨의 제1시프트레지스터(SR11)의 출력신호와 로우레벨의 분리신호(SEP)가 입력되면, 하이레벨의 제1적색발광제어신호(EmR[1])를 출력할 수 있다. 상기 제1시프트레지스터(SR11)의 출력신호는 제2구동회로(620)의 제1시프트레지스터(SR21)의 입력신호가 될 수 있다. 상기 제1구동회로(610)의 제1시프트레지스터(SR11)의 출력신호가 제2구동회로(620)에 입력되어 하이레벨의 제2적색발광제어신호(EmR[2])를 출력할 수 있다. 다음과 같은 순차적인 방법으로 하이레벨의 제1발광제어신호(EmR[1], EmR[2],...EmR[n])를 출력할 수 있다. 그리고, 상기 제2발광제어신호(EmG[1], EmG[2],...EmG[n])는 상기 제2시프트레지스터(SR12)에 로우레벨의 상기 제2입력신호(FLM_G)가 입력되어 일측으로 시프트하여 로우레벨의 제2시프트레지스터(SR12)의 출력신호를 출력할 수 있다. 제1인버터(Inv1)에 로우레벨의 제2시프트레지스터(SR12)의 출력신호가 입력되면, 하이레벨의

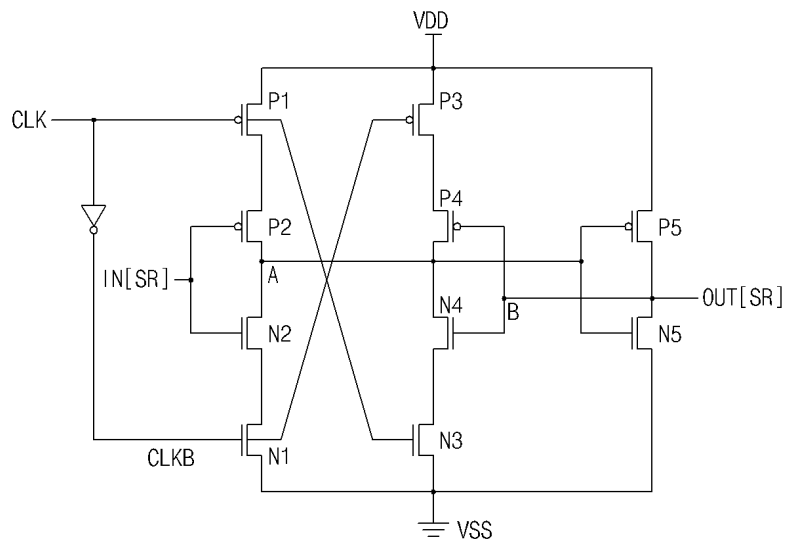
도면3



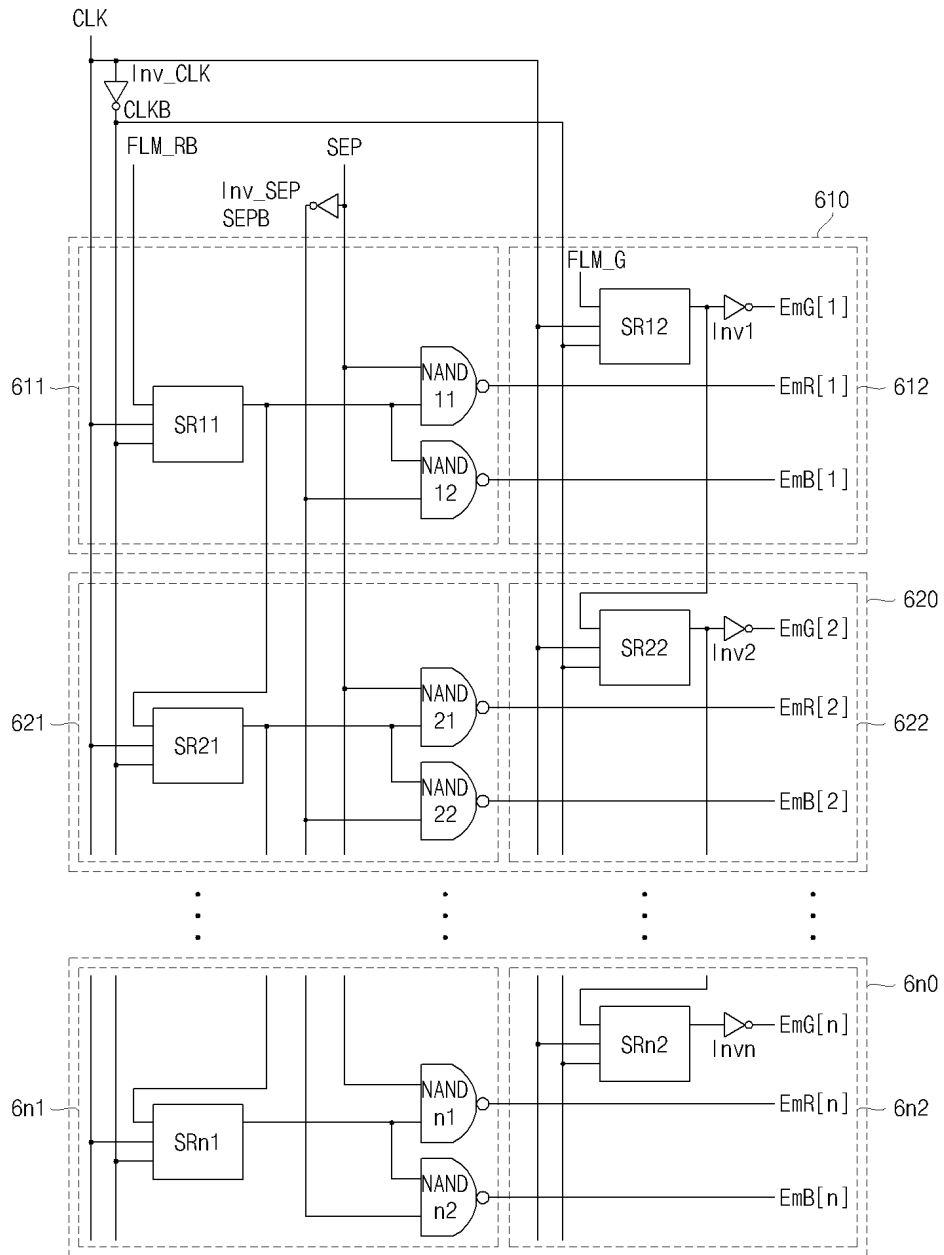
도면4



도면5



도면6



도면7

