



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I829528 B

(45)公告日：中華民國 113 (2024) 年 01 月 11 日

(21)申請案號：112104756

(22)申請日：中華民國 106 (2017) 年 08 月 24 日

(51)Int. Cl. : **H01L27/11551 (2017.01)** **H01L27/11524 (2017.01)**  
**H01L21/8239 (2006.01)**

(30)優先權：2017/03/07 日本 特願 2017-042675

(71)申請人：日商鎧俠股份有限公司 (日本) KIOXIA CORPORATION (JP)  
日本(72)發明人：田上政由 TAGAMI, MASAYOSHI (JP) ; 勝又竜太 KATSUMATA, RYOTA (JP) ;  
飯島純 IIJIMA, JUN (JP) ; 清水徹哉 SHIMIZU, TETSUYA (JP) ; 白井孝公 USUI,  
TAKAMASA (JP) ; 藤田弦暉 FUJITA, GENKI (JP)

(74)代理人：陳長文

(56)參考文獻：

US 9236394B2

審查人員：吳松屏

申請專利範圍項數：8 項 圖式數：23 共 57 頁

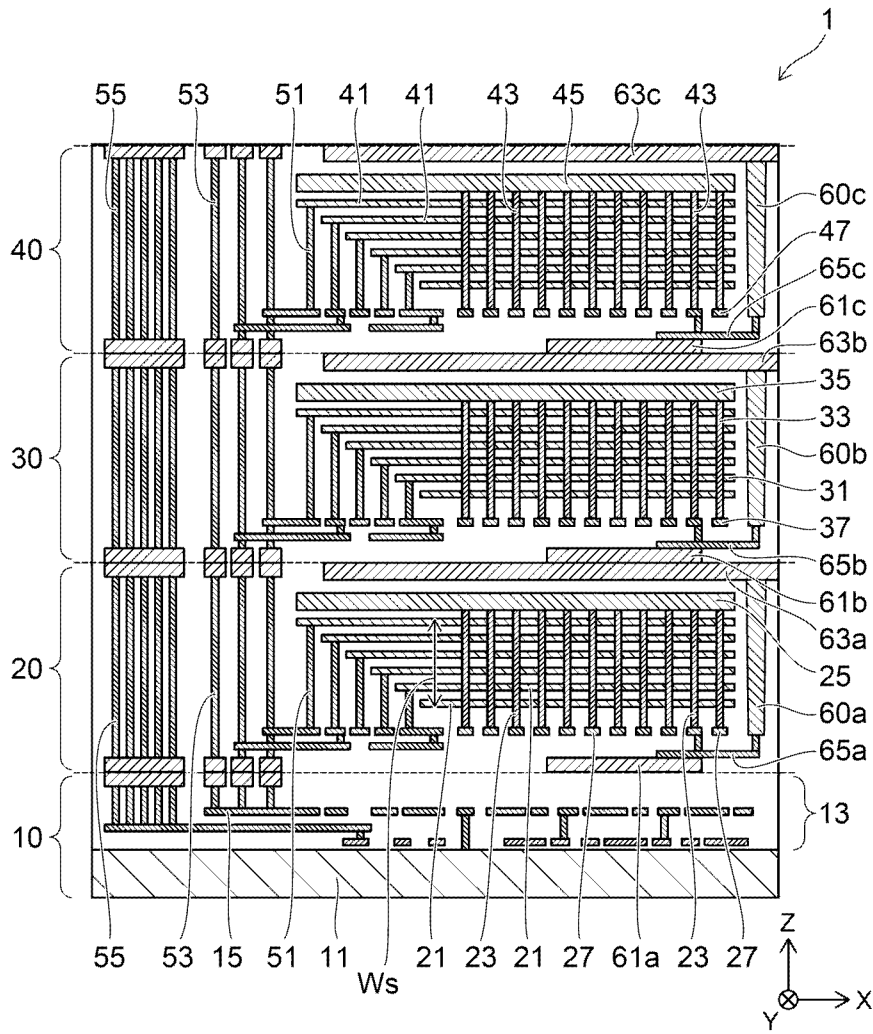
(54)名稱

半導體裝置

(57)摘要

實施形態之記憶裝置具備：第 1 記憶胞陣列；第 2 記憶胞陣列，其相對於上述第 1 記憶胞陣列配置於第 1 方向；第 1 接觸插塞，其於上述第 1 記憶胞陣列中沿上述第 1 方向延伸；以及第 2 接觸插塞，其於上述第 2 記憶胞陣列中沿上述第 1 方向延伸，且電性連接於上述第 1 接觸插塞。上述第 1 記憶胞陣列包含於上述第 1 方向上積層之複數個第 1 電極層、及貫通上述複數個第 1 電極層之第 1 半導體柱，上述第 2 記憶胞陣列包含於上述第 1 方向上積層之複數個第 2 電極層、及貫通上述複數個第 2 電極層之第 2 半導體柱。上述第 1 接觸插塞電性連接於上述第 1 半導體柱，上述第 2 接觸插塞電性連接於上述第 2 半導體柱。

指定代表圖：



【圖1】

符號簡單說明：

- 1:記憶裝置
- 10:驅動電路
- 11:基板
- 13:配線層
- 15:配線
- 20:記憶胞陣列
- 21:電極層
- 23:半導體柱
- 25:源極線
- 27:配線
- 30:記憶胞陣列
- 31:電極層
- 33:半導體柱
- 35:源極線
- 37:配線
- 40:記憶胞陣列
- 41:電極層
- 43:半導體柱
- 45:源極線
- 47:配線
- 51:接觸插塞
- 53:接觸插塞
- 55:接觸插塞
- 60a:接觸插塞
- 60b:接觸插塞
- 60c:接觸插塞
- 61a:連接墊
- 61b:連接墊
- 61c:連接墊
- 63a:連接墊
- 63b:連接墊
- 63c:連接墊
- 65a:配線
- 65b:配線
- 65c:配線
- Ws:全寬



I829528

## 【發明摘要】

## 【中文發明名稱】

半導體裝置

## 【中文】

實施形態之記憶裝置具備：第1記憶胞陣列；第2記憶胞陣列，其相對於上述第1記憶胞陣列配置於第1方向；第1接觸插塞，其於上述第1記憶胞陣列中沿上述第1方向延伸；以及第2接觸插塞，其於上述第2記憶胞陣列中沿上述第1方向延伸，且電性連接於上述第1接觸插塞。上述第1記憶胞陣列包含於上述第1方向上積層之複數個第1電極層、及貫通上述複數個第1電極層之第1半導體柱，上述第2記憶胞陣列包含於上述第1方向上積層之複數個第2電極層、及貫通上述複數個第2電極層之第2半導體柱。上述第1接觸插塞電性連接於上述第1半導體柱，上述第2接觸插塞電性連接於上述第2半導體柱。

## 【指定代表圖】

圖1

## 【代表圖之符號簡單說明】

- 1:記憶裝置
- 10:驅動電路
- 11:基板
- 13:配線層
- 15:配線
- 20:記憶胞陣列
- 21:電極層

- 23:半導體柱
- 25:源極線
- 27:配線
- 30:記憶胞陣列
- 31:電極層
- 33:半導體柱
- 35:源極線
- 37:配線
- 40:記憶胞陣列
- 41:電極層
- 43:半導體柱
- 45:源極線
- 47:配線
- 51:接觸插塞
- 53:接觸插塞
- 55:接觸插塞
- 60a:接觸插塞
- 60b:接觸插塞
- 60c:接觸插塞
- 61a:連接墊
- 61b:連接墊
- 61c:連接墊
- 63a:連接墊



63b: 連接墊

63c: 連接墊

65a: 配線

65b: 配線

65c: 配線

Ws: 全寬

## 【發明說明書】

### 【中文發明名稱】

半導體裝置

### 【技術領域】

實施形態係關於一種記憶裝置。

### 【先前技術】

業界正在推進包含三維配置之記憶胞之記憶裝置之開發。例如，NAND(Not AND，與非)型記憶裝置具備積層之複數個電極層、及設置於將上述複數個電極層於積層方向上貫通之記憶體孔(memory hole)內之半導體柱。記憶胞設置於半導體柱與電極層交叉之部分，沿半導體柱配置。此種記憶裝置藉由增加電極層之積層數，並藉由記憶體孔之微細化而增加該記憶體孔之數量，能夠增大記憶容量。但，於記憶裝置有限之晶片大小之下，增加記憶體孔之數量並增加電極層之積層數存在極限。

### 【發明內容】

實施形態提供一種能夠增大記憶容量之記憶裝置。

實施形態之記憶裝置具備：第1記憶胞陣列；第2記憶胞陣列，其相對於上述第1記憶胞陣列配置於第1方向；第1接觸插塞，其於上述第1記憶胞陣列中沿上述第1方向延伸；及第2接觸插塞，其於上述第2記憶胞陣列中沿上述第1方向延伸，電性連接於上述第1接觸插塞。上述第1記憶胞陣列包含：複數個第1電極層，其等於上述第1方向上積層；及第1半導體柱，其於上述第1方向上貫通上述複數個第1電極層。上述第2記憶胞陣列包含：複數個第2電極層，其等於上述第1方向上積層；及第2半導體柱，其於上述第1方向上貫通上述複數個第2電極層。上述第1接觸插塞電性連

接於上述第1半導體柱。上述第2接觸插塞電性連接於上述第2半導體柱。

**【圖式簡單說明】**

圖1係表示第1實施形態之記憶裝置之模式剖視圖。

圖2A及2B係表示第1實施形態之記憶裝置之記憶胞陣列之構成之模式俯視圖。

圖3係表示第1實施形態之記憶裝置之記憶胞陣列之上表面之模式俯視圖。

圖4係表示第1實施形態之記憶裝置之記憶胞陣列之模式剖視圖。

圖5A~8B、圖9及圖10係表示第1實施形態之記憶裝置之記憶胞陣列之製造過程之模式剖視圖。

圖11係表示第2實施形態之記憶裝置之記憶胞陣列之構成之模式俯視圖。

圖12A及12B係表示第2實施形態之記憶裝置之記憶胞陣列之模式圖。

圖13A~13C係表示第2實施形態之記憶裝置之記憶胞陣列之製造過程之模式圖。

圖14A~14C係表示第2實施形態之變化例之記憶裝置之記憶胞陣列之製造過程之模式圖。

圖15A~15C係表示第2實施形態之其他變化例之記憶裝置之記憶胞陣列之製造過程之模式圖。

圖16A及16B係表示第3實施形態之記憶裝置之製造過程之模式剖視圖。

圖17A~17C係表示第3實施形態之變化例之記憶裝置之製造過程之

模式剖視圖。

圖18A及18B係表示第3實施形態之其他變化例之記憶裝置之製造過程之模式剖視圖。

圖19A及19B係表示第4實施形態之記憶裝置之模式俯視圖。

圖20係表示第4實施形態之記憶裝置之其他模式俯視圖。

圖21係表示第4實施形態之記憶裝置之模式剖視圖。

圖22係表示第4實施形態之記憶裝置之其他模式剖視圖。

圖23A及23B係表示第4實施形態之變化例之記憶裝置之模式剖視圖。

#### 【實施方式】

以下，一面參照圖式一面對實施形態進行說明。對圖式中之相同部分標註相同編號，並適當省略其詳細說明，對不同之部分進行說明。又，圖式為模式圖或概念圖，各部分之厚度與寬度之關係、部分間之大小之比率等未必與現實相同。再者，即便係表示相同部分之情形時，亦有根據圖式將相互之尺寸或比率不同地表示之情形。

進而，使用各圖中所示之X軸、Y軸及Z軸對各部分之配置及構成進行說明。X軸、Y軸、Z軸相互正交，分別表示X方向、Y方向、Z方向。再者，為方便起見，有依照圖中之上方、下方進行說明之情形，但並非意圖表示全部共通之上下關係。

#### [第1實施形態]

圖1係表示第1實施形態之記憶裝置1之模式剖視圖。記憶裝置1例如為NAND型快閃記憶體裝置，具有於驅動電路10之上積層有記憶胞陣列20、30及40之構造。又，圖1中，為了表示記憶裝置1之構造而省略設置

於各構成要素間之絕緣膜。

驅動電路10例如具有設置有CMOS(Complementary Metal Oxide Semiconductor，互補金屬氧化物半導體)電晶體等電子器件之基板11、及設置於基板11之上之配線層13。基板11例如為矽基板。於基板11之上表面側設置例如CMOS型積體電路。

記憶胞陣列20具有於Z方向上積層之複數個電極層21、複數個半導體柱23及源極線25。半導體柱23分別貫通電極層21而沿Z方向延伸。半導體柱23於一端電性連接於源極線25。複數個半導體柱23共有1個源極線25。再者，半導體柱23於另一端電性連接於配線27。

記憶胞陣列30具有於Z方向上積層之複數個電極層31、複數個半導體柱33及源極線35。半導體柱33分別貫通電極層31而沿Z方向延伸。半導體柱33於一端電性連接於源極線35。複數個半導體柱33共有1個源極線35。再者，半導體柱33於另一端電性連接於配線37。

記憶胞陣列40具有於Z方向上積層之複數個電極層41、複數個半導體柱43及源極線45。半導體柱43分別貫通電極層41而沿Z方向延伸。半導體柱43於一端電性連接於源極線45。複數個半導體柱43共有1個源極線45。再者，半導體柱43於另一端電性連接於配線47。

電極層21、31及41於呈階梯狀設置之各端部電性連接於接觸插塞51。進而，電極層21、31及41經由接觸插塞51及接觸插塞53電性連接於驅動電路10。接觸插塞53以貫通各記憶胞陣列20、30及40之方式設置。接觸插塞53將積層於驅動電路10之上之各記憶胞陣列中之電極層21、31及41電性連接於配線層13中之配線15。

再者，於各記憶胞陣列設置貫通各記憶胞陣列之其他接觸插塞55。

接觸插塞55例如將驅動電路10與未圖示之介面電路電性連接。

記憶裝置1進而具備於各記憶胞陣列中沿Z方向延伸之接觸插塞60。接觸插塞60於各記憶胞陣列中例如以貫通複數個電極層21之方式設置。接觸插塞60例如相比於在Z方向上積層之複數個電極層21、31及41之Z方向之全寬Ws更長地延伸。接觸插塞60例如包含鎢等金屬。

如圖1所示，於記憶胞陣列20設置接觸插塞60a，於記憶胞陣列30及40分別設置接觸插塞60b及60c。本說明書中，有將接觸插塞60a、60b及60c統一表達為接觸插塞60之情形。關於其他構成要素，亦有同樣地表達之情形。

進而，於各記憶胞陣列分別設置連接墊61及63。連接墊61設置於各記憶胞陣列之下表面，連接墊63設置於各記憶胞陣列之上表面。

如圖1所示，於記憶胞陣列20與記憶胞陣列30之邊界，連接墊63a與連接墊61b相互連接地配置。於連接墊63a電性連接有接觸插塞60a。另一方面，於連接墊61b經由配線65b電性連接有接觸插塞60b。即，接觸插塞60a與接觸插塞60b經由連接墊63a及61b電性連接。

同樣地，於記憶胞陣列20與記憶胞陣列30之邊界，連接墊63b與連接墊61c相互連接地配置。進而，接觸插塞60b與接觸插塞60c經由連接墊63b及61c電性連接。

進而，於記憶胞陣列20中，與半導體柱23連接之配線27連接於配線65a，配線65a電性連接於接觸插塞60a。同樣地，於記憶胞陣列30中，連接於半導體柱33之配線37經由配線65b電性連接於接觸插塞60b及連接墊61b。再者，記憶胞陣列40中，連接於半導體柱43之配線47經由配線65c電性連接於接觸插塞60c及連接墊61c。

如此，能夠經由接觸插塞60將積層於驅動電路10之上之各記憶胞陣列中所含之半導體柱間相互連接。又，經由接觸插塞60相互連接之半導體柱，經由位於驅動電路10與記憶胞陣列20之間之連接墊61a、或設置於記憶胞陣列40之上表面之連接墊63c、未圖示之上層配線及接觸插塞53，連接於例如驅動電路10之未圖示之感測放大器。

本實施形態中，能夠將記憶胞陣列20、30及40中分別包含之半導體柱23、33及43相互連接，作為包含例如沿各半導體柱配置之記憶胞MC(參照圖4)之1個記憶體串動作。

例如，若記憶胞陣列20、30及40分別包含64層電極層，則記憶裝置1能夠實現與積層有192層電極層之記憶胞陣列同等之記憶容量。例如，為了於連續地積層有192層電極層之積層體形成記憶體孔，並於該記憶體孔之內部形成半導體柱，需要極其高度之晶圓製程技術。相對於此，記憶裝置1中，藉由積層個別地形成之記憶胞陣列20、30及40，並使用接觸插塞60及連接墊61、63相互電性連接，能夠容易地實現與連續地積層有192層電極層之情形同等之記憶容量。

再者，於形成有貫通192層電極層之半導體柱之情形時，有因該半導體柱之電阻使得胞電流變小，難以自記憶胞MC讀出資料之擔憂。本實施形態中，例如貫通64層電極層之半導體柱23、33及43並聯連接，因此各半導體柱之電阻較貫通192層電極層之半導體柱低。因此，記憶裝置1能夠抑制胞電流降低。

又，本實施形態並不限定於上述例，例如積層於驅動電路10之上之記憶胞陣列可為2個，再者，亦可積層4個以上之記憶胞陣列。其次，參照圖2～圖4，對各記憶胞陣列之構成進行詳細說明。

圖2A及B係表示第1實施形態之記憶裝置1之記憶胞陣列20之構成之模式俯視圖。圖2B係表示圖2A中所示之區域MP之俯視圖。記憶胞陣列30及40具有與記憶胞陣列20相同之構造。

如圖2A所示，電極層21於X方向上延伸，於Z方向上積層，並且沿Y方向排列配置。於Y方向上相鄰之電極層21之間設置狹縫ST，將電極層21相互電性分離。再者，於X方向上之電極層21之端部設置階梯狀之引出部HUP。進而，於電極層21之一部分設置接觸區域CA。

如圖2B所示，於電極層21設置複數個記憶體孔MH。記憶體孔MH貫通複數個電極層21而沿Z方向延伸，且於該記憶體孔MH之內部分別配置半導體柱23(參照圖1)。進而，設置沿Y方向延伸之複數個配線27。將Y方向上相鄰之2個電極層21分別貫通之複數個半導體柱23中之1個連接於複數個配線27中之1個。即，1個配線27由將沿Y方向排列之複數個電極層21分別貫通之1個半導體柱23所共有。

再者，於接觸區域CA設置接觸孔PH。接觸孔PH貫通複數個電極層21而沿Z方向延伸。如圖2B所示，於接觸孔PH之內部設置接觸插塞60a。接觸插塞60a包含例如鎢等金屬，利用設置於接觸孔PH內之絕緣膜67而與電極層21電性絕緣。絕緣膜67例如為氧化矽膜。

圖3係表示記憶胞陣列20之下表面之模式俯視圖。如圖3所示，於接觸區域CA之間，複數個配線27沿X方向排列配置。配線27分別沿Y方向延伸。於接觸區域CA，複數個接觸插塞60a沿Y方向排列配置。進而，於接觸區域CA之間配置複數個連接墊61a。

連接墊61a設置於配線27之上，分別經由配線65a連接於任一個接觸插塞60a。例如配置於接觸區域CA之間之連接墊61a之數量與配置於其間



之配線27之數量相同。配線65a經由接觸插塞71連接於接觸插塞60a。再者，配線65a經由接觸插塞73連接於配線27之1個。

圖4係表示記憶胞陣列20之模式剖視圖。又，圖4係將圖1之上下顛倒之剖視圖。再者，圖4中，為了明確表示記憶胞陣列20之構成，適當省略使各構成要素間電性絕緣之絕緣膜。

如圖4所示，複數個電極層21積層於源極線25之上。源極線25例如為沿X方向及Y方向延伸之板狀導電層。源極線25例如具有積層有金屬層25a與半導體層25b之構造。金屬層25a例如為鎢層，半導體層25b例如為多晶矽。電極層21例如為含有鎢等之金屬層。

半導體柱23於積層方向(Z方向)上貫通電極層21，於該半導體柱23之下端連接於源極線25。再者，半導體柱23之上端經由接觸插塞26電性連接於配線27。

於電極層21與半導體柱23之間設置記憶體膜29。記憶體膜29具有於自電極層21朝向半導體柱23之方向上依序積層有例如第1氧化矽膜、氮化矽膜及第2氧化矽膜之構造，能夠於該記憶體膜29之內部保持電荷且自該記憶體膜29之內部釋放電荷。記憶胞MC分別設置於半導體柱23貫通電極層21之部分，包含記憶體膜29之一部分作為電荷保持部。

如圖4所示，接觸插塞60a貫通複數個電極層21及源極線25而沿Z方向延伸。接觸插塞60a藉由絕緣膜67與電極層21及源極線25電性絕緣。

接觸插塞60a之下端電性連接於連接墊63a。再者，接觸插塞60a之上端經由中間配線69及接觸插塞71、77電性連接於配線65a。中間配線69設置為例如與配線27相同高度(level)。接觸插塞77將接觸插塞60a與中間配線69連接。接觸插塞71將配線65a與中間配線69連接。進而，配線65a經

由接觸插塞73連接於1個配線27，經由接觸插塞75電性連接於連接墊61a。

再者，記憶胞陣列20進而包含電性連接於源極線25之接觸插塞80。接觸插塞80貫通複數個電極層21而沿Z方向延伸。接觸插塞80例如與接觸插塞60a一併設置於接觸區域CA。

接觸插塞80之下端電性連接於源極線25。再者，接觸插塞80之上端經由中間配線85、87、接觸插塞91、93及95電性連接於連接墊81。中間配線85及87分別設置為與配線65a及27相同高度。接觸插塞91將接觸插塞80與中間配線87連接。接觸插塞93將中間配線85與中間配線87連接。進而，中間配線85經由接觸插塞91電性連接於連接墊81。再者，源極線25例如經由接觸插塞97電性連接於連接墊83。

記憶胞陣列30及40亦同樣地包含接觸插塞80、連接墊81及83。於如圖1所示般積層記憶胞陣列20、30及40時，各源極線25、35及45經由接觸插塞80、連接墊81及83而電性連接。即，於記憶胞陣列20與記憶胞陣列30之邊界，記憶胞陣列20之連接墊83與記憶胞陣列30之連接墊81連接。再者，於記憶胞陣列30與記憶胞陣列40之邊界，記憶胞陣列30之連接墊83與記憶胞陣列40之連接墊81連接。

其次，參照圖5～圖10，對第1實施形態之記憶裝置1之製造方法進行說明。圖5～圖10係表示積層於驅動電路10之上之記憶胞陣列20、30及40之製造過程之模式剖視圖。

如圖5A所示，形成上表面具有凸部101之基板110。凸部101例如藉由選擇性地蝕刻基板110而形成。基板110例如為矽基板。

如圖5B所示，形成覆蓋基板110之上表面之絕緣膜103。絕緣膜103

例如為使用LPCVD(Low Pressure Chemical Vapor Deposition，低壓化學氣相沈積)形成之氮化矽膜。

如圖5C所示，於絕緣膜103之上形成絕緣膜105。絕緣膜105例如為以TEOS(Tetraethyl orthosilicate，正矽酸四乙酯)作為原料之使用CVD(Chemical Vapor Deposition，化學氣相沈積)形成之氧化矽膜。

如圖5D所示，將絕緣膜105平坦化，使形成於凸部101之上之絕緣膜103之一部分露出。絕緣膜105例如使用CMP(Chemical Mechanical Polishing，化學機械拋光)而平坦化。

如圖6A所示，於絕緣膜105之上、及凸部101之上形成絕緣膜107。絕緣膜107例如為使用TEOS-CVD形成之氧化矽膜。其次，形成自絕緣膜107之上表面到凸部101之接觸插塞111。

如圖6B所示，於絕緣膜107之上形成絕緣膜109。絕緣膜109例如為使用TEOS-CVD形成之氧化矽膜。其次，選擇性地去除絕緣膜109，形成配線115。配線115例如經由接觸插塞111電性連接於基板110。

如圖6C所示，於絕緣膜109之上形成記憶胞陣列20。記憶胞陣列20包含於Z方向上積層之複數個電極層21、於Z方向上貫通電極層21之複數個半導體柱23、及源極線25。進而，記憶胞陣列20包含分別連接於電極層21之接觸插塞51、及連接於配線115之接觸插塞53。進而，於未圖示之部分形成接觸插塞60a及80。

如圖7A所示，於記憶胞陣列20之上形成絕緣膜121。絕緣膜121例如為使用TEOS-CVD形成之氧化矽膜。其次，於絕緣膜121中形成連接墊123。連接墊123例如經由接觸插塞125電性連接於接觸插塞53。再者，於未圖示之部分亦同時形成連接墊61a及81(參照圖4)。連接墊61a、81、123

例如包含銅或銅合金。

如圖7B所示，將驅動電路10與記憶胞陣列20貼合。例如使絕緣膜121之上表面與驅動電路10之上表面接觸，並於300~400°C之溫度及規定壓力下接合。此時，連接墊123連接於驅動電路10側之連接墊127。連接墊127例如亦包含銅或銅合金。

如圖8A所示，去除基板110。例如對基板110之背面側進行研磨或研削而薄膜化後，藉由濕式蝕刻而選擇性地去除。藉此，使絕緣膜103露出，去除凸部101後，形成凹部131。於凹部131之底面，接觸插塞111之上表面露出。

如圖8B所示，藉由於凹部131之內部嵌入例如銅或銅合金等金屬而形成連接墊133。此時，於未圖示之部分亦同時形成連接墊63a及83。

連接墊133例如連接於接觸插塞111。連接墊133例如具有上表面之寬度 $W_{T1}$ 大於下表面之寬度 $W_{B1}$ 之形狀。相對於此，接觸插塞111具有上表面之寬度 $W_{T2}$ 小於下表面之寬度 $W_{B2}$ 之形狀。

如圖9所示，於記憶胞陣列20之上貼合記憶胞陣列30。記憶胞陣列30係利用與記憶胞陣列20相同之方法而形成。於圖9中之記憶胞陣列30之上表面側形成連接墊133。於記憶胞陣列20與記憶胞陣列30之邊界，於連接墊133連接連接墊123。再者，於未圖示之部分，記憶胞陣列20之連接墊63a與記憶胞陣列30之連接墊61b連接(參照圖1)。進而，記憶胞陣列20之連接墊83與記憶胞陣列30之連接墊81連接(參照圖4)，源極線25與源極線35電性連接。

如圖10所示，於記憶胞陣列30之上貼合記憶胞陣列40。記憶胞陣列40係利用與記憶胞陣列20及30相同之方法形成。於圖10中之記憶胞陣列

40之上表面側形成連接墊135。連接墊135例如包含鋁。即，連接墊135為最上層之配線，例如以能夠藉由導線結合連接於外部電路之方式形成。

如圖10所示，於記憶胞陣列30與記憶胞陣列40之邊界，亦於連接墊133連接連接墊123。再者，於未圖示之部分，記憶胞陣列30之連接墊63b與記憶胞陣列40之連接墊61c連接(參照圖1)。進而，記憶胞陣列30之連接墊83與記憶胞陣列40之連接墊81連接(參照圖4)，源極線35與源極線45電性連接。

上述製造過程中，藉由於基板110之上表面設置凸部101，能夠於貼合後之各記憶胞陣列之上表面形成連接墊。再者，只要以具有配線圖案之方式形成凸部101，則能夠形成連接墊及連結於該連接墊之配線。藉此，能夠省略貼合後之光微影及絕緣膜之蝕刻，能夠簡化記憶裝置1之製造過程。

#### [第2實施形態]

圖11係表示第2實施形態之記憶裝置之記憶胞陣列50之構成之模式俯視圖。記憶胞陣列50包含沿Y方向排列之電極層21a、21b及21c。電極層21a、21b及21c分別沿X方向延伸，電極層21a與電極層21b之間、及電極層21b與電極層21c之間利用狹縫ST分離。再者，電極層21a、21b及21c分別於Z方向上積層，由沿Z方向延伸之複數個記憶體孔MH貫通。於各記憶體孔MH之內部之設置半導體柱23(未圖示)。

記憶胞陣列50包含於電極層21a、21b及21c之上沿Y方向延伸之複數個配線27。配線27例如沿X方向排列配置。配線27分別電性連接於貫通電極層21a延伸之1個半導體柱、貫通電極層21b延伸之1個半導體柱、及貫通電極層21c延伸之1個半導體柱。

於該例中，於狹縫ST之內部配置接觸插塞160。接觸插塞160沿Z方向延伸，其長度長於在Z方向上積層之電極層21a、21b及21c之各自之總高度。再者，接觸插塞160分別經由接觸插塞141電性連接於1個配線27。即，數量與配線27相同之接觸插塞160設置於狹縫ST之內部。

圖12A及B係表示第2實施形態之記憶裝置之記憶胞陣列50之模式圖。圖12A係表示記憶胞陣列50之上表面之模式俯視圖。圖12B係表示沿圖12A中所示之12B-12B線之剖面之模式圖。

如圖12A所示，於配線27之上設置複數個連接墊140。連接墊140分別電性連接於1個配線27。即，數量與配線27相同之連接墊140配置於沿X方向排列之複數個配線27之上方。

如圖12B所示，接觸插塞160於狹縫ST之內部沿Z方向延伸。接觸插塞160相比於電極層21之積層寬度 $W_s$ 更長地延伸。再者，接觸插塞160藉由絕緣膜167與電極層21及源極線120電性絕緣。

接觸插塞160於其下端連接於連接墊150。再者，接觸插塞160於其上端經由接觸插塞141電性連接於配線27之1個。進而，配線27經由接觸插塞143電性連接於連接墊140。結果，接觸插塞160電性連接於配線27之1個及連接墊140之1個。

本實施形態中，複數個記憶胞陣列50例如積層於驅動電路10之上(參照圖1)。記憶胞陣列50係將圖12B所示之構造之上下顛倒而進行積層。此時，1個記憶胞陣列50之連接墊150連接於積層於其上之其他記憶胞陣列50之連接墊140。藉此，電性連接上下積層之記憶胞陣列50之半導體柱23。

再者，本實施形態中，亦經由未圖示之接觸插塞(例如圖4中之接觸

插塞80)電性連接上下積層之記憶胞陣列50之源極線120。

圖13係表示第2實施形態之記憶胞陣列50之製造過程之模式圖。圖13A~C係表示接觸插塞160之形成過程之模式俯視圖。

如圖13A所示，於電極層21間之狹縫ST嵌入絕緣膜167。絕緣膜167例如為使用CVD形成之氧化矽膜。此時，於記憶體孔MH之內部分別形成未圖示之半導體柱23及記憶體膜29。

如圖13B所示，以覆蓋記憶體孔MH及絕緣膜167之方式形成蝕刻遮罩181，例如抗蝕膜。蝕刻遮罩181具有位於狹縫ST上之開口181a。然後，使用蝕刻遮罩181將絕緣膜167選擇性地去除，形成於狹縫ST內沿Z方向延伸，且連通於成為連接墊150之部分(參照圖6A及圖12B)之接觸孔185。

如圖13C所示，於接觸孔185之內部形成接觸插塞160。接觸插塞160係嵌入接觸孔185之內部之金屬層，例如包含鎢。

圖14係表示第2實施形態之變化例之記憶胞陣列50之製造過程之模式圖。圖14A~C係表示接觸插塞170之形成過程之模式俯視圖。接觸插塞170於狹縫ST內相比於電極層21之積層寬度 $W_s$ 更長地延伸。

如圖14A所示，形成於電極層21間之狹縫ST包含第1部分WP及第2部分NP。第1部分WP之Y方向之寬度 $W_1$ 大於第2部分NP之Y方向之寬度 $W_2$ 。

如圖14B所示，於狹縫ST之內部形成絕緣膜167。絕緣膜167例如為使用CVD形成之氧化矽膜。絕緣膜167例如以具有閉合第2部分NP，且於第1部分WP殘留接觸孔187之厚度之方式形成。換言之，以第1部分WP之寬度 $W_1$ 與第2部分NP之寬度 $W_2$ 之差大於接觸插塞170之Y方向之寬度之方式形成。

如圖14C所示，於接觸孔187之內部形成接觸插塞170。接觸插塞170為嵌入接觸孔187之內部之金屬層，例如包含鎢。

圖15係表示第2實施形態之其他變化例之記憶胞陣列50之製造過程之模式剖視圖。圖15A~C係表示接觸插塞180之形成過程之模式俯視圖。接觸插塞180於狹縫ST內相比於電極層21之積層寬度 $W_s$ 更長地延伸。

如圖15A所示，形成於電極層21間之狹縫ST例如具有圓形之開口，形成為複數個接觸孔CH於X方向上連結之形狀。接觸孔CH例如以沿Z方向延伸且連通於成為連接墊150之部分(參照圖6A及圖12B)之方式形成。接觸孔CH例如以其直徑 $R_s$ 大於接觸插塞180之直徑之方式形成。

如圖15B所示，於狹縫ST之內部形成絕緣膜167。絕緣膜167例如為使用CVD形成之氧化矽膜。絕緣膜167例如以具有於接觸孔CH內殘留接觸空間189之厚度之方式形成。

如圖15C所示，於接觸空間189之內部形成接觸插塞180。接觸插塞180係嵌入接觸空間189之內部之金屬層，例如包含鎢。

### [第3實施形態]

圖16係表示第3實施形態之記憶裝置1之製造過程之模式剖視圖。圖16A係表示例如將記憶胞陣列20與記憶胞陣列30貼合而成之晶圓5之模式俯視圖(參照圖1)。圖16B係沿圖16A所示之16B-16B線之模式剖視圖。

如圖16A所示，晶圓5例如包含沿X方向延伸之氣隙AG。氣隙AG延伸至晶圓5之外緣，以於其兩端連通於外部之方式設置。

如圖16B所示，氣隙AG設置於記憶胞陣列20與記憶胞陣列30之邊界。即，氣隙AG形成於貼合記憶胞陣列20與記憶胞陣列30之邊界，成為殘留於兩者之間之空氣之排出路徑。藉此，於記憶胞陣列20與記憶胞陣列



30之邊界形成所謂空隙，能夠防止接合不良。

氣隙AG係藉由於記憶胞陣列20及記憶胞陣列30中之任一個陣列、或兩個陣列形成槽EG，並將兩者貼合而形成。

氣隙AG例如設置於自晶圓5切出之晶片之間之所謂切割區域KR。切割區域KR以包圍包含記憶胞MC及各配線之器件區域DR之方式設置。藉此，能夠提高器件區域DR之記憶胞陣列間之接合面之密接性。

圖17係表示第3實施形態之變化例之記憶裝置1之製造過程之模式剖視圖。圖17A~C係表示相當於沿圖16A所示之16B-16B線之剖面之部分之模式圖。

如圖17A所示，於將記憶胞陣列20與驅動電路10貼合後，於記憶胞陣列20之上表面形成凹部131及201。凹部131及201例如藉由自記憶胞陣列20去除基板110而形成(參照圖8A)。

如圖17B所示，於凹部131及201嵌入金屬，形成連接墊133及金屬圖案205。連接墊133及金屬圖案205例如使用銅或銅合金形成。

於該過程中，例如於記憶胞陣列20之上表面形成較凹部131及201之深度厚之金屬層。之後，例如使用CMP以殘留嵌入凹部131及201之部分之方式去除金屬層。

此時，若金屬圖案205之面積相對於切割區域KR之表面積之比率大，則藉由所謂凹形變形(dishing)而於切割區域KR形成槽EG。即，以於切割區域KR形成槽EG之方式，使金屬圖案205之面積相對於切割區域KR之表面積之比率，變得大於例如連接墊133之面積相對於記憶胞陣列20之器件區域DR之面積之比率。

如圖17C所示，將記憶胞陣列20與記憶胞陣列30貼合。於器件區域

DR中，例如將記憶胞陣列20之連接墊133與記憶胞陣列30之連接墊123連接。另一方面，於切割區域KR中，於槽EG之位置形成氣隙AG。藉此，能夠避免於記憶胞陣列間形成空隙，能夠提高兩者之密接性。

進而，藉由於晶圓上分別呈直線狀設置複數個槽EG，並使之單向延伸，能夠減輕晶圓之翹曲。再者，如上述般，藉由利用CMP時之凹形變形，不使用例如光微影及選擇蝕刻等便能形成槽EG。藉此，能夠簡化各記憶胞陣列之製造步驟。

圖18係表示第3實施形態之其他變化例之記憶裝置1之製造過程之模式剖視圖。圖18A及B係表示相當於沿圖16A所示之16B-16B線之剖面之部分之模式圖。

如圖18A所示，於氣隙AG中，亦可於槽EG之整個內表面露出金屬圖案215之方式形成。即，金屬圖案215亦可以X方向之寬度變得與槽EG之X方向之寬度大致相同之方式形成。藉此，CMP時之凹形變形變大，能夠較深地形成槽EG。結果，能夠擴大氣隙AG之Z方向之寬度。金屬圖案215例如使用銅或銅合金形成。

於圖18B所示之例中，將記憶胞陣列220與記憶胞陣列230貼合。記憶胞陣列220及230包含接觸插塞223及233，接觸插塞223及233之端面作為連接墊發揮功能。即，如圖18所示，將記憶胞陣列220與記憶胞陣列230貼合時，亦可直接連接記憶胞陣列220之接觸插塞233與記憶胞陣列230之接觸插塞223。再者，於形成於兩者之邊界之氣隙AG之內表面露出金屬圖案215。

於上述實施例中，於記憶裝置1自晶圓5被切出並晶片化之情形時，於該晶片之外緣殘留氣隙AG之一部分。即，於第3實施形態之記憶裝置1

中，於氣隙AG之一部分露出之金屬圖案205相對於絕緣膜105之面積比，大於記憶胞陣列間之邊界之連接墊133相對於絕緣膜105之面積比。

[第4實施形態]

圖19A及19B係表示第4實施形態之記憶裝置2之模式俯視圖。圖19A係表示記憶裝置2之記憶胞MC之配置之俯視圖。圖19B係表示記憶裝置2之記憶胞MC之俯視圖。

如圖19A所示，記憶裝置2具備沿X方向延伸之複數個電極層321。電極層321沿Y方向排列配置。再者，電極層321隔著未圖示之層間絕緣膜於Z方向上積層。於Y方向上相鄰之電極層321間之空間MT嵌入絕緣體311。絕緣體311例如為氧化矽。

記憶裝置2之記憶體孔MH以於Z方向上貫通絕緣體311之方式設置。再者，記憶體孔MH以將絕緣體311分割成複數個部分之方式形成。記憶裝置2進而具備於Z方向上貫通絕緣體311之接觸孔STH。於接觸孔STH之內部配置接觸插塞330及340。再者，於接觸孔STH之內部設置絕緣膜331，用於使接觸插塞330及340與電極層321電性絕緣。

如圖19B所示，於記憶體孔MH之內部設置沿Z方向延伸之半導體柱310。半導體柱310包含絕緣性芯313與半導體層315。絕緣性芯313例如為沿Z方向延伸之氧化矽。半導體層315覆蓋絕緣性芯313之側面，沿Z方向延伸。半導體層315例如為多晶矽。

於記憶體孔MH之內部進而設置絕緣膜317。絕緣膜317設置於記憶體孔MH之內壁與半導體柱310之間。絕緣膜317例如為氧化矽膜。

如圖19B所示，記憶裝置2之記憶胞例如包含浮動閘極FG。浮動閘極FG以自覆蓋記憶體孔MH之內壁之絕緣膜317延伸至電極層321之內部之

方式設置。於浮動閘極FG與電極層321之間設置絕緣膜323。

浮動閘極FG以延伸至於Z方向上積層之電極層321各自之內部之方式設置，沿於Z方向上延伸之記憶體孔相互隔開配置。1個記憶體孔MH設置於Y方向上相鄰之2個電極層321之間，於2個電極層321分別設置浮動閘極FG。2個浮動閘極FG相互獨立地發揮功能。即，記憶裝置2中，針對位於設置於Z方向之相同高度之電極層321之間之每個記憶體孔MH，能夠配置2個記憶胞MC。

於各記憶胞MC中，位於半導體柱310與浮動閘極FG之間之絕緣膜317之部分作為隧道絕緣膜發揮功能。進而，位於電極層321與浮動閘極FG之間之絕緣膜323之部分作為阻擋絕緣膜發揮功能。

圖20係表示記憶裝置2之其他模式俯視圖。如圖20所示，於與電極層321交叉之Y方向上設置複數個位元線350。位元線350配置於記憶體孔MH之上方，經由接觸插塞351電性連接於半導體柱310。

如圖20所示，接觸孔STH沿Y方向排列配置。位元線530未配置於接觸孔STH之上方。各位元線350經由配線333電性連接於設置於接觸孔STH之內部之接觸插塞330。位元線350電性連接於複數個接觸插塞330中之任一個。

圖21係表示記憶裝置2之模式剖視圖。圖21係沿圖20所示之20A-20A線之剖視圖，包含接觸插塞330。又，為方便起見，圖21中省略使各要素間電性絕緣之絕緣膜及絕緣體之圖示。

如圖21所示，記憶裝置2包含積層於驅動電路10之上之複數個記憶胞陣列20、例如記憶胞陣列20A、20B、20C及20D。記憶胞陣列20之積層數為任意，並不限定於該例。

各記憶胞陣列20包含複數個半導體柱310、接觸插塞330、位元線350及源極線370。各半導體柱310之一端電性連接於位元線350，另一端電性連接於源極線370。為方便起見，圖21中省略接觸插塞351之圖示。

源極線370例如為沿X方向及Y方向延伸之板狀導電體。電極層321積層於源極線370之上(參照19A)。再者，接觸插塞330以通過設置於源極線370之貫通孔SH而沿Z方向延伸之方式設置。接觸插塞330藉由絕緣膜331與源極線370電性絕緣。

於各記憶胞陣列20中，接觸插塞330經由配線333電性連接於位元線350之1個。如圖21所示，配線333經由接觸插塞339連接於位元線350，經由接觸插塞337連接於接觸插塞330。

進而，各記憶胞陣列20之接觸插塞330於Z方向上串聯連接。記憶胞陣列20B及20C之各接觸插塞330經由焊墊343及345分別連接於位於上下之接觸插塞330。如圖21所示，焊墊343經由接觸插塞335電性連接於配線333。焊墊345連接於接觸插塞330之一端。

焊墊343及345之配置並不限定於該例，例如亦可如圖1及圖3所示般設置於位元線350與源極線370之間。

記憶胞陣列20D之接觸插塞330經由焊墊345及接觸插塞347而電性連接於配線410。配線410例如經由設置於記憶胞陣列20之周邊之接觸插塞53(參照圖1)電性連接於驅動電路10之感測放大器SA。結果，各記憶胞陣列20之位元線350經由接觸插塞330並聯連接於感測放大器SA。藉此，不使流經各半導體柱310之胞電流降低，便能多段地積層記憶胞陣列20，從而能夠增加記憶裝置2之記憶容量。

圖22係表示記憶裝置2之其他模式剖視圖。圖21係沿圖20所示之

20B-20B線之剖視圖，包含接觸插塞340。為方便起見，圖21中亦省略使各要素間電性絕緣之絕緣膜及絕緣體之圖示。

如圖22所示，於各記憶胞陣列20中，接觸插塞340連接於源極線370。再者，接觸插塞340經由配線333、接觸插塞335及337電性連接於焊墊343。另一方面，源極線370經由接觸插塞349電性連接於焊墊345。

例如，記憶胞陣列20B及20C之源極線370經由焊墊343及345電性連接於位於上下之記憶胞陣列20之源極線370。

記憶胞陣列20D之接觸插塞340經由焊墊345及接觸插塞349電性連接於配線420。配線420例如經由設置於記憶胞陣列20之周邊之接觸插塞53(參照圖1)電性連接於驅動電路10之驅動電晶體。結果，各記憶胞陣列20之源極線370經由接觸插塞340串聯連接，電性連接於驅動電路10。

圖23A及23B係表示第4實施形態之變化例之記憶裝置3之模式剖視圖。圖23A及23B分別為表示包含接觸插塞330之剖面之模式圖，圖23B係表示與圖23A不同之剖面之模式圖。

於圖23A所示之例中，記憶胞陣列20B之接觸插塞330經由配線333電性連接於位元線350。另一方面，記憶胞陣列20A、20C及20D之各接觸插塞330未電性連接於位元線350。即，1個位元線350經由串聯連接之接觸插塞330電性連接於配線410B，進而連接於感測放大器SA。

於圖23B所示之例中，記憶胞陣列20C之接觸插塞330經由配線333電性連接於位元線350。另一方面，記憶胞陣列20A、20B及20D之各接觸插塞330未電性連接於位元線350。因此，1個位元線350經由串聯連接之接觸插塞330電性連接於配線410C。

如此，於記憶裝置3中，多段地積層之記憶胞陣列20中之1個位元線

350經由串聯連接之接觸插塞330而連接於1個感測放大器SA。藉此，能不降低流經各半導體柱310之胞電流地，多段地積層記憶胞陣列20，並且能提高資料自各記憶胞MC之讀出速度。

如上述般，於本實施形態中，例示了經由串聯連接之接觸插塞330將多段地積層之記憶胞陣列20之各位元線350並聯連接於感測放大器SA之例、及將多段地積層之記憶胞陣列20中之1個位元線350連接於1個感測放大器SA之例，但實施形態並不限定於該等。例如可根據各記憶胞陣列20中之位元線之數量、及接觸孔STH之數量，經由串聯連接之接觸插塞330將多段地積層之記憶胞陣列20中之任意數量之位元線350並聯連接於感測放大器SA。

雖對本發明之若干種實施形態進行了說明，但該等實施形態係作為示例而提出者，並非意圖限定發明之範圍。該等新穎之實施形態能夠藉由其他各種方式而實施，能夠於不脫離發明主旨之範圍內進行各種省略、替換、變更。該等實施形態或其變化包含於發明之範圍或主旨內，並且包含於申請專利範圍所記載之發明及其均等之範圍內。

#### [相關申請]

本案享有以日本專利申請2017-42675號(申請日：2017年3月7日)為基礎申請之優先權。本案藉由參照該基礎申請而包含基礎申請之全部內容。

#### 【符號說明】

- 1:記憶裝置
- 10:驅動電路
- 11:基板

- 13:配線層
- 15:配線
- 20:記憶胞陣列
- 21:電極層
- 21a:電極層
- 21b:電極層
- 21c:電極層
- 23:半導體柱
- 25:源極線
- 25a:金屬層
- 25b:半導體層
- 27:配線
- 29:記憶體膜
- 30:記憶胞陣列
- 31:電極層
- 33:半導體柱
- 35:源極線
- 37:配線
- 40:記憶胞陣列
- 41:電極層
- 43:半導體柱
- 45:源極線
- 47:配線
- 50:記憶胞陣列



51:接觸插塞  
53:接觸插塞  
55:接觸插塞  
60a:接觸插塞  
60b:接觸插塞  
60c:接觸插塞  
61a:連接墊  
61b:連接墊  
61c:連接墊  
63a:連接墊  
63b:連接墊  
63c:連接墊  
65a:配線  
65b:配線  
65c:配線  
69:中間配線  
71:接觸插塞  
73:接觸插塞  
75:接觸插塞  
77:接觸插塞  
80:接觸插塞  
81:連接墊  
83:連接墊

85:中間配線  
87:中間配線  
91:接觸插塞  
93:接觸插塞  
95:接觸插塞  
97:接觸插塞  
101:凸部  
103:絕緣膜  
105:絕緣膜  
107:絕緣膜  
109:絕緣膜  
110:基板  
111:接觸插塞  
115:配線  
120:源極線  
121:絕緣膜  
123:連接墊  
125:接觸插塞  
127:連接墊  
131:凹部  
133:連接墊  
135:連接墊  
140:連接墊

150:連接墊  
160:接觸插塞  
167:絕緣膜  
170:接觸插塞  
181:蝕刻遮罩  
181a:開口  
185:接觸孔  
187:接觸孔  
189:接觸空間  
201:凹部  
205:金屬圖案  
215:金屬圖案  
220:記憶胞陣列  
223:接觸插塞  
230:記憶胞陣列  
233:接觸插塞  
310:半導體柱  
311:絕緣體  
313:絕緣性芯  
315:半導體層  
317:絕緣膜  
321:電極層  
323:絕緣膜

330:接觸插塞

331:絕緣膜

333:配線

335:接觸插塞

337:接觸插塞

339:接觸插塞

340:接觸插塞

343:焊墊

345:焊墊

347:接觸插塞

349:接觸插塞

350:位元線

351:接觸插塞

370:源極線

410:配線

410B:配線

410C:配線

420:配線

AG:氣隙

CA:接觸區域

DR:器件區域

EG:槽

HUP:引出部

KR:切割區域

MC:記憶胞

MH:記憶體孔

MP:區域

NP:第2部分

PH:接觸孔

R<sub>s</sub>:直徑

SH:貫通孔

ST:狹縫

STH:接觸孔

WP:第1部分

W<sub>s</sub>:全寬

## 【發明申請專利範圍】

### 【請求項1】

一種半導體裝置，其具備：

第1記憶胞陣列，其包含由沿第1方向延伸之複數個第1電極層積層而成之第1積層體；及

周邊電路，其以與面向上述第1記憶胞陣列之方式而設，驅動上述第1記憶胞陣列；且

當將從上述周邊電路朝向上述第1記憶胞陣列之方向作為第2方向時，上述複數個第1電極層之沿上述第1方向之長度係隨著沿上述第2方向移動而變長。

### 【請求項2】

如請求項1之半導體裝置，其更具備：

第1接觸配線，其與上述第1電極層連接；及

第2接觸配線，其與上述周邊電路連接；且

上述第1接觸配線與上述第2接觸配線電性連接。

### 【請求項3】

如請求項2之半導體裝置，其更具備：

第1接合電極，其與上述第1接觸配線連接；及

第2接合電極，其與上述第2接觸配線連接；且

上述第1接合電極與上述第2接合電極係以第1接合面接合，於上述第1接合面附近，上述第1接合電極之直徑大於上述第1接觸配線之直徑，上述第2接合電極之直徑大於上述第2接觸配線之直徑。

### 【請求項4】

如請求項1之半導體裝置，其更具備：

第2記憶胞陣列，其具有由沿上述第1方向延伸之複數個第2電極層積層而成之第2積層體，且相對於上述第1記憶胞陣列而設於上述周邊電路之相反側；且

上述複數個第2電極層之沿上述第1方向之長度係隨著沿上述第2方向移動而變長。

**【請求項5】**

如請求項4之半導體裝置，其更具備：

第3接觸配線，其與上述第2電極層連接；且

上述第1接觸配線與上述第3接觸配線電性連接。

**【請求項6】**

如請求項5之半導體裝置，其更具備：

第3接合電極，其設於上述第1接觸配線之與上述周邊電極連接之側之相反側；及

第4接合電極，其與上述第3接觸配線連接；且

上述第3接合電極與上述第4接合電極係以第2接合面接合，於上述第2接合面附近，上述第3接合電極之直徑大於上述第1接觸配線之直徑，上述第4接合電極之直徑大於上述第3接觸配線之直徑。

**【請求項7】**

如請求項1之半導體裝置，其更具備：

第4接觸配線，其與上述周邊電路連接；且

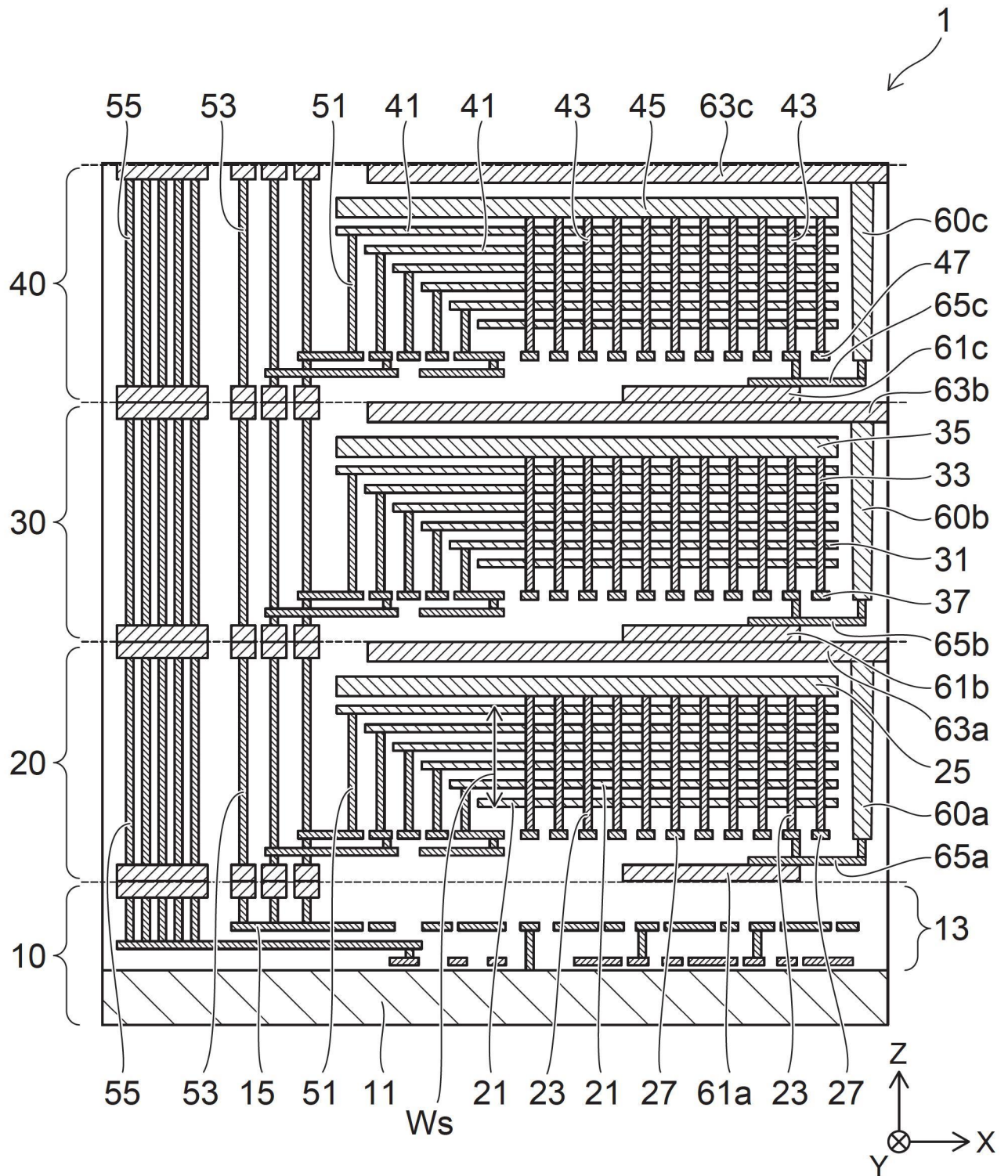
可經由上述第4接觸配線而進行資料之輸入輸出。

**【請求項8】**

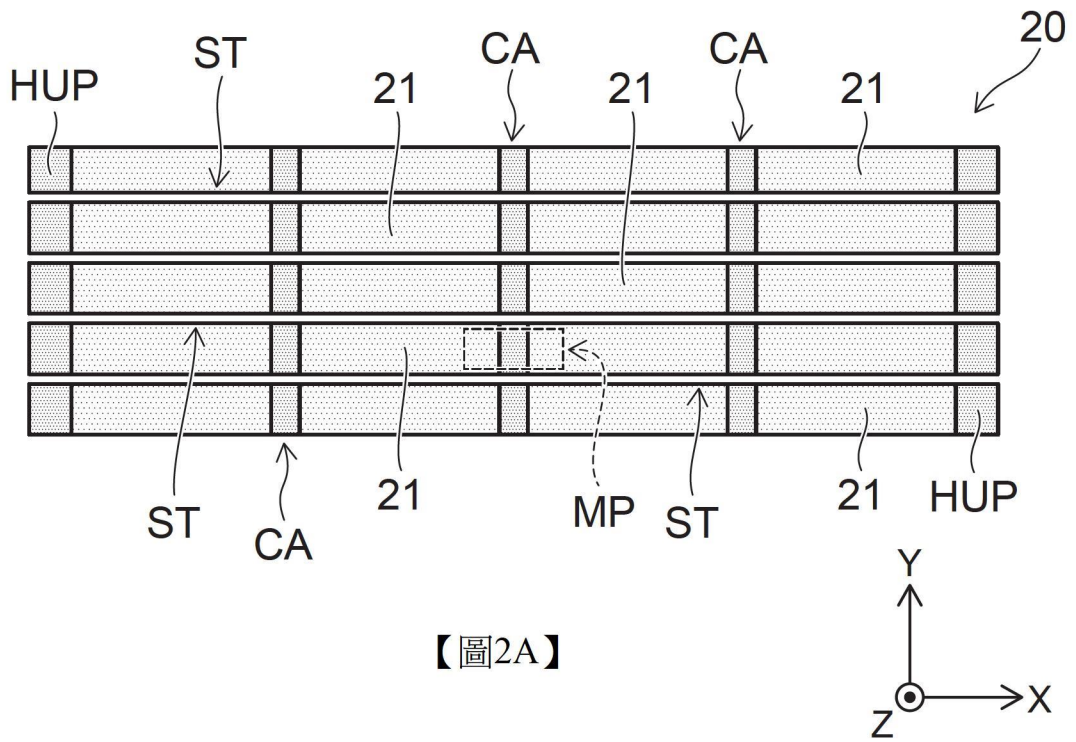
如請求項7之半導體裝置，其中上述第4接觸配線形成於未形成有上述第1記憶胞陣列之區域。



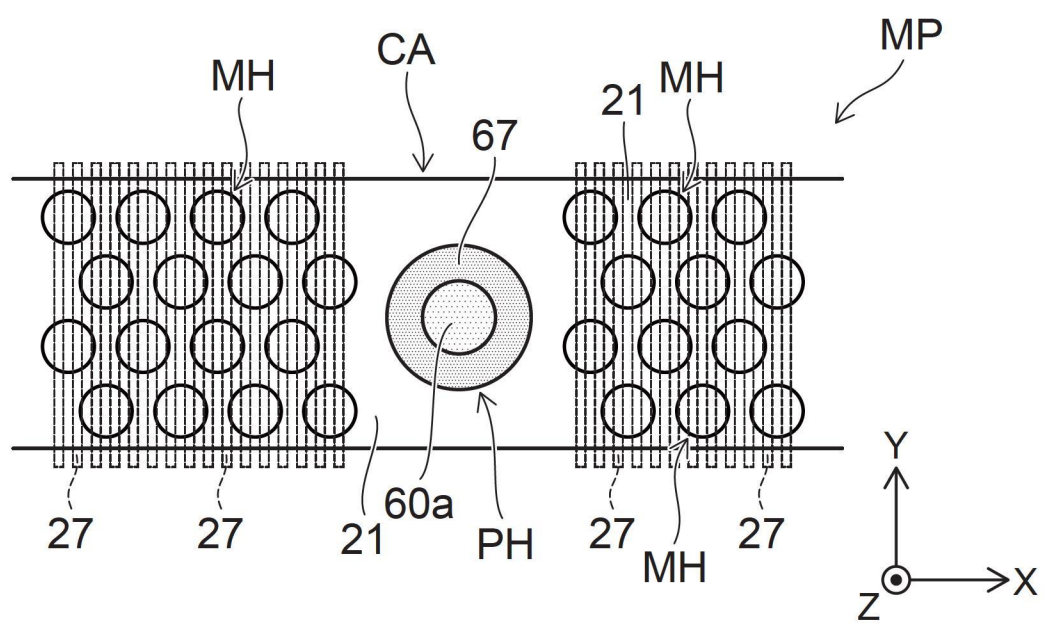
【發明圖式】



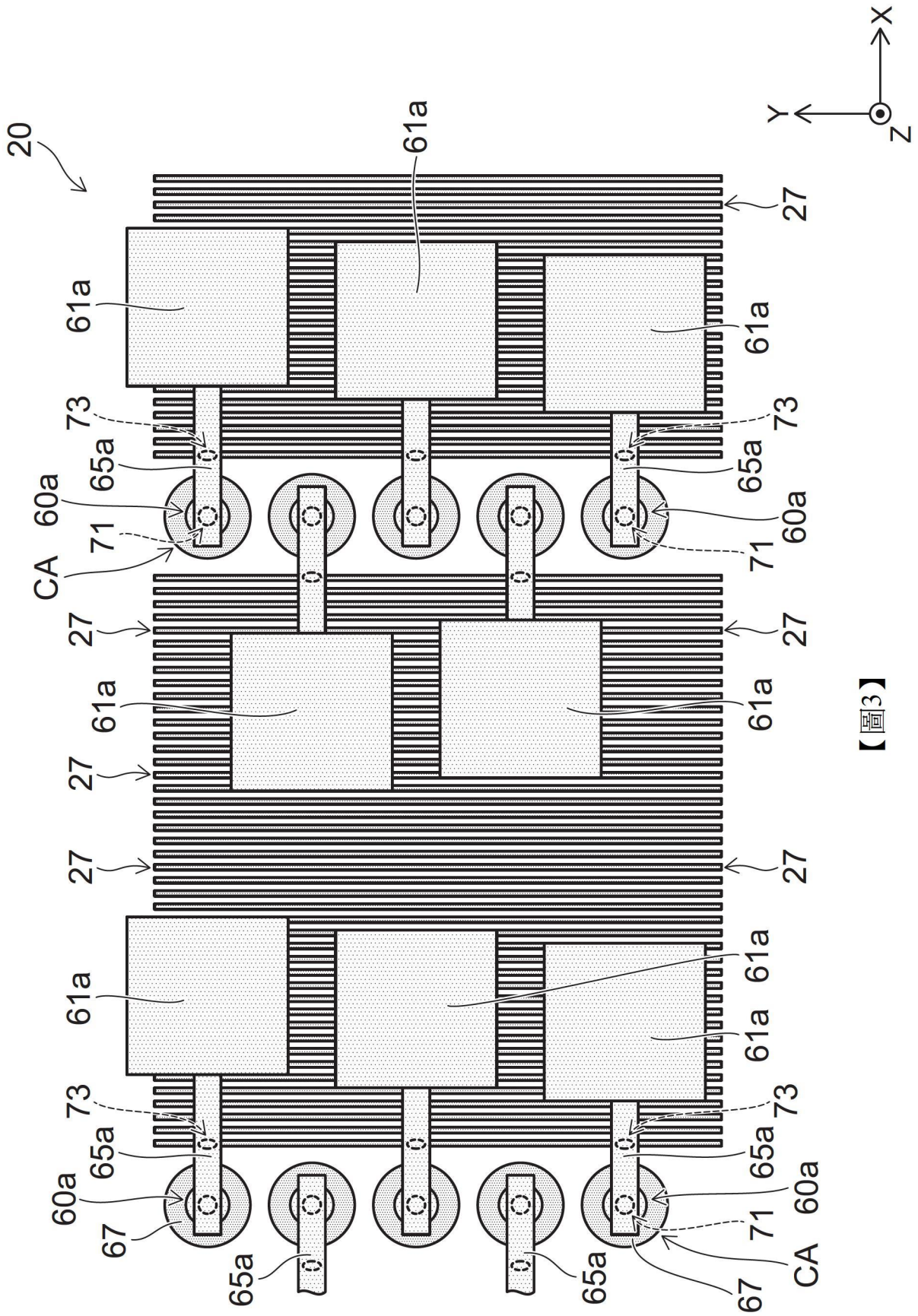
【圖1】



【圖2A】

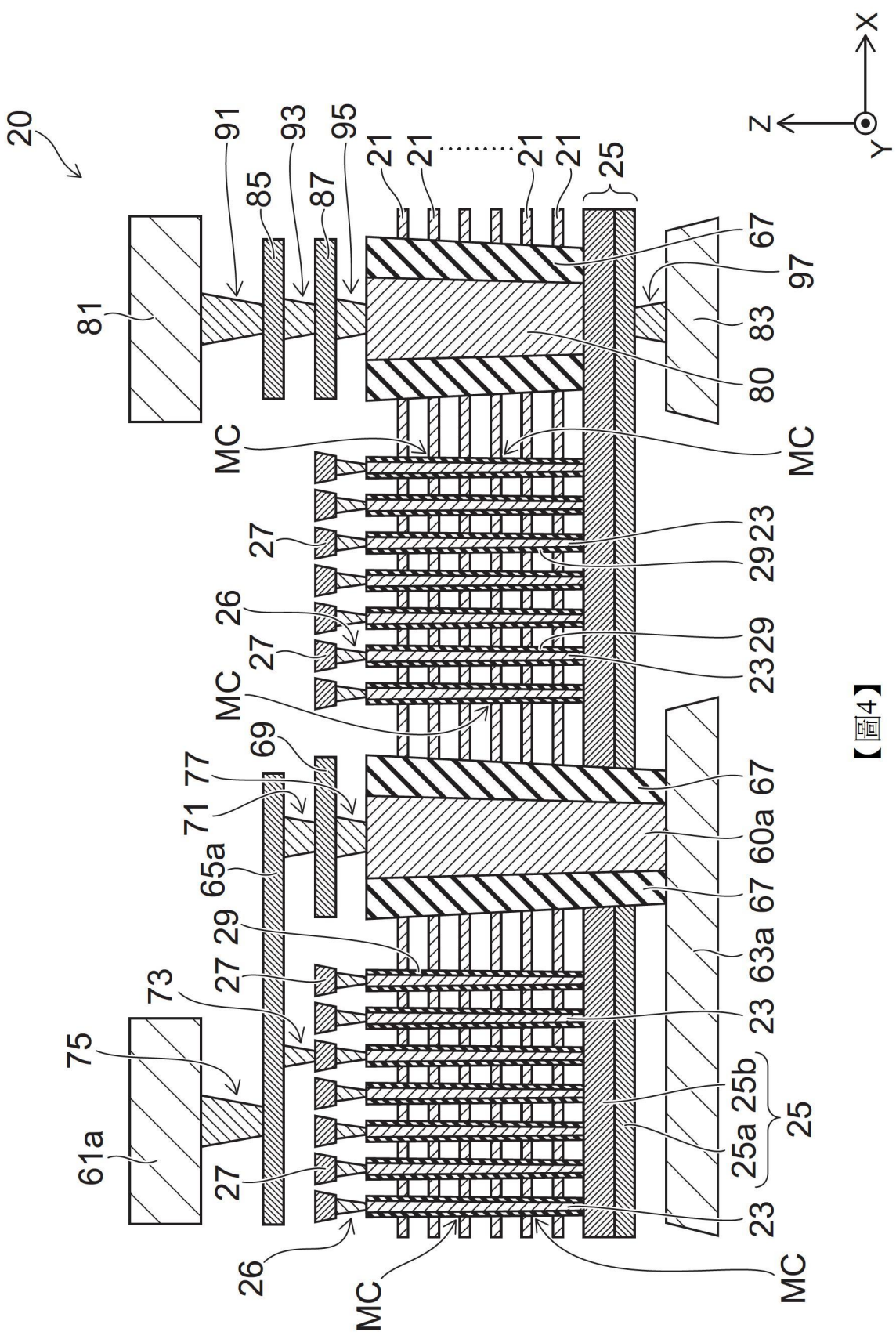


【圖2B】

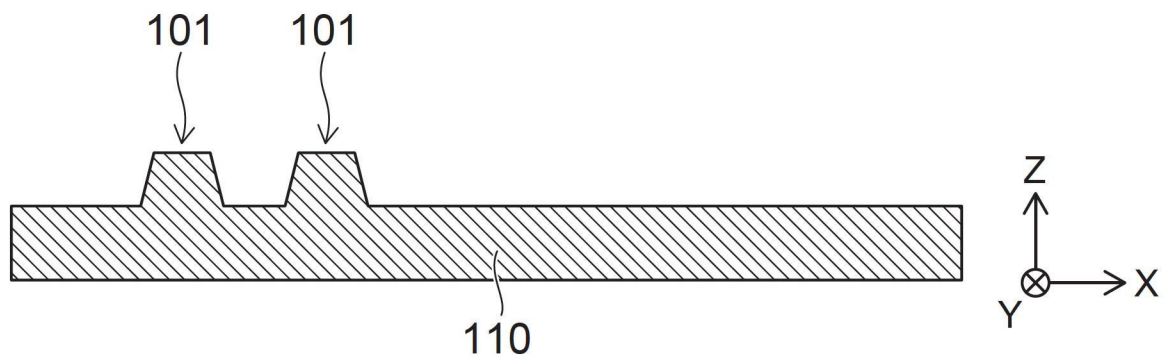


【圖3】

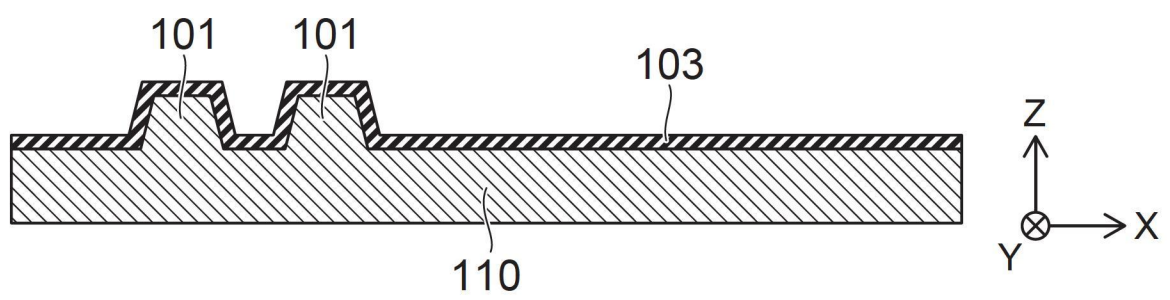




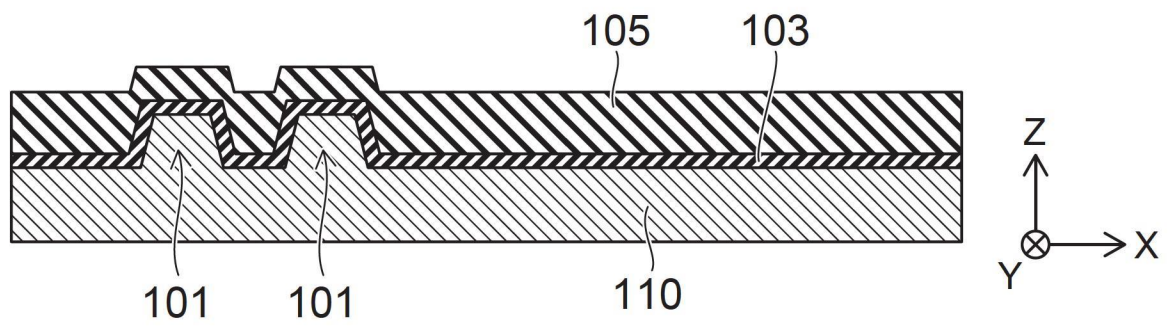
【圖4】



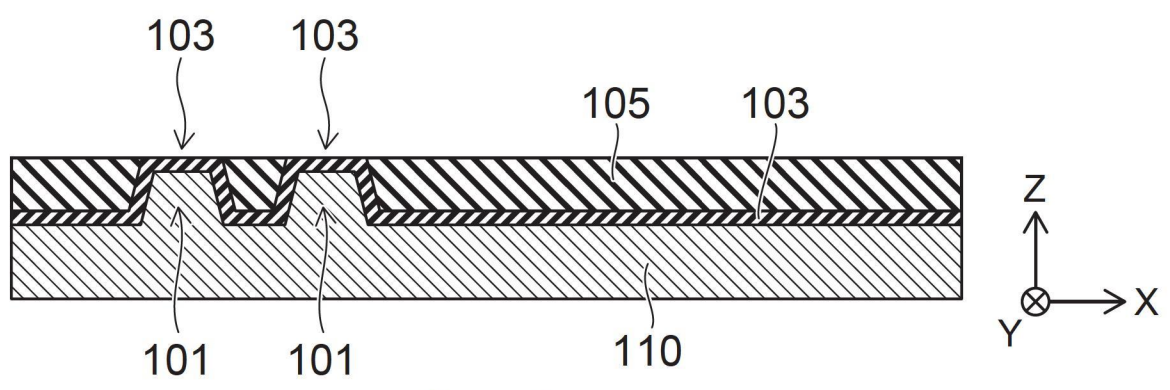
【圖5A】



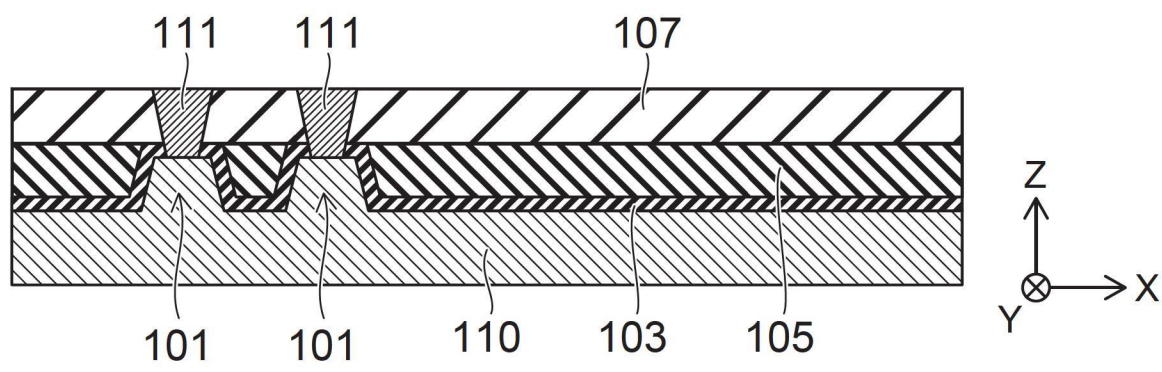
【圖5B】



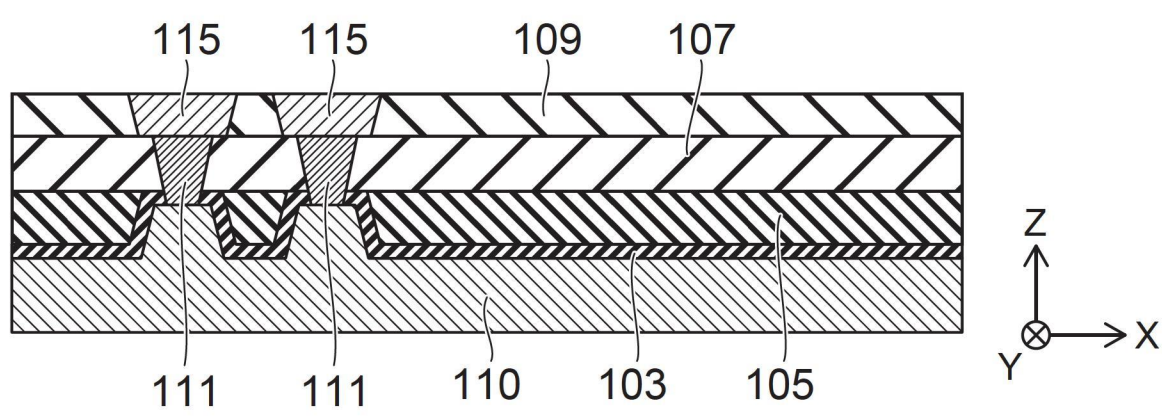
【圖5C】



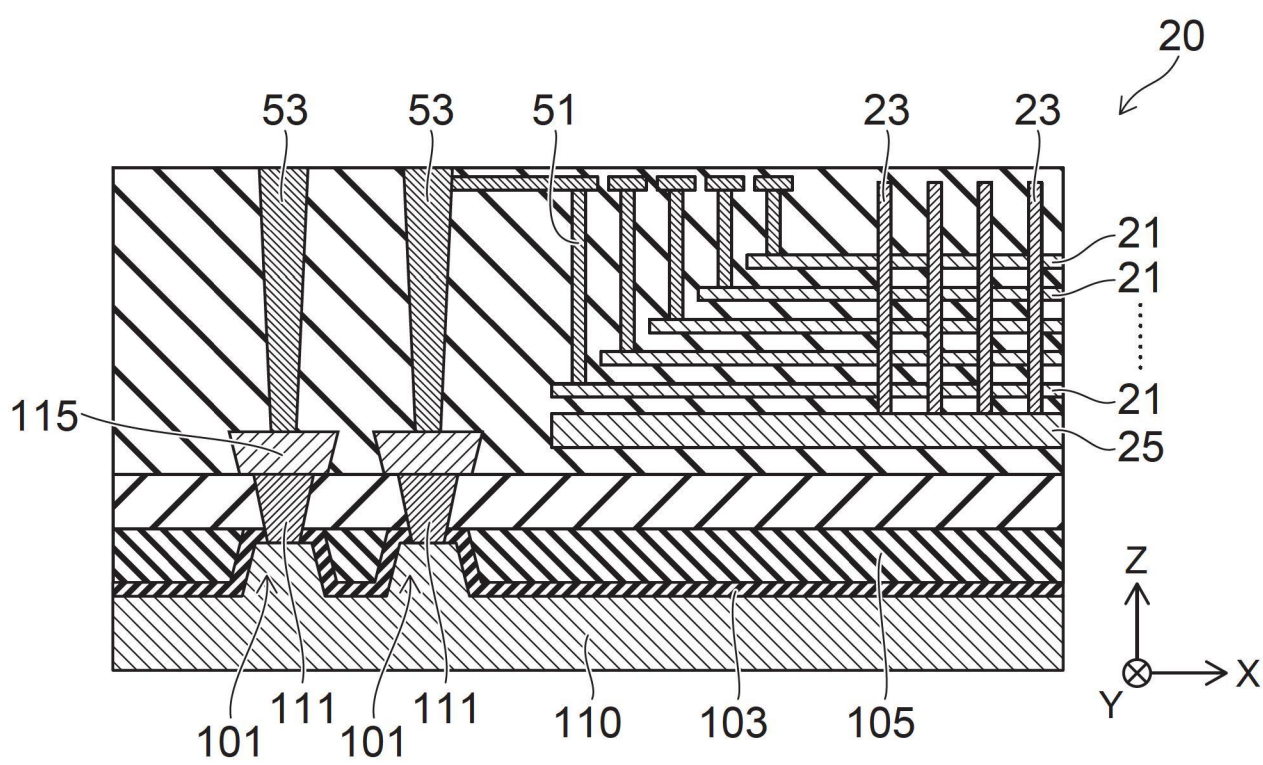
【圖5D】



【圖6A】

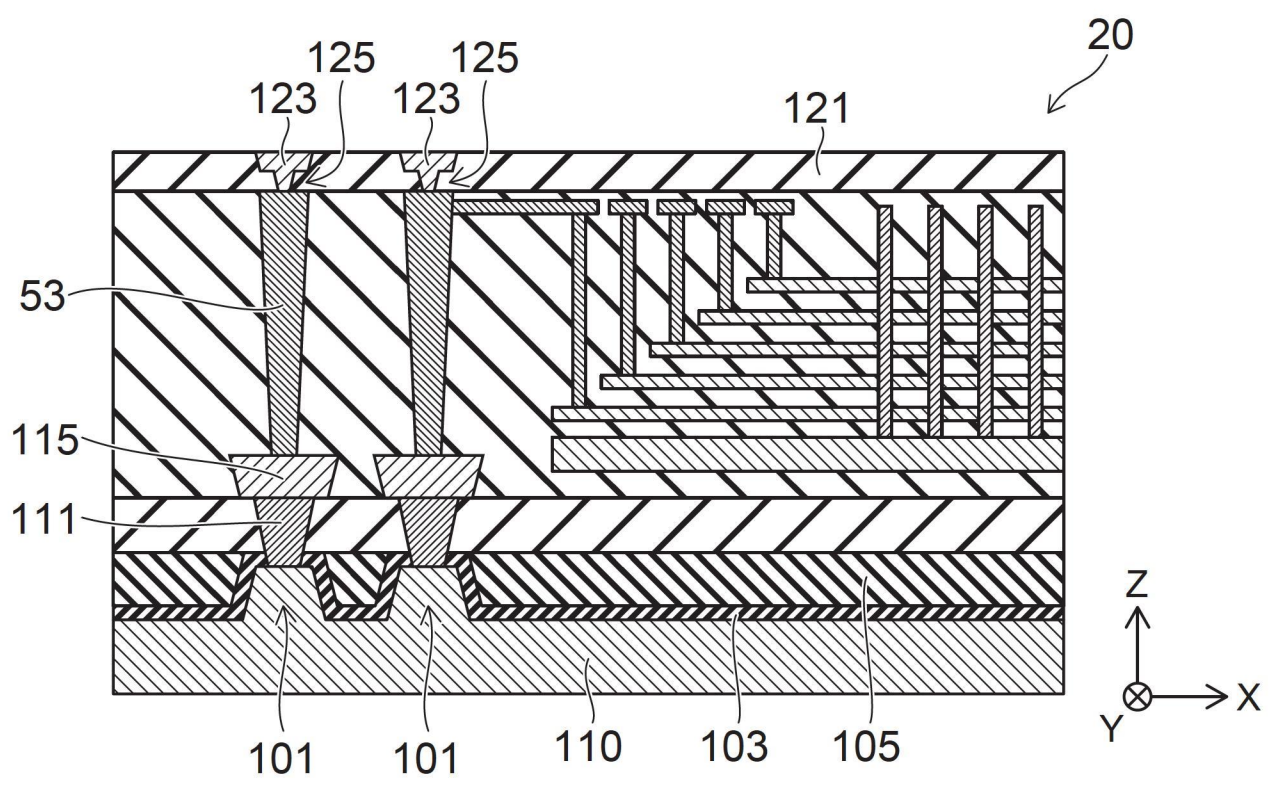


【圖6B】

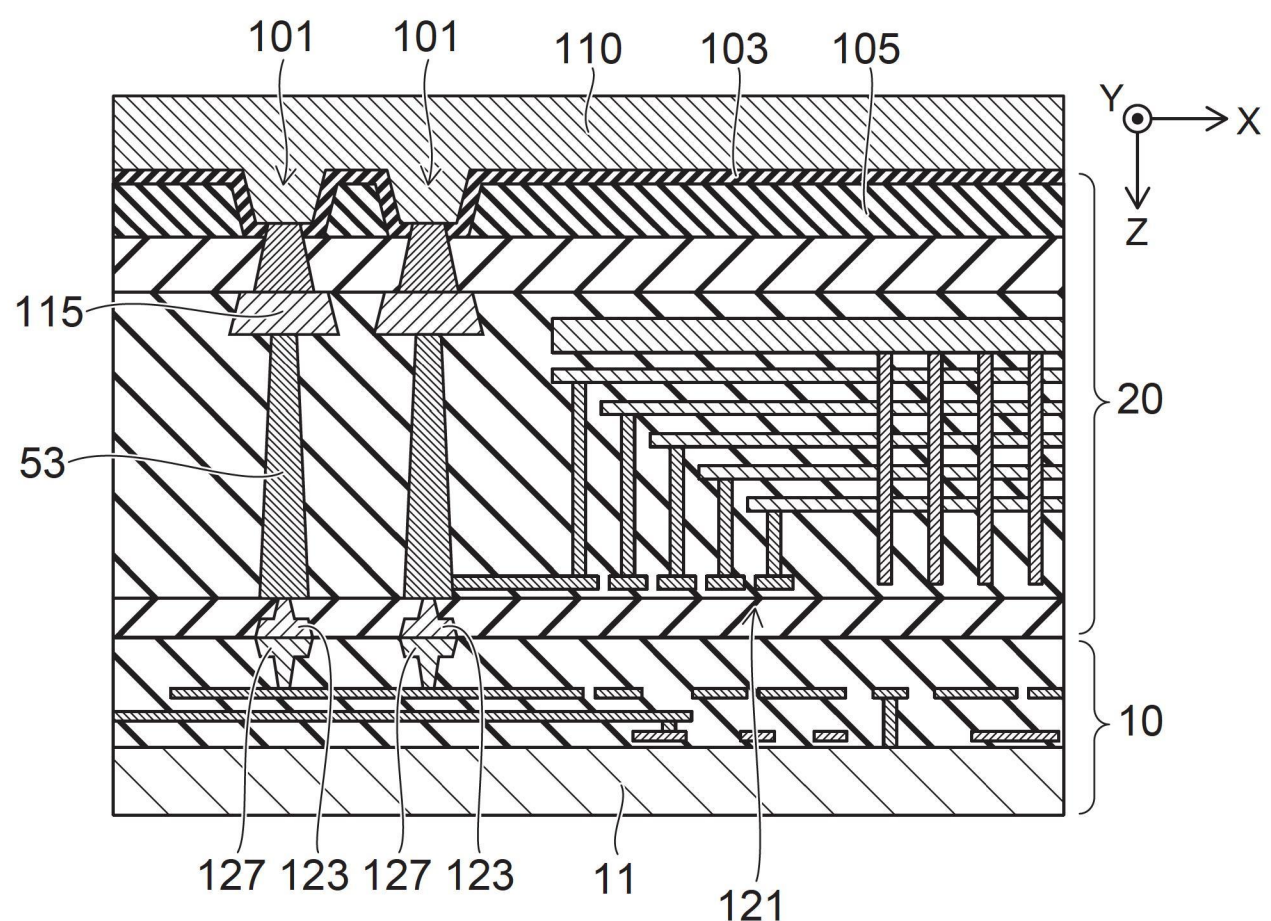


【圖6C】

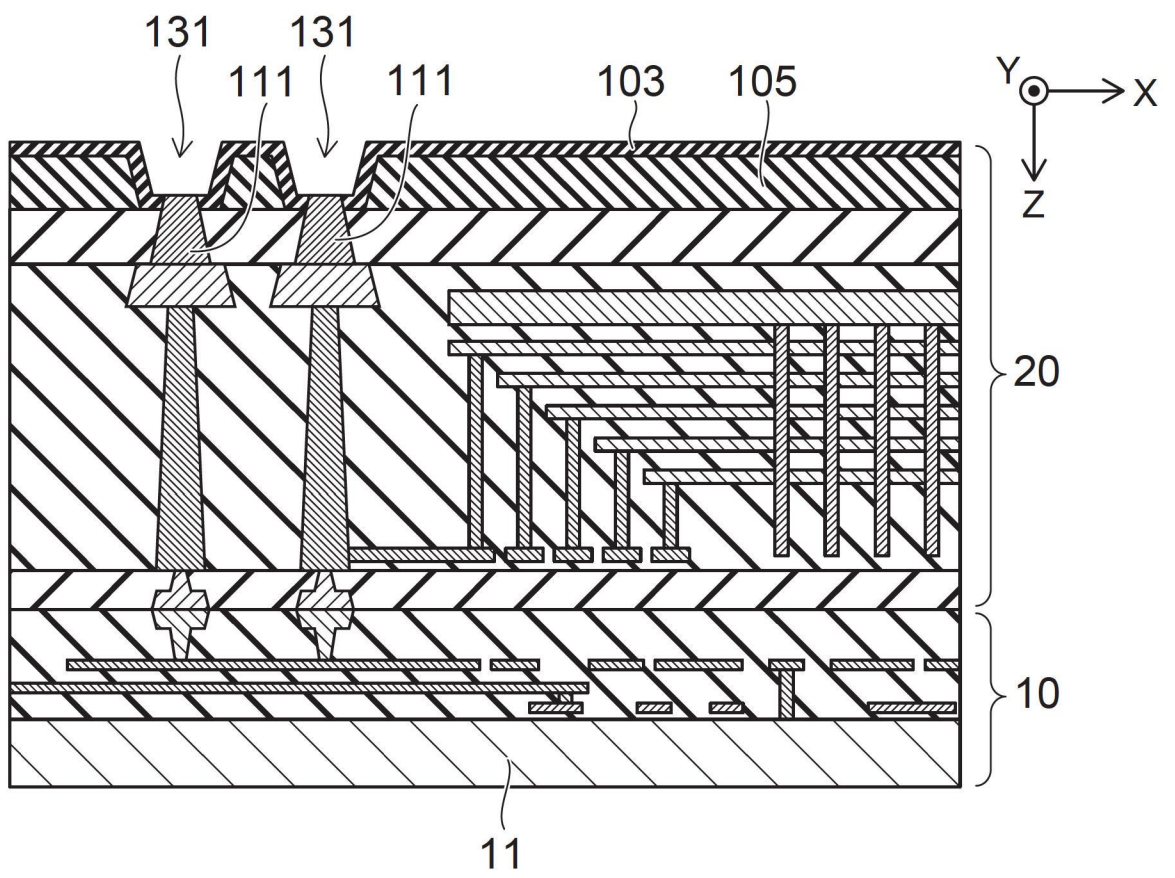




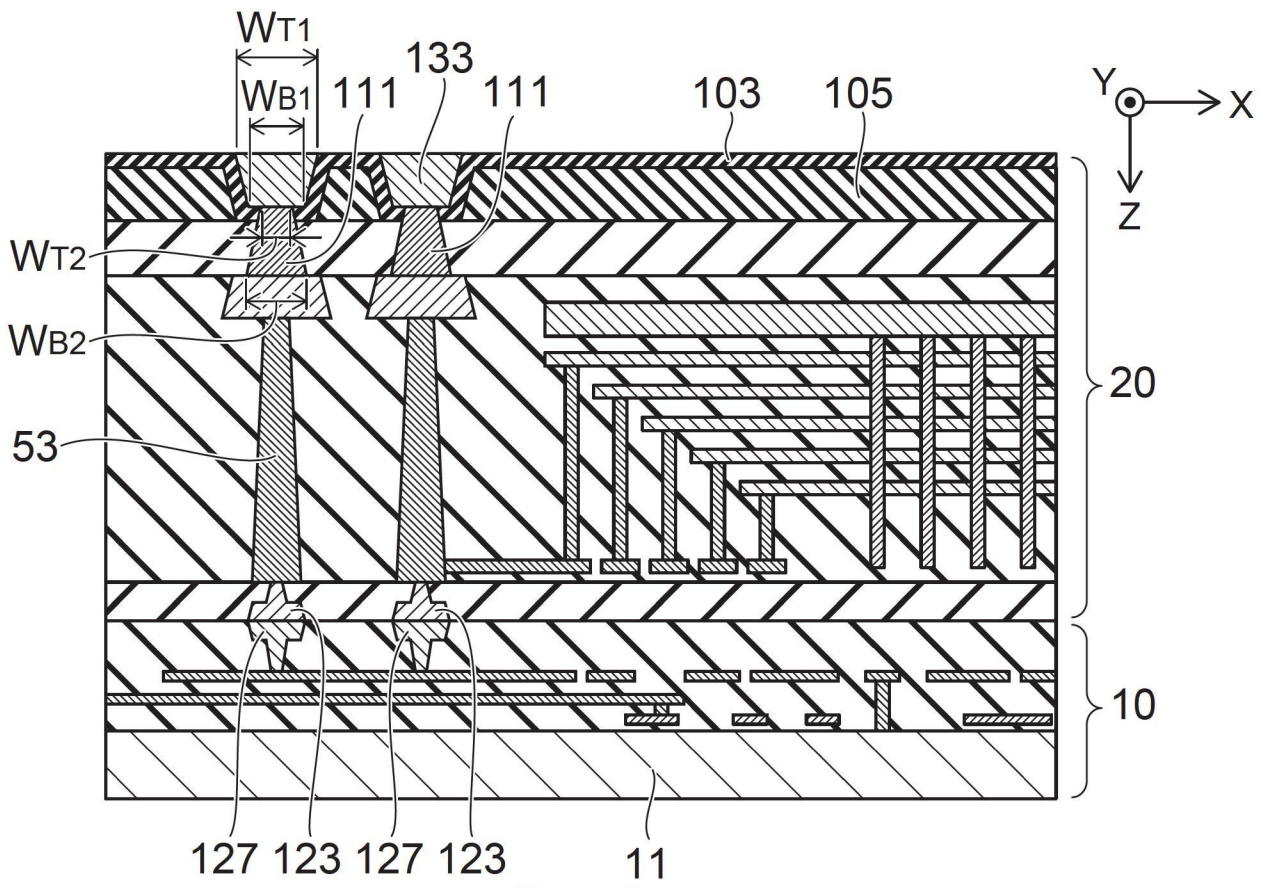
【圖7A】



【圖7B】

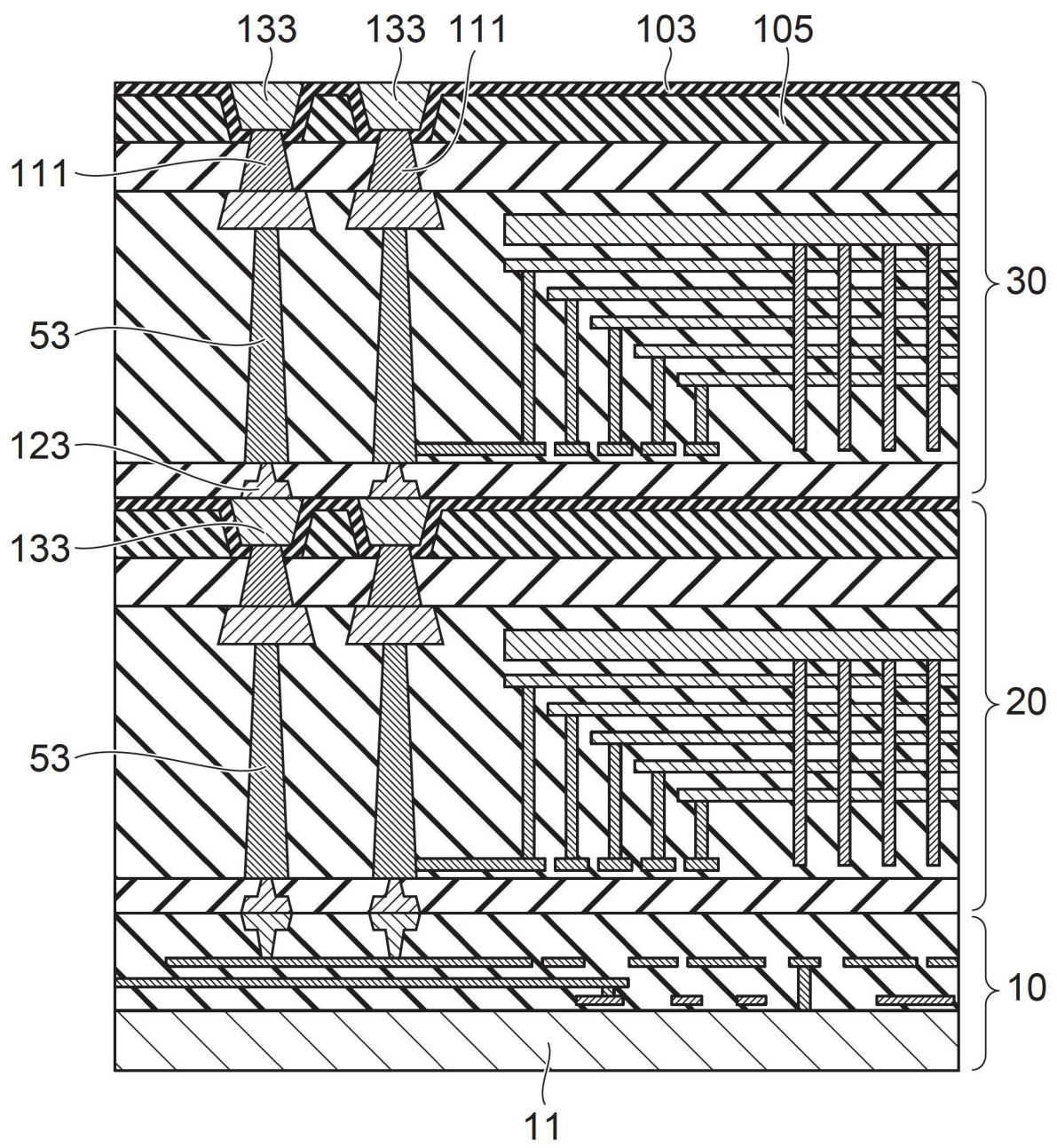


【圖8A】

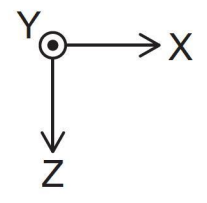


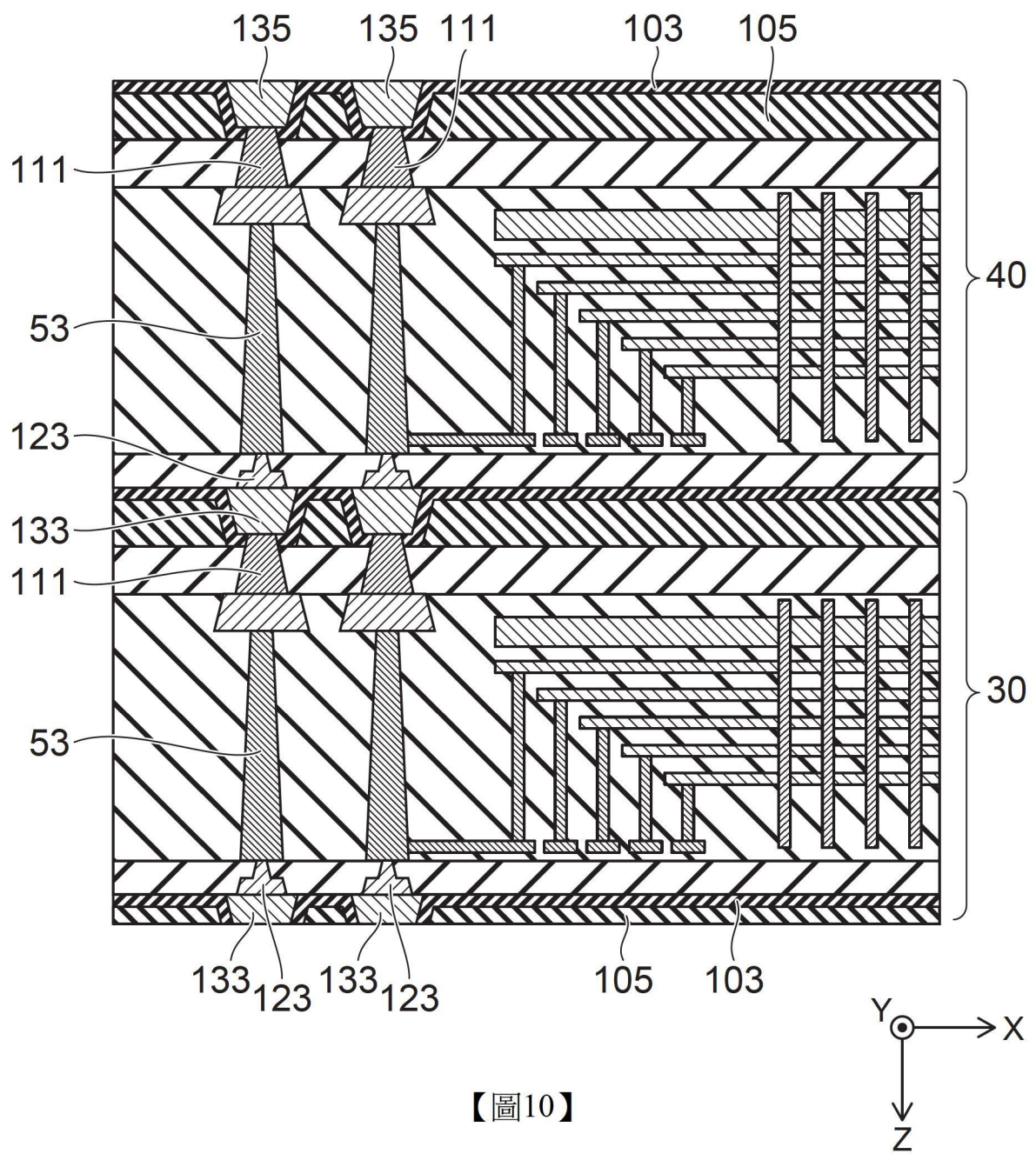
【圖8B】





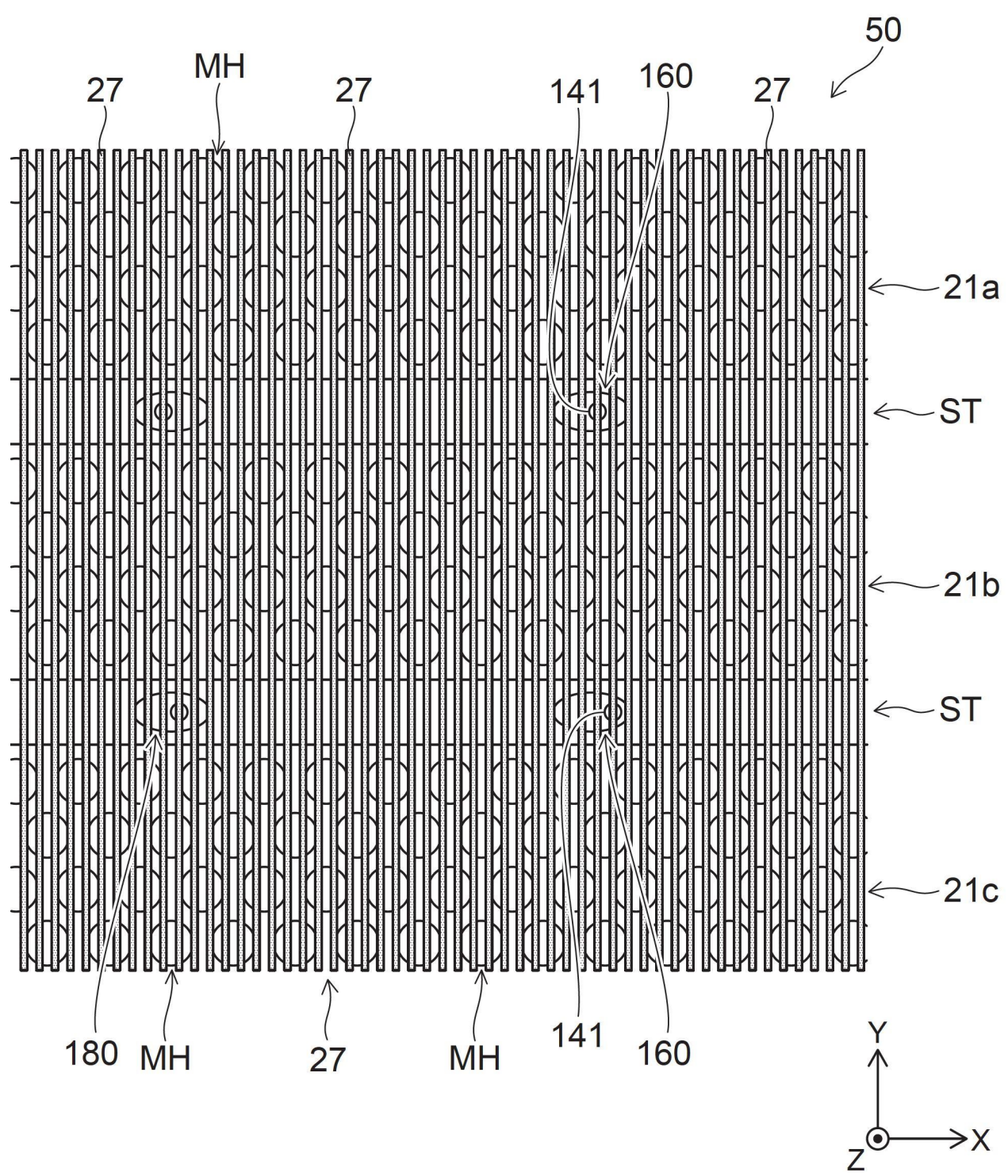
【圖9】



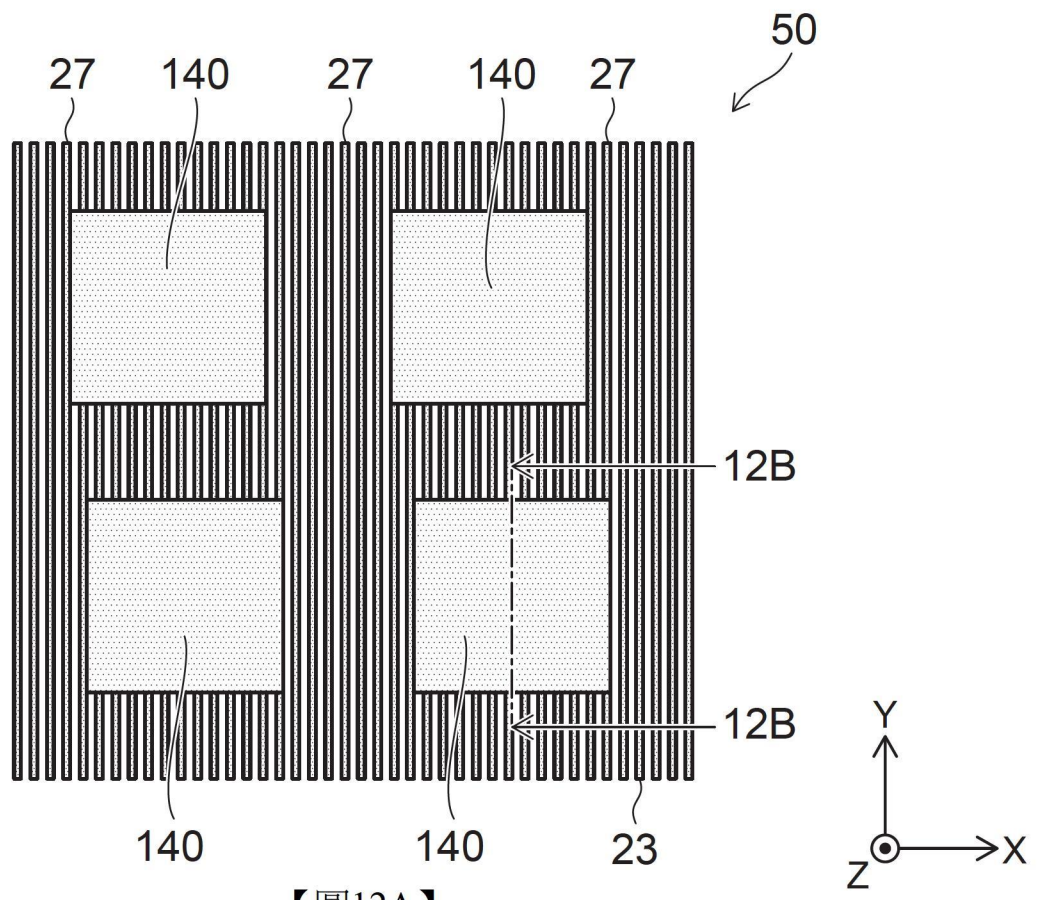


【圖10】

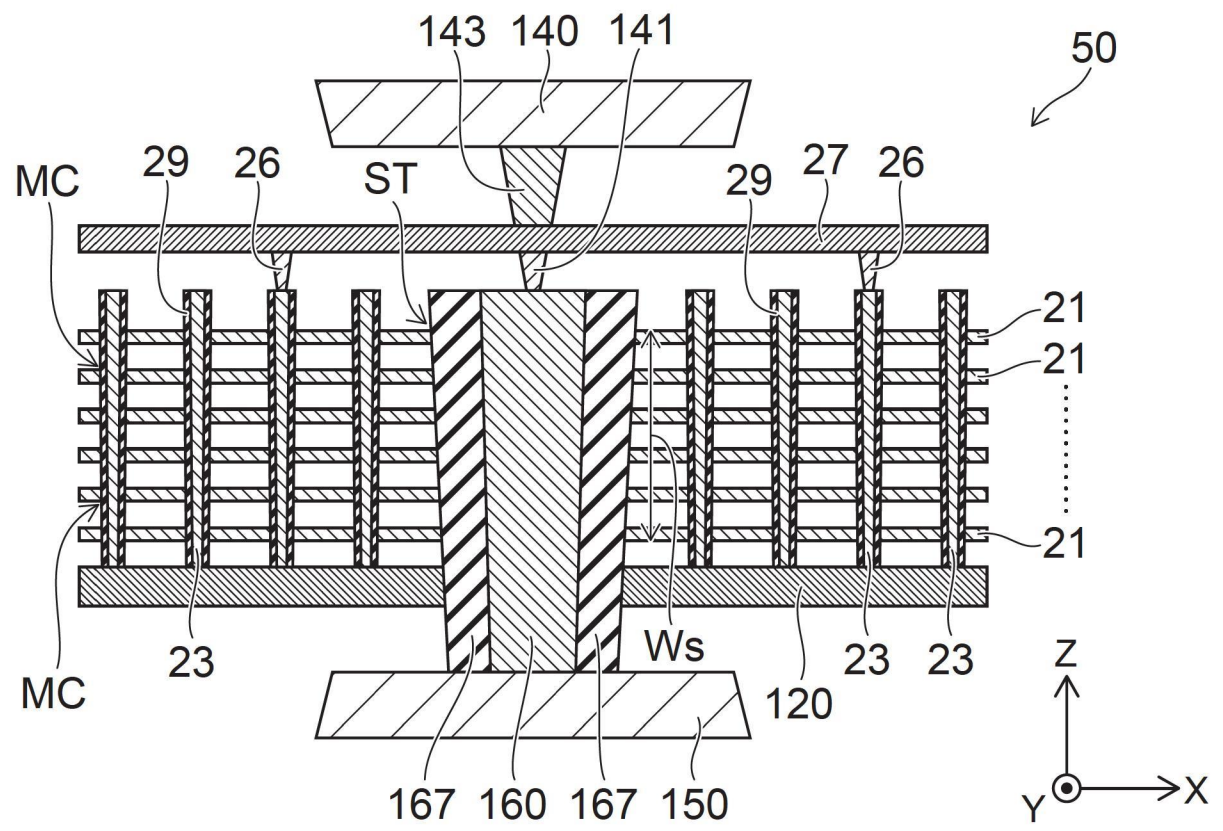




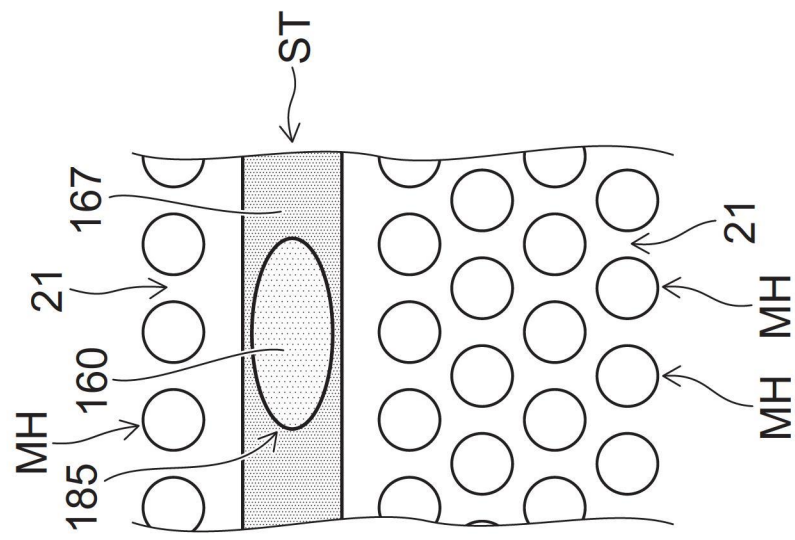
【圖11】



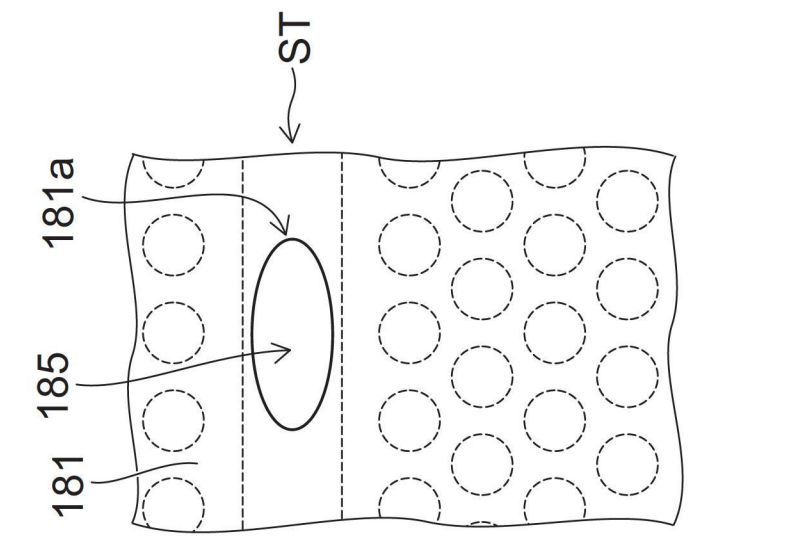
【圖12A】



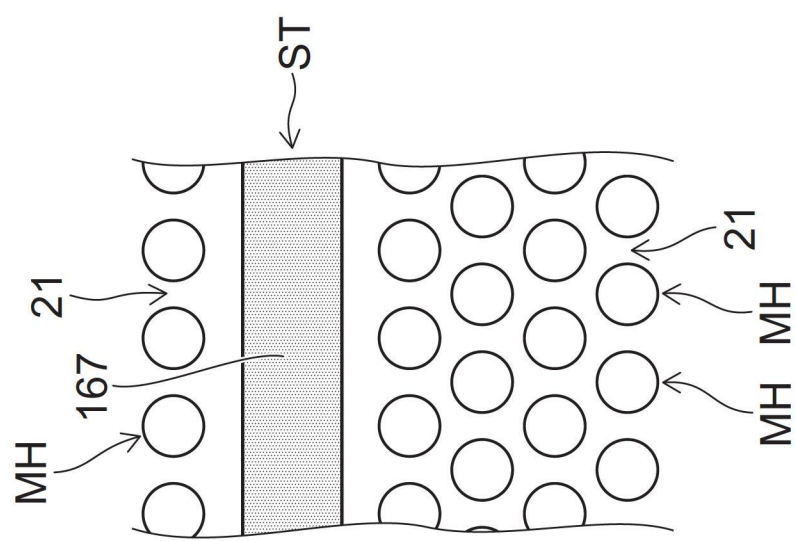
【圖12B】



【圖13A】

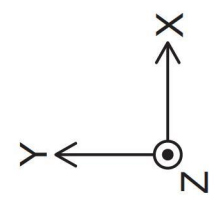
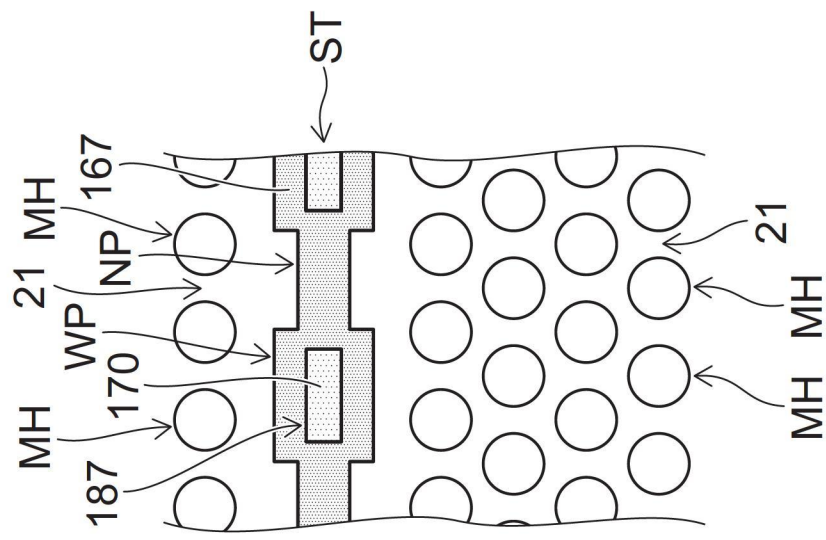


【圖13B】

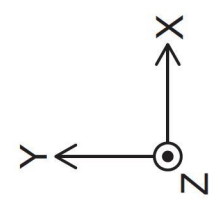
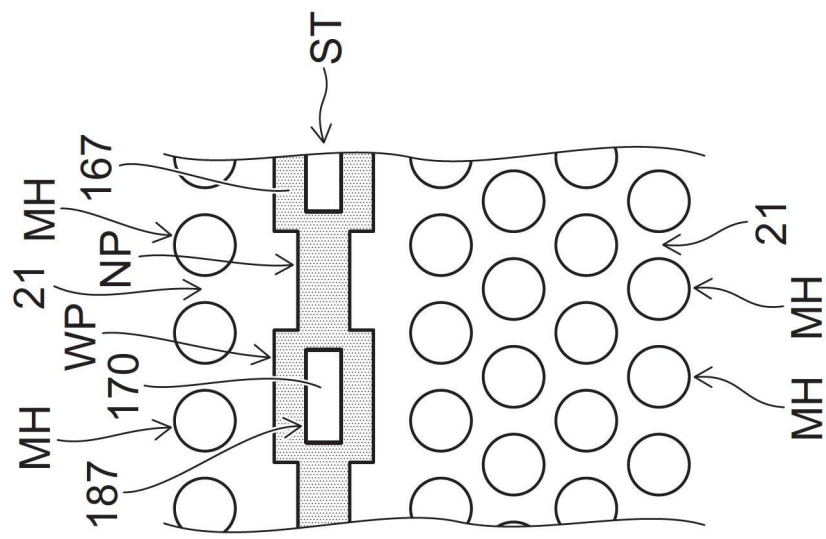


【圖13C】

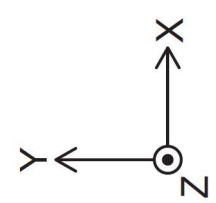
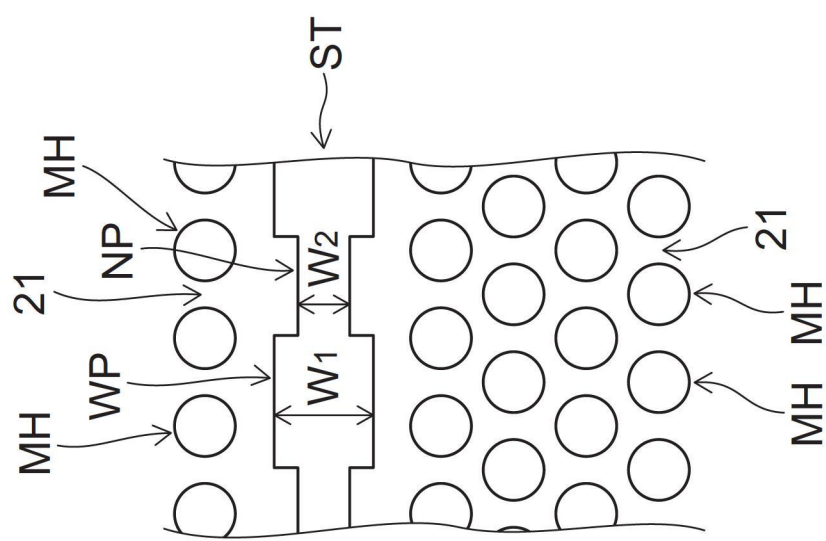




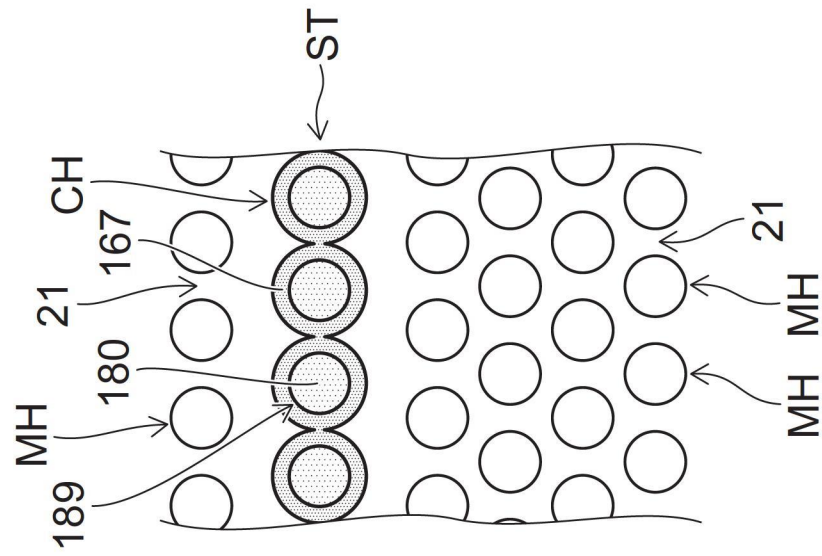
【圖14C】



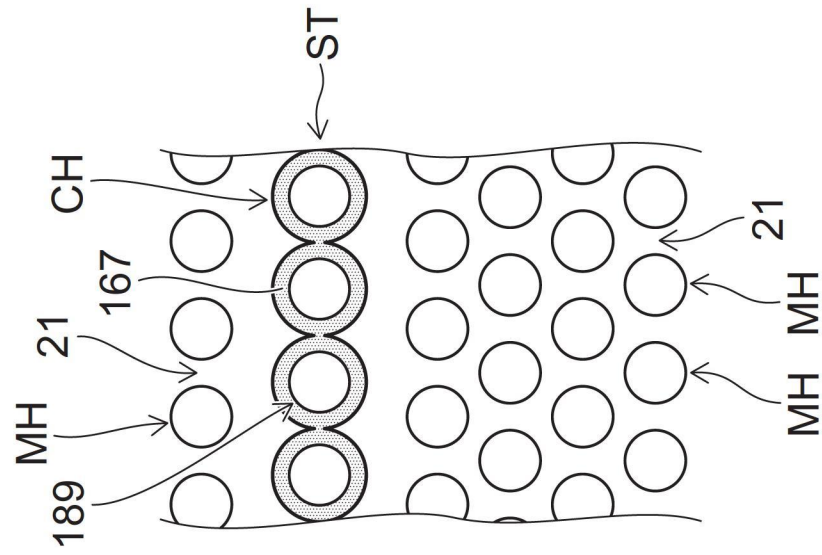
【圖14B】



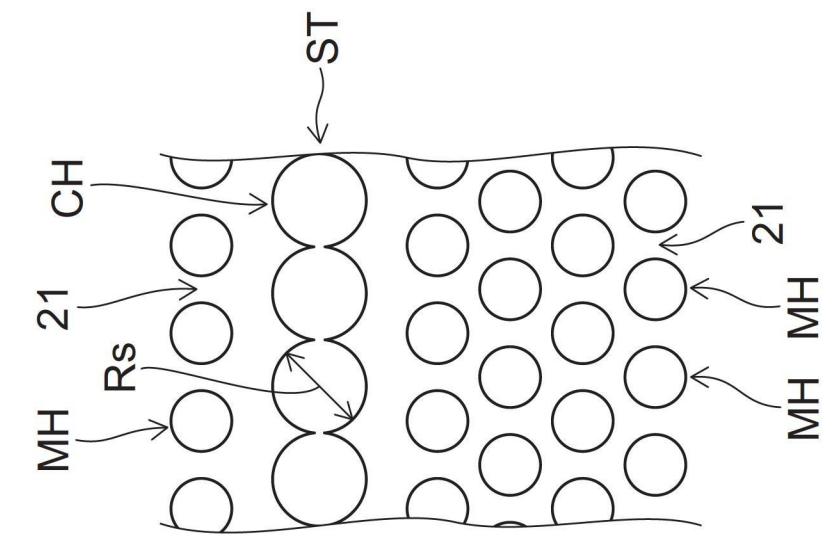
【圖14A】



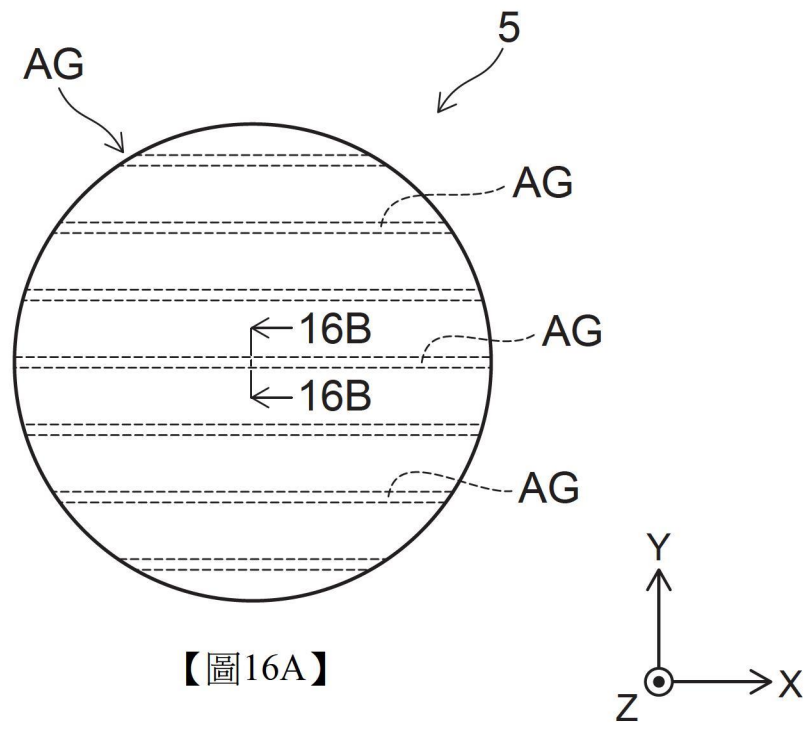
【圖15A】



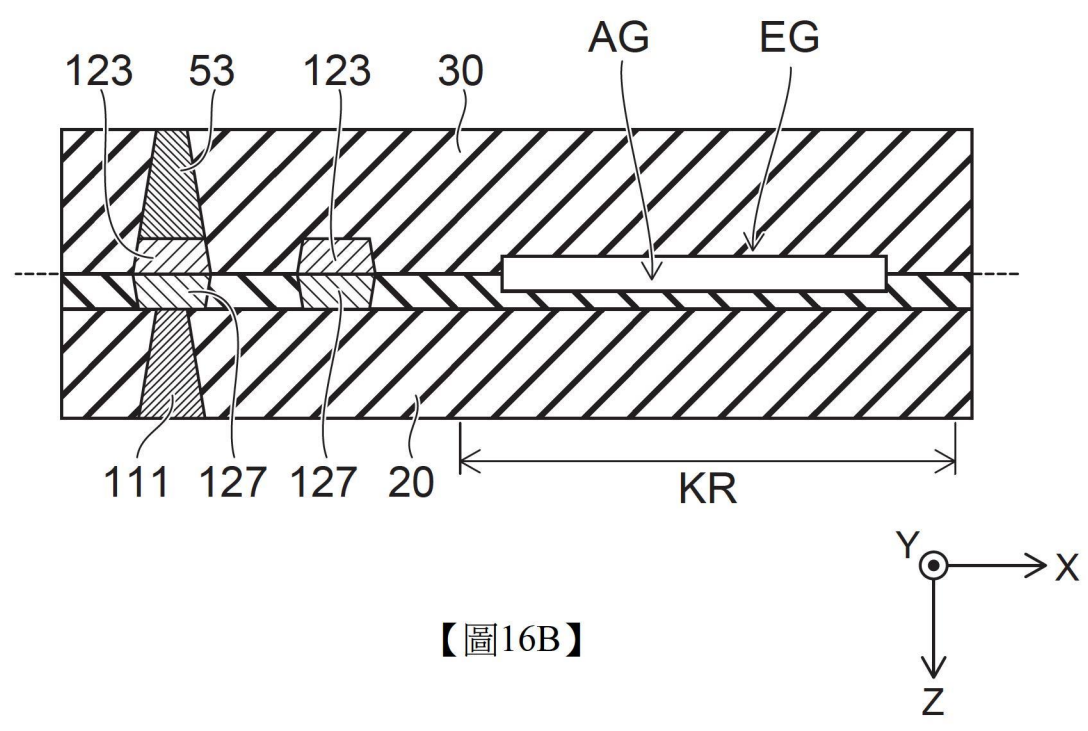
【圖15B】



【圖15C】

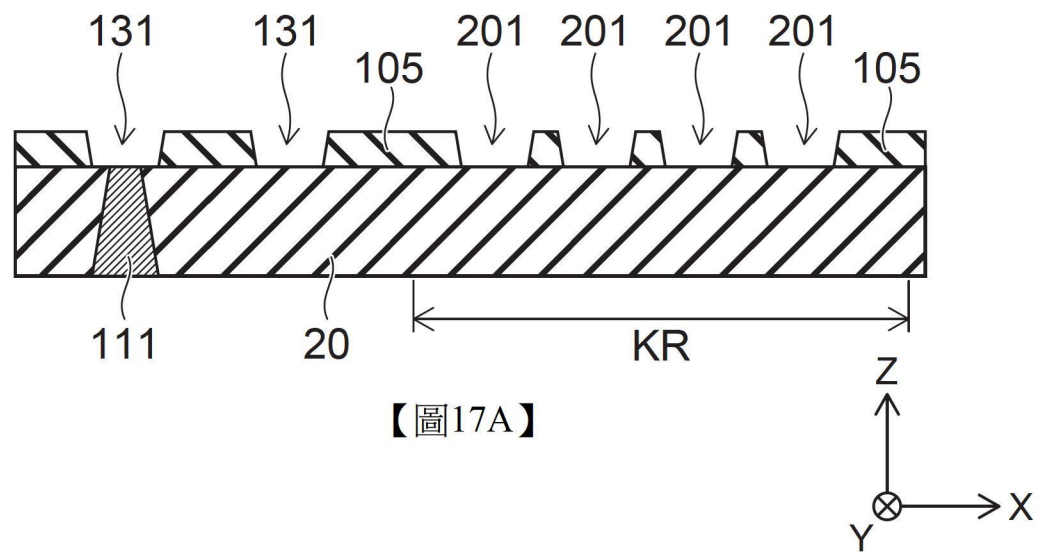


【圖16A】

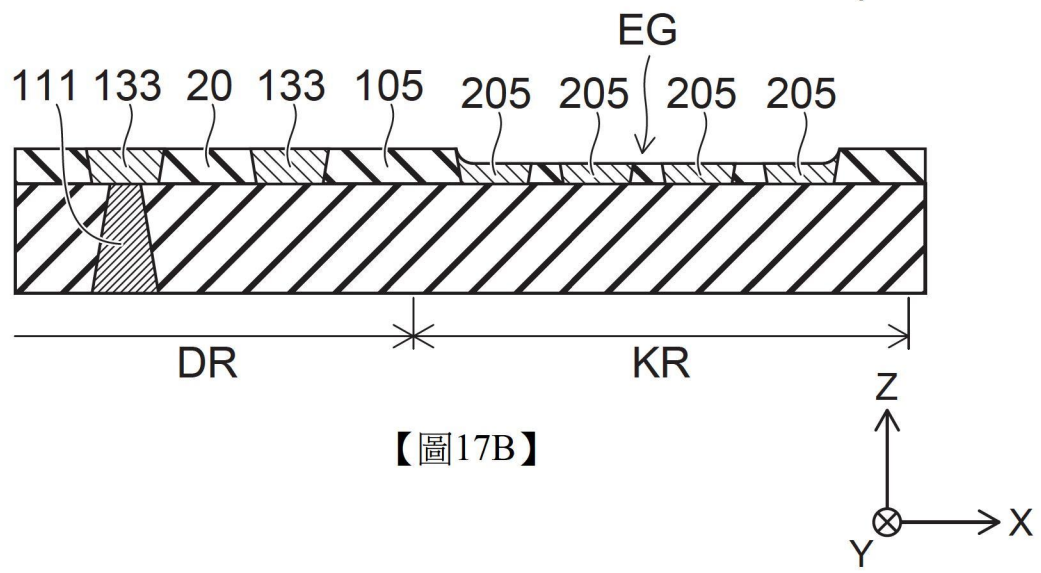


【圖16B】

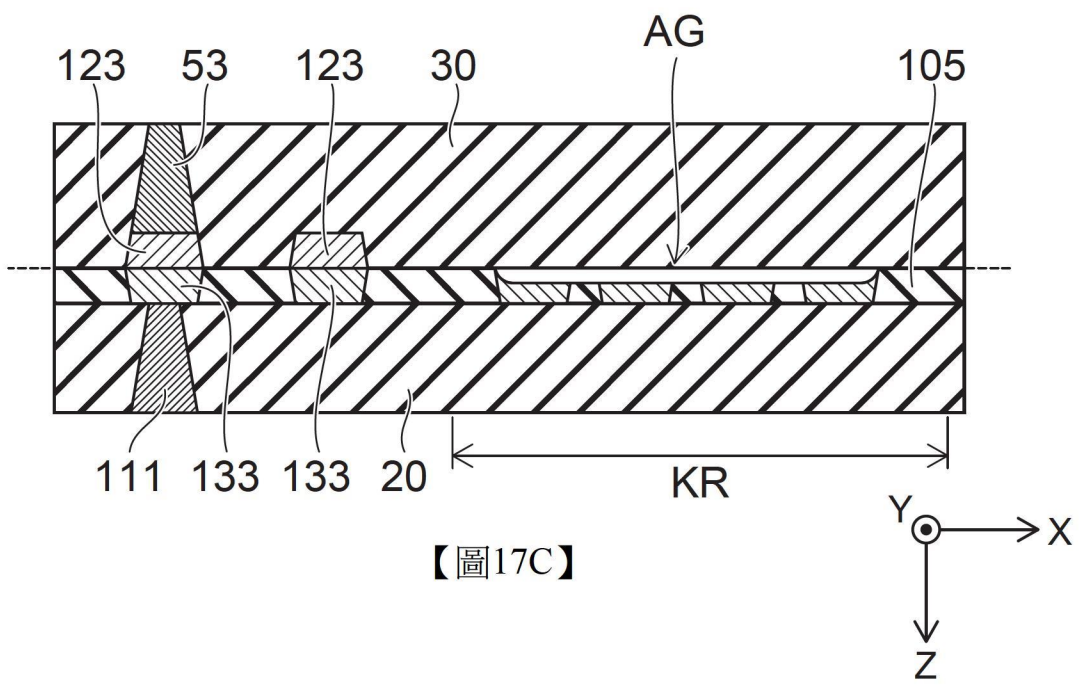




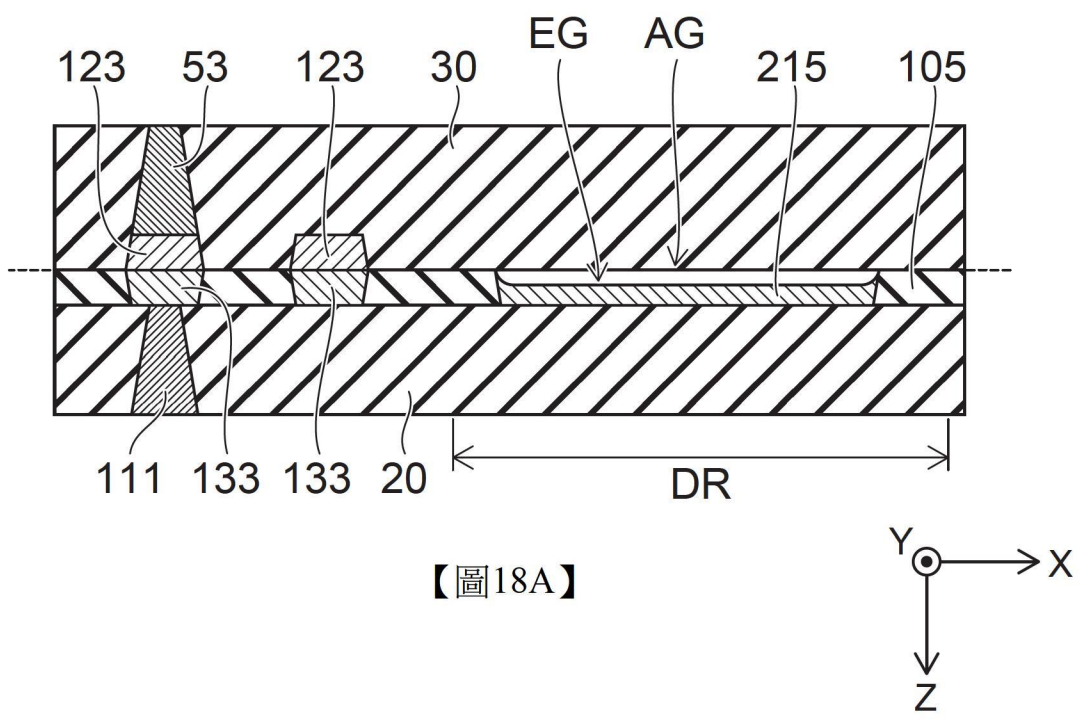
【圖17A】



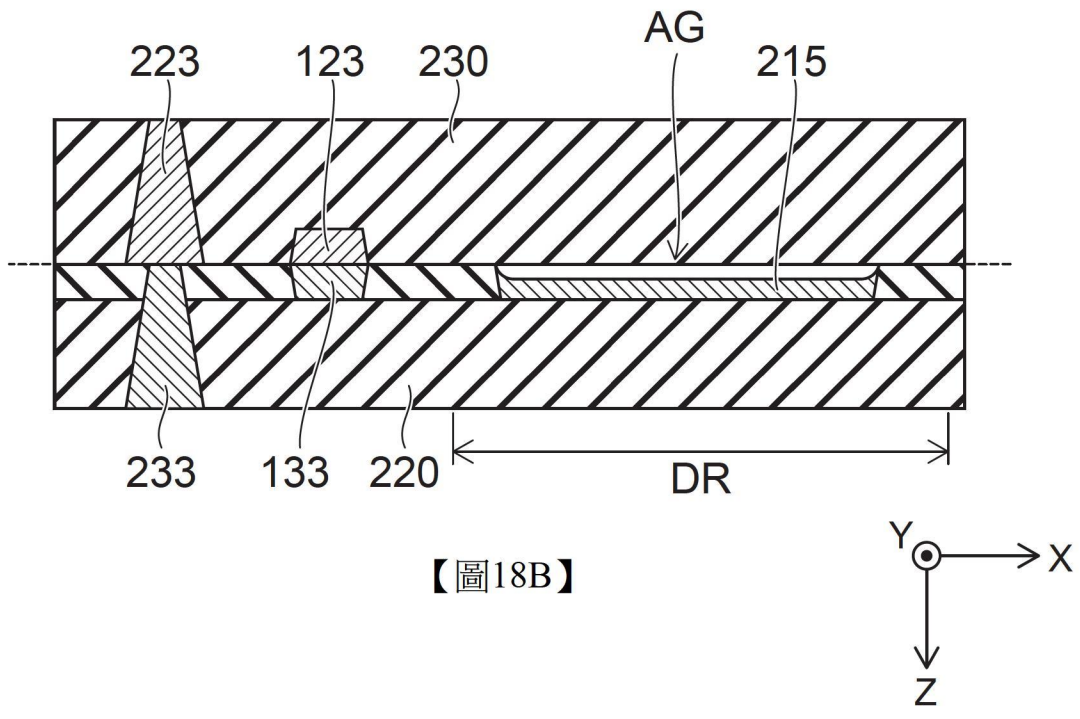
【圖17B】



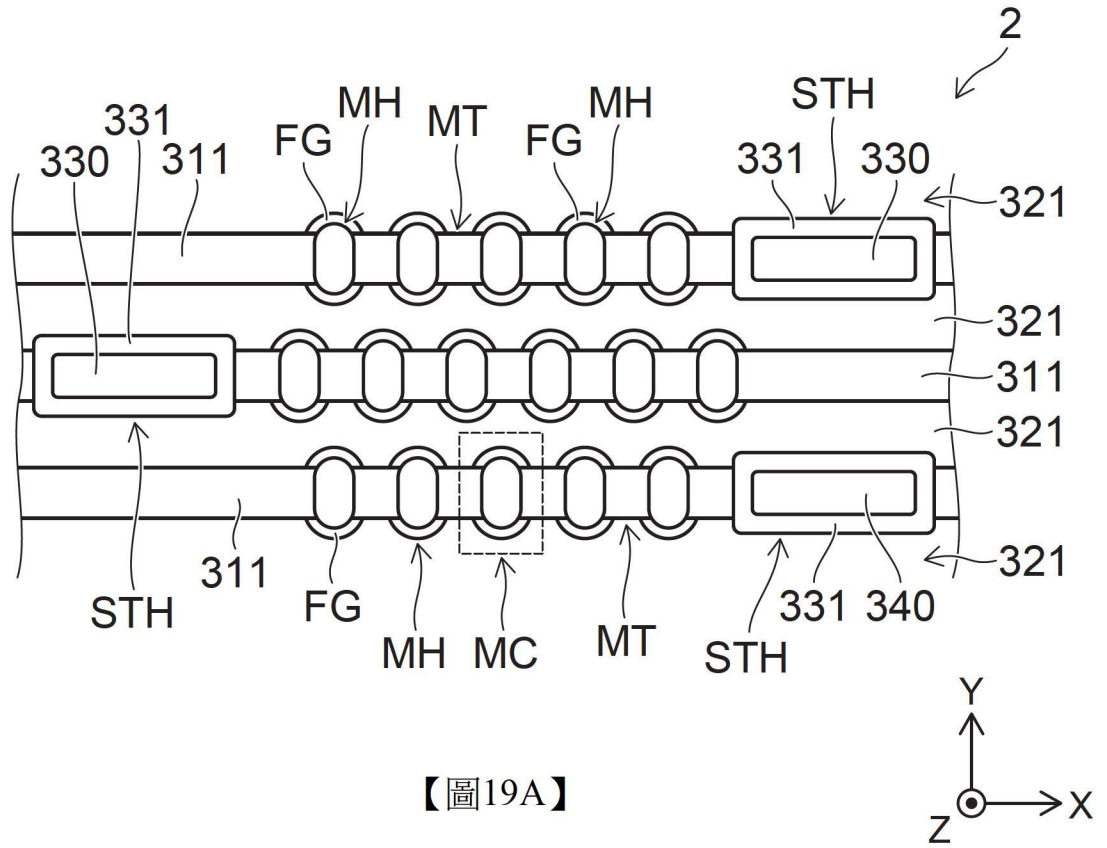
【圖17C】



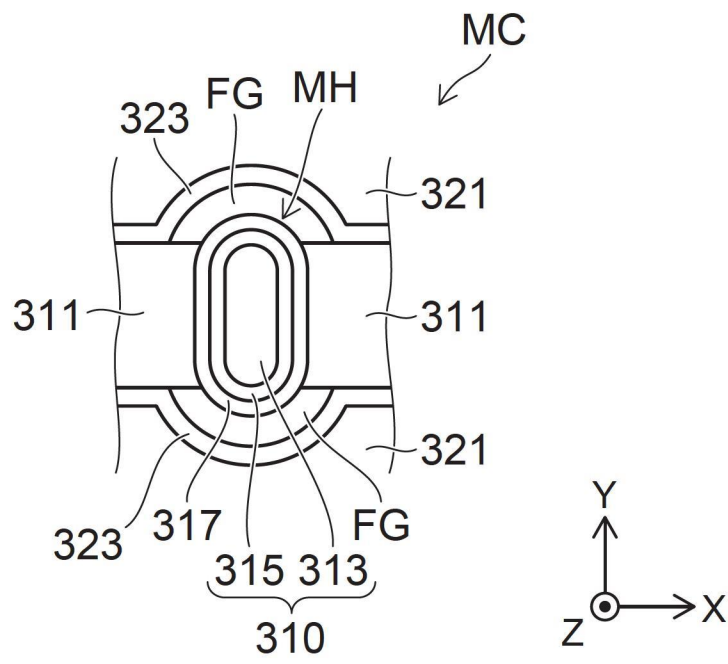
【圖18A】



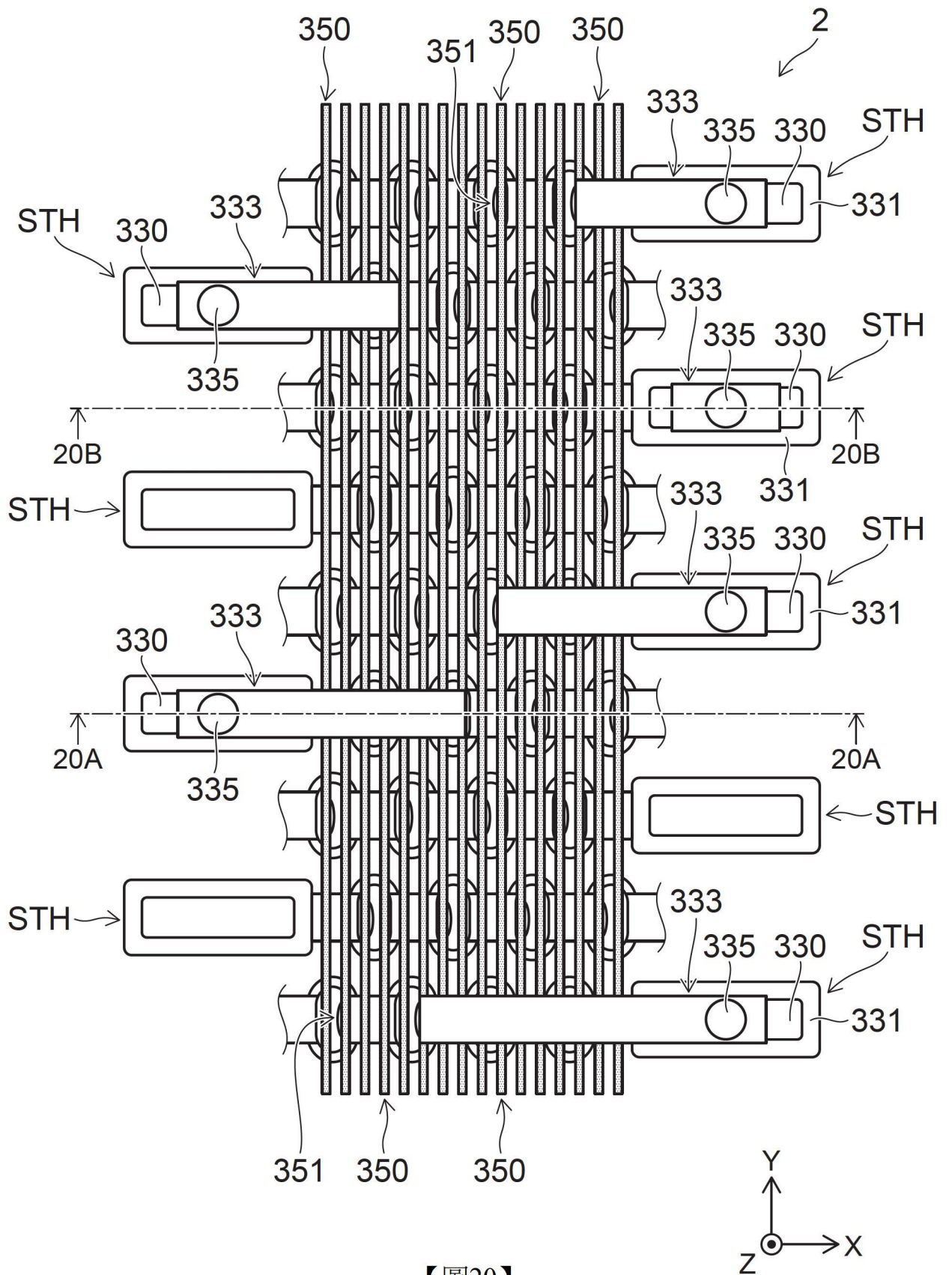
【圖18B】



【圖19A】

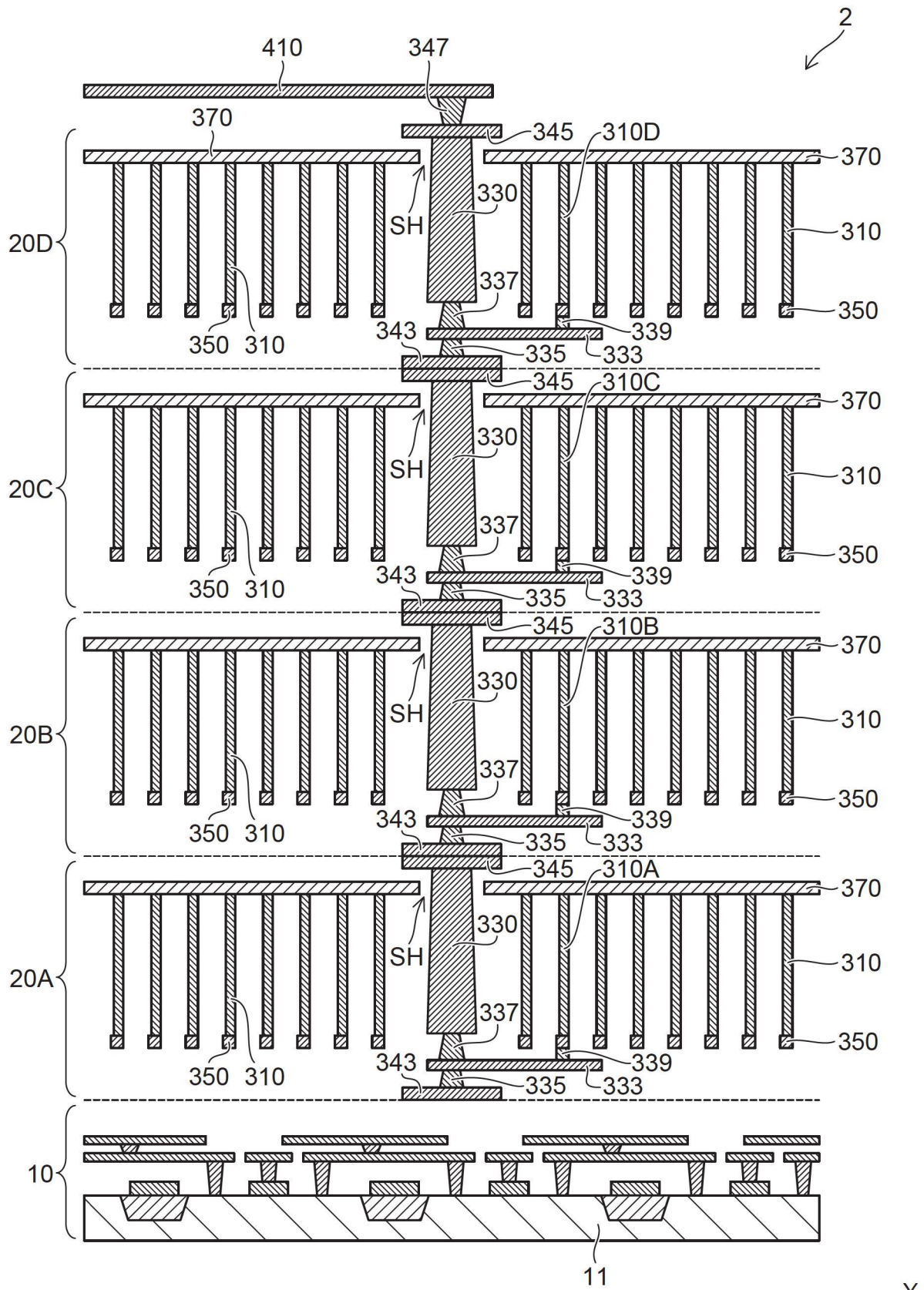


【圖19B】

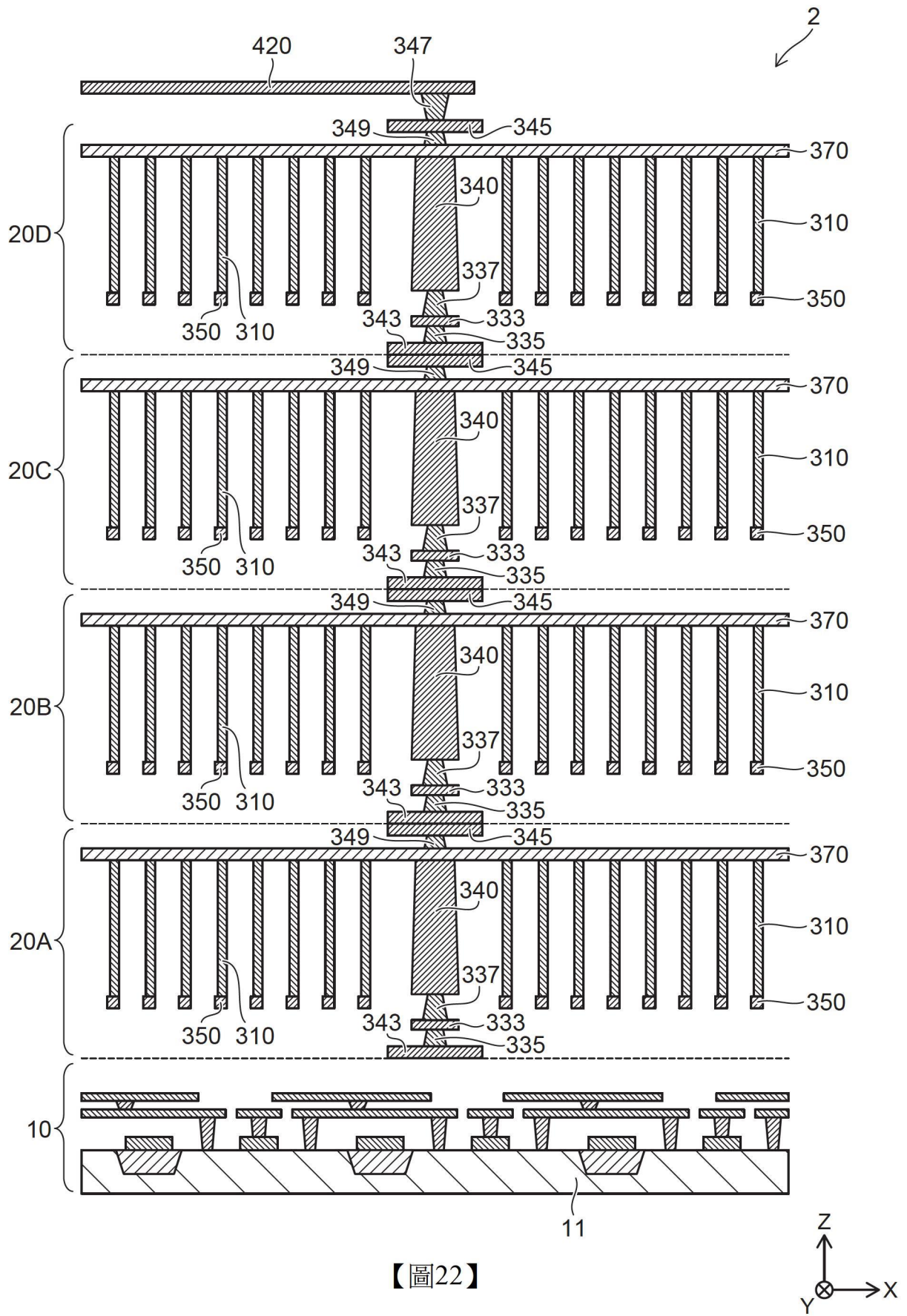


【圖20】



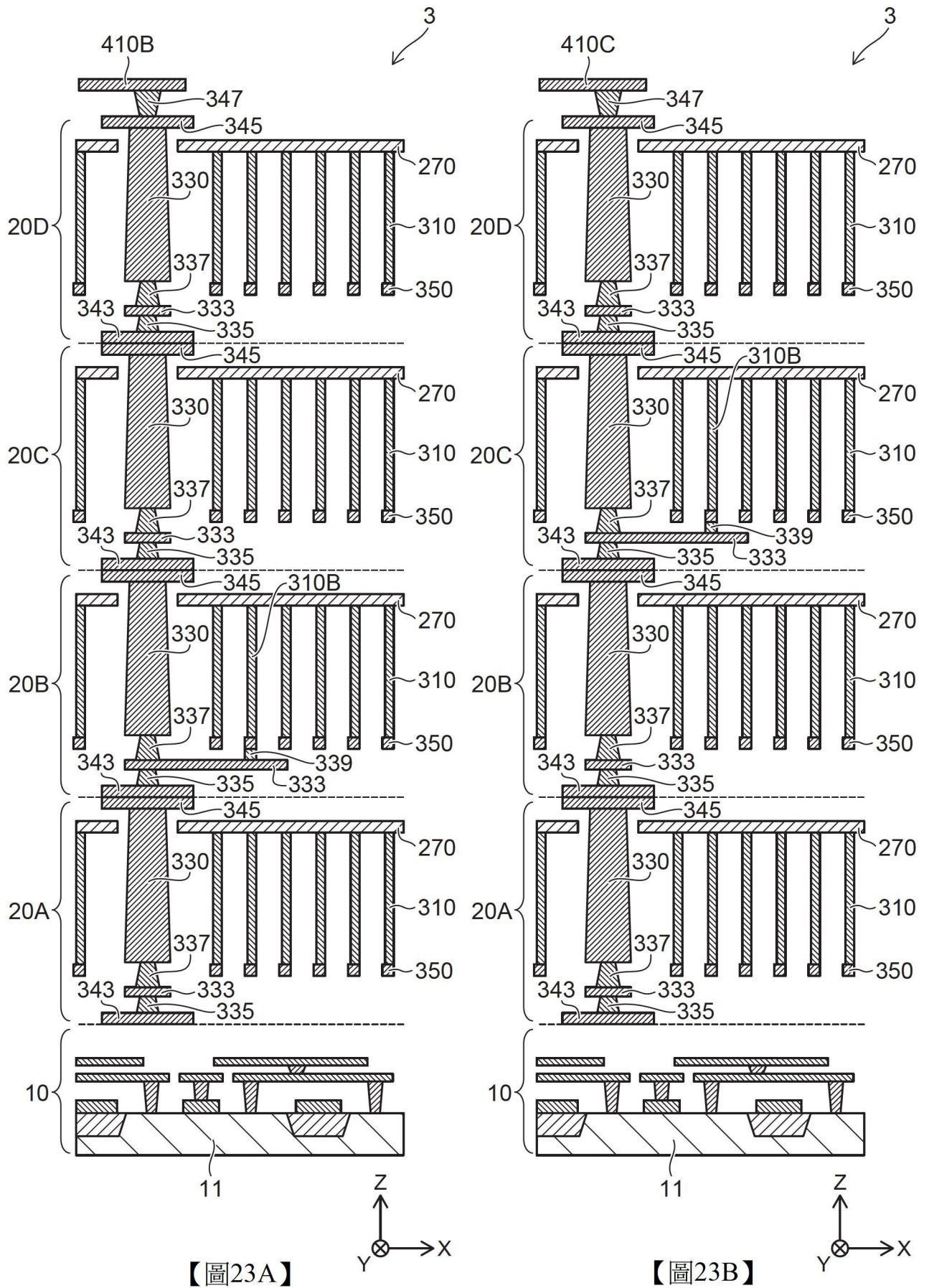


【圖21】



【圖22】





【圖23A】

【圖23B】